

回路は第 0 次近似で手計算によりしっかり解析を行うことが最も重要である。この手計算により、設計要求を満たすにはどのパラメータを調整すれば良いかが明らかになる。しかしながら、現在の MOSFET の動作は複雑で、第 0 次近似では十分な精度を得られないことが多く、回路シミュレーションにより設計の精度を上げる必要が実際には生じる。レポートは手計算による計算を第 1 とし、余力があれば回路シミュレーションを行うこととする。以下、第 0 次近似での手計算に必要な基本的なことをまとめる。

MOSFET の回路記号を図 1 に表す。MOSFET の特性は、第 1 にゲート・ソース間電圧 $V_{GS} = V_G - V_S$ で決まり、第 2 にドレイン・ソース間電圧 $V_{DS} = V_D - V_S$ で決まり、第 3 にソース・基板間電圧 $V_{SB} = V_S - V_B$ で決まる。ここで、ドレイン、ソースがどちらの端子になるかは電圧関係で定義される。

nMOSFET $V_{DS} > 0$
pMOSFET $V_{DS} < 0$

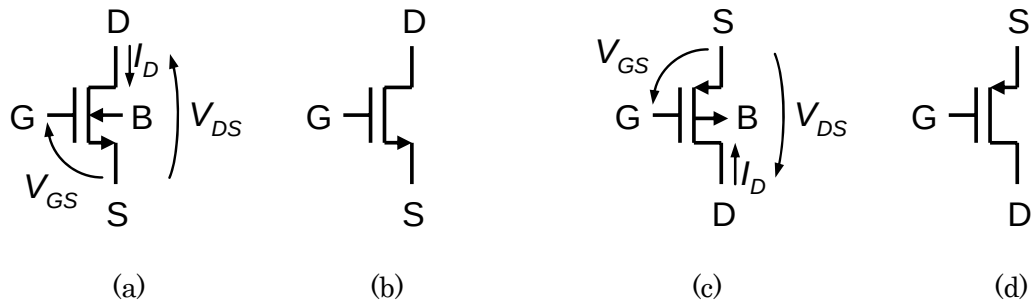


図 1. (a) nMOSFET の回路記号 (b) nMOSFET の簡略回路記号
(c) pMOSFET の回路記号 (d) pMOSFET の簡略回路記号

MOSFET の第 0 次近似の直流特性は次で与えられる。

表 1 nMOSFET の電流－電圧特性（第 0 次近似）

動作領域	条件	ドレイン電流
カットオフ領域	$V_{GS} \leq V_{Tn}$	$I_D = 0$
線形領域	$0 < V_{DS} \leq V_{GS} - V_{Tn}$	$I_D = \beta_n \left(V_{GS} - V_{Tn} - \frac{V_{DS}}{2} \right) V_{DS}$
飽和領域	$V_{GS} - V_{Tn} \leq V_{DS}$	$I_D = \frac{\beta_n}{2} (V_{GS} - V_{Tn})^2$

表 2 pMOSFET の電流－電圧特性（第 0 次近似）

動作領域	条件	ドレイン電流
カットオフ領域	$V_{Tp} \leq V_{GS}$	$I_D = 0$
線形領域	$V_{GS} - V_{Tp} \leq V_{DS} < 0$	$I_D = -\beta_p \left(V_{GS} - V_{Tp} - \frac{V_{DS}}{2} \right) V_{DS}$
飽和領域	$V_{DS} \leq V_{GS} - V_{Tp}$	$I_D = -\frac{\beta_p}{2} (V_{GS} - V_{Tp})^2$

閾値 V_{Tn} , V_{Tp} は特別の場合を除いて

nMOSFET $V_{Tn} > 0$ （通常）

pMOSFET $V_{Tp} < 0$ （通常）

であり、トランジスタのサイズに依らない。また、 β は

$$\beta = K' \frac{W}{L}$$

K' は相互コンダクタンス係数， W はチャネル幅， L はチャネル長である。

以下では、電源として次の記号を用いる。

表 3. 電源電圧の回路記号

	値	回路記号
V_{DD}	5 V	
V_{SS}	0 V	

また、ロジックのH(High), L(Low) の電圧は V_{DD} , V_{SS} とする。数値を求める場合、0.8 μ m CMOSを想定し、次のパラメータを用いることにする。

表 4. 0.8 μ m CMOS のトランジスタパラメータ

記号	意味	NMOS	PMOS	単位
V_T	閾値	0.7	-0.7	V
K'	相互コンダクタンス係数	110e-6	50e-6	A/V ²

1 回路の基本

[演習問題 1] Complementary Switch

図 1 はコンプリメンタリ・スイッチである。 ϕ が $H(V_{DD})$ のとき V_1 と V_2 の間が導通し、 ϕ が $L(V_{SS})$ のとき不導通となる。 V_1 と V_2 は $V_{DD} \sim V_{SS}$ の間の電圧をとるものとする。

- (1) M_1 のみ、 M_2 のみ、 M_1 と M_2 がある場合について、スイッチとして働く V_1 、 V_2 の範囲を図示せよ。
- (2) ゲート・ソース間、ゲート・ドレイン間に、図 2 のようにキャパシタがあるとき、 ϕ を L から H 、 H から L に切り替えた瞬間に、 V_1 、 V_2 の電圧はキャパシタンス結合によりどのように変化するか。このクロック・フィードスルーを最小とするには M_1 、 M_2 のトランジスタ・サイズをどのように選べば良いか。
- (3) トランジスタがオンのときにチャネルに溜まった電荷が、オフになったときにソース・ドレインに掃き出される。 V_1 、 V_2 はこの電荷により、どのように変化するか。このチャージ・インжекションを最小とするには M_1 、 M_2 のトランジスタ・サイズをどのように選べば良いか。

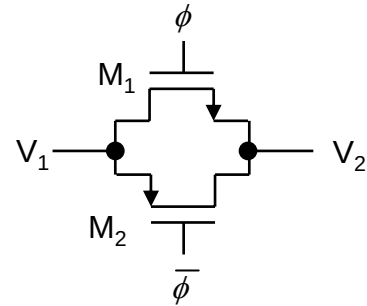


図 1

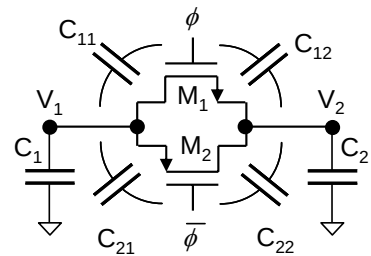


図 2

[演習問題 2] CMOS resistor

図 1 は $V_1 \equiv V_2$ のとき、抵抗として働く。

- (1) M_1 、 M_2 が線形領域にある条件を求めよ。
- (2) 抵抗値が電圧に依らず一定となる条件を求めよ。
そのときの抵抗値はどのように表されるか。
- (3) 抵抗値を nMOSFET M_1 の W/L の関数としてプロットせよ。

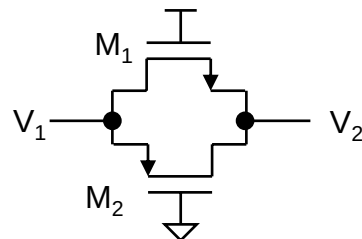


図 1

[演習問題 3] Bootstrap

図 1 はブート・ストラップ・スイッチである。 V_G は $H(V_{DD})$ または $L(V_{SS})$ の値をとり、 V_{IN} , V_{OUT} は $V_{SS} \sim V_{DD}$ の電圧をとるものとする。

- (1) V_G が L のとき、 M_1 は常にオフ状態になることを示せ。
- (2) V_G が H のとき、 V_n の取り得る電圧範囲、および M_1 がオン状態となる V_{IN} , V_{OUT} の範囲を示せ。
- (3) V_G が H のとき、 V_{IN} が L から H に瞬時に変化した。 V_{OUT} が V_{DD} となる条件を求めよ。
- (4) 図 2 は図 1 のブートストラップ・スイッチを応用したインバータ回路である。この回路の動作を説明せよ。

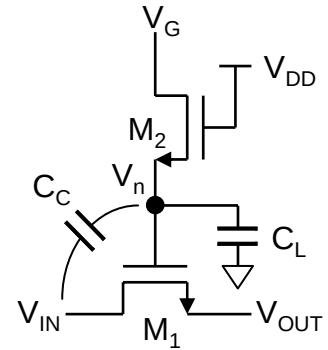


図 1

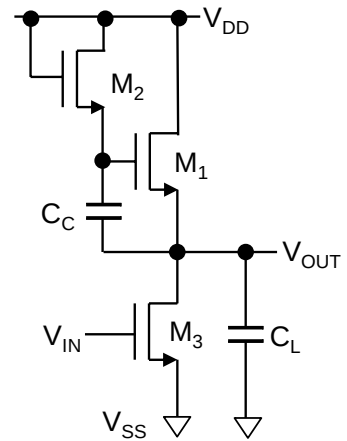


図 2

2 ロジック回路

[演習問題 4] CMOS インバータ

図 1 は CMOS インバータ回路である。インバータは図 2 の論理回路記号で表される。このインバータの伝達特性は図 3 のようになる。

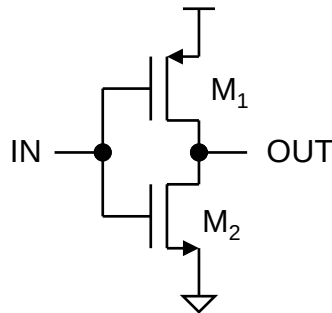


図 1

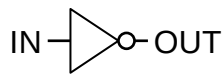


図 2

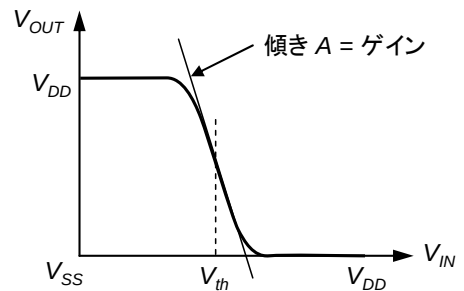


図 3

- (1) 伝達特性が図 3 となることをトランジスタの I_D - V_{DS} 特性から示せ。
 - (2) 伝達特性の閾値 V_{th} を求めよ。
 - (3) 伝達特性のゲイン A を求めよ。
 - (4) $0.8\mu\text{m}$ プロセスを用いてインバータを作成する。 M_2 を最小トランジスタ、すなわち、チャンネル長 $L = 0.8\mu\text{m}$ 、チャンネル幅 $W = 3.2\mu\text{m}$ とする。 M_1 の L が $0.8\mu\text{m}$ のとき、 V_{th} を $(V_{DD} + V_{SS})/2$ とするには、 W を何 μm にしなければならないか。
- 以下では(4)のトランジスタを用いて計算せよ。
- (5) 伝達特性のゲインを数値で求めよ。
 - (6) 出力にキャパシタンスが 1pF ついたときのインバータ遅延時間を数値で求めよ。
 - (7) (5)~(6)の結果を SPICE シミュレーションと比較せよ。

[演習問題 5] スタティック CMOS ロジック回路

図 1 はNAND、図 2 はNOR回路である。NMOS M_1 , M_2 は同一サイズのトランジスタ、PMOS M_3 , M_4 は同一サイズのトランジスタとする。

- (1) A, BがH/Lをとるあらゆる組み合わせに対し、 $M_1 \sim M_4$ のオン/オフ状態および出力のH/Lを表にせよ。
- (2) NAND回路において①BをHに保ったまま、Aを V_{SS} から V_{DD} に変化させた時に出力がHからLに変わるAの電圧、②AとB同じ電圧を保ったまま V_{SS} から V_{DD} に変化させた時に出力がHからLに変わるA,Bの電圧を求めよ。②において、 $(V_{DD}+V_{SS})/2$ で出力が切り替わるためには、CMOSインバータの場合に対し、 β_p/β_n を何倍にしなければならないか。
- (3) NOR回路において①BをLに保ったまま、Aを V_{SS} から V_{DD} に変化させた時に出力がHからLに変わるAの電圧、②AとB同じ電圧を保ったまま V_{SS} から V_{DD} に変化させた時に出力がHからLに変わるA,Bの電圧を求めよ。②において、 $(V_{DD}+V_{SS})/2$ で出力が切り替わるためには、CMOSインバータの場合に対し、 β_p/β_n を何倍にしなければならないか。

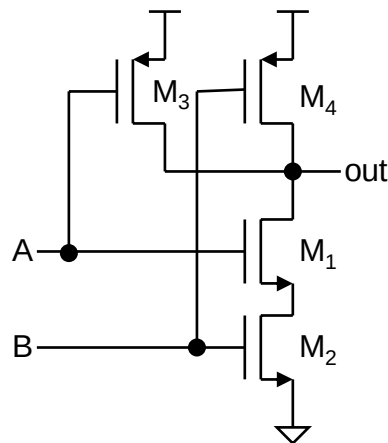


図 1

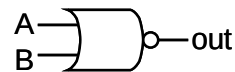
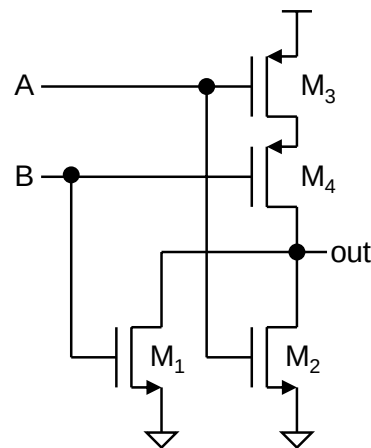


図 2

〔演習問題 6〕 SCFL(source coupled FET logic) XOR ロジック回路

図1はSCFL(source coupled FET logic) XOR ロジック回路である。NMOS M_1 , M_2 , M_3 , M_4 は同一サイズのトランジスタ、NMOS M_5 , M_6 は同一サイズのトランジスタ、PMOS M_8 , M_9 は同一サイズのトランジスタとする。

(1) A, BがH/Lをとるあらゆる組み合わせに対し、 $M_1 \sim M_6$ のオン/オフ状態および出力のH/Lを表にせよ。

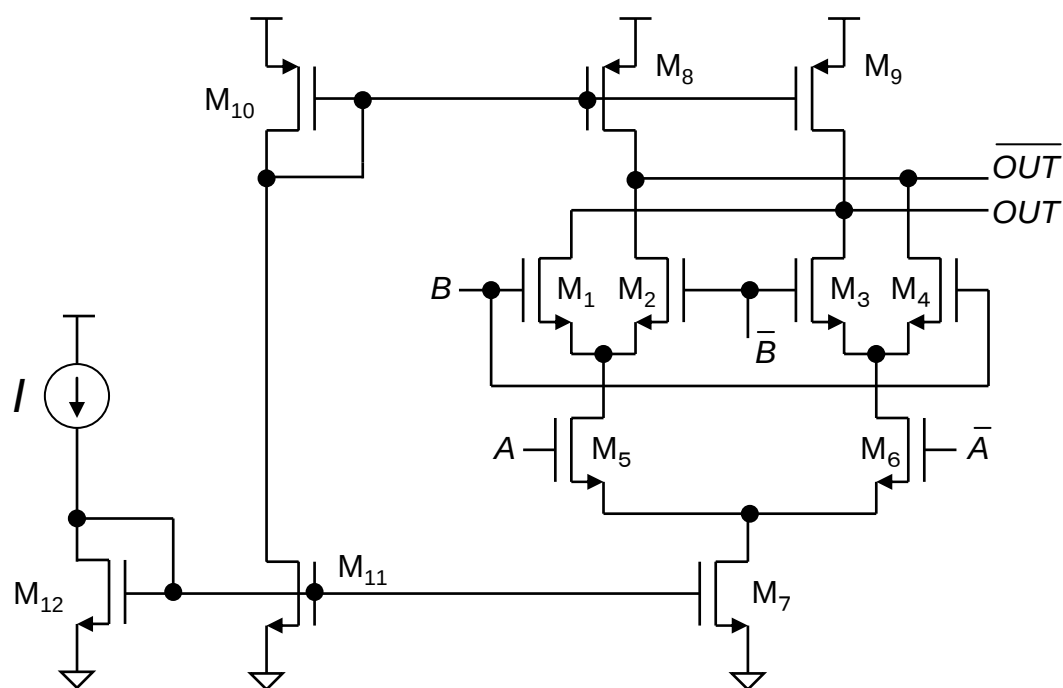


图 1

[演習問題 7] CVSL XOR/XNOR 回路

図 1 は CVSL (Cascode Voltage Switch Logic) XOR/XNOR ロジック回路である。

(1) A が H/L それぞれに対して、回路図を簡略化せよ。

(2) A,B の H/L に対して出力はどのようなになるか、表で示せ。

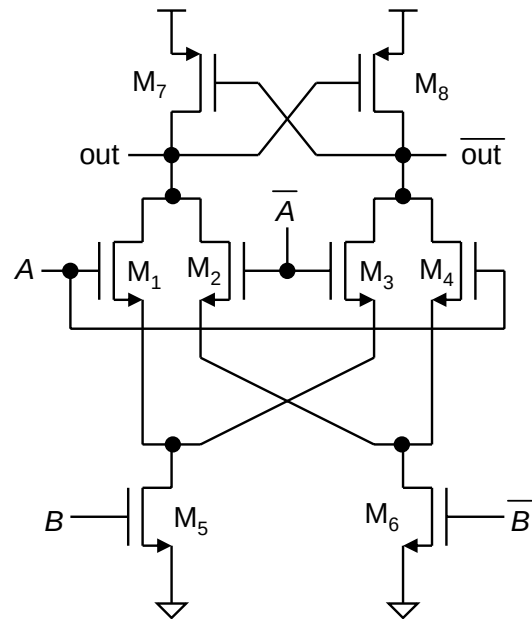


図 1

[演習問題 8] Dynamic AND 回路

図 1 は Dynamic AND 論理回路である。

(1) clk = H のとき、この回路はどのように働くか。

(2) clk = L のときの動作について説明せよ。

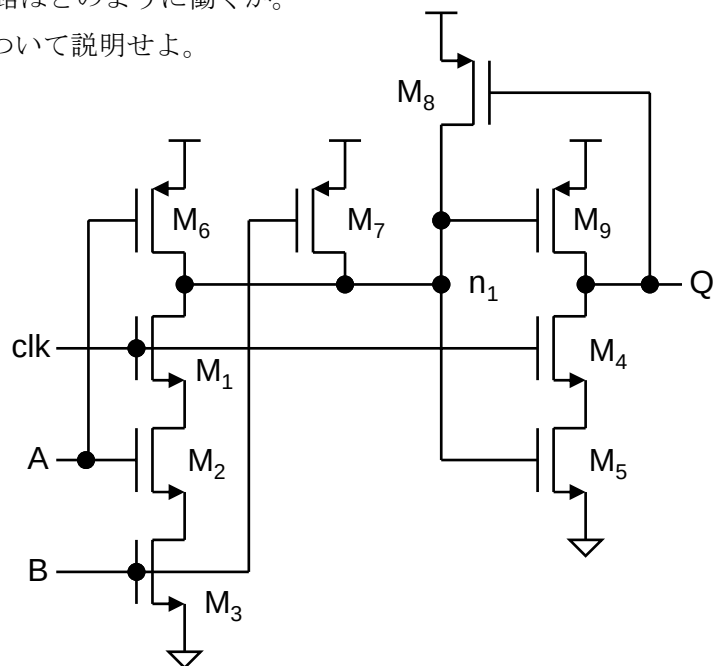


図 1

[演習問題 9] Dynamic Dual-Rail XOR Gate

図 1 は Dynamic Dual-Rail XOR Gate である。

- (1) ϕ が L のときの c , $\bar{c}$ の電圧を求めよ。
- (2) ϕ が L から H に変わった後の c の a, b に対する論理表を示せ。
- (3) この回路において、 ϕ はどのような役割をしているか。

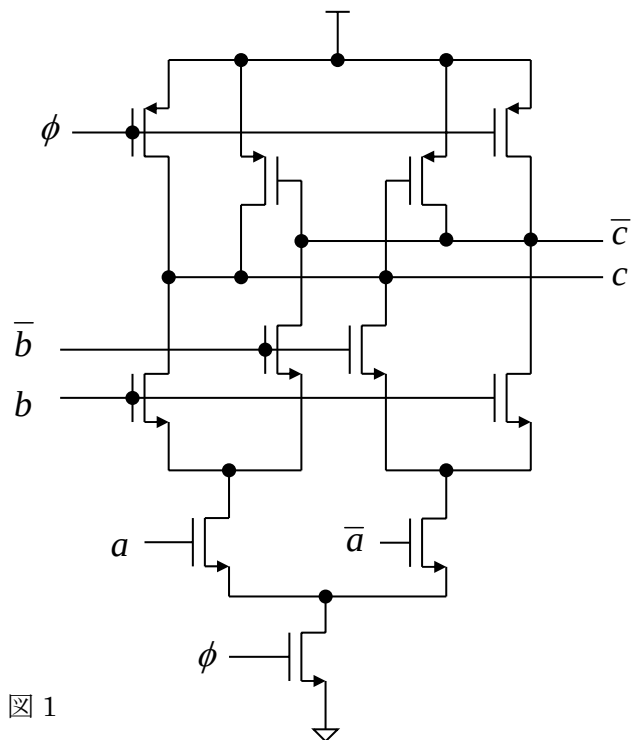


図 1

[演習問題 10] XOR, XNOR 回路

図 1 は XOR 回路、図 2 は XNOR 回路である。

- (1) $A = H/L$ それぞれに対し、回路図を簡略化せよ。
- (2) $A, B = H/L$ に対し、出力はどのように与えられるか。論理表を作成せよ。
- (3) 出力電圧の範囲を求め、本回路を使用する上での制約を述べよ。

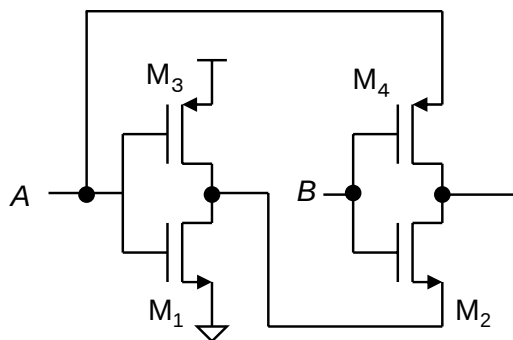


図 1

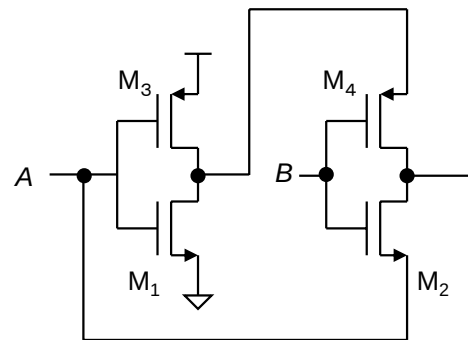


図 2

[演習問題 11] アービタ回路

図 1 は入力信号の調整を行うアービタ回路である。図 2 のように入力信号が入ったとき出力はどのようなになるか。

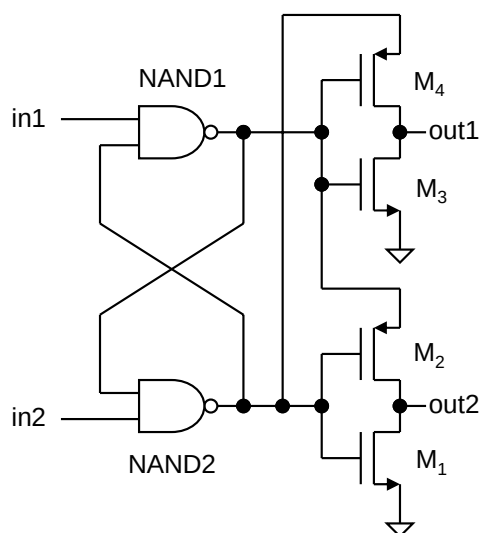


図 1

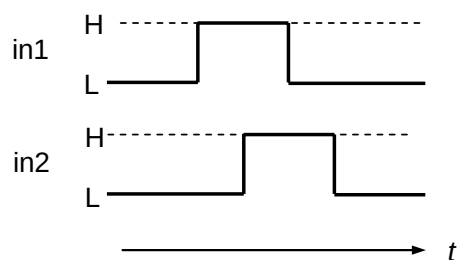


図 2

[演習問題 12] Tri-state buffer 回路

図 1 はロジック出力段の Tri-state buffer 回路

- (1) $En=L$ のとき、out はどのような状態になるか。
- (2) $En=H$ のとき、out はどのような出力になるか。

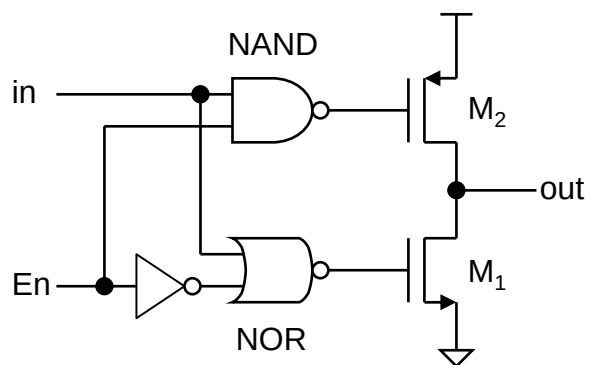


図 1

[演習問題 13] Split-output TSPC フリップ・フロップ回路

図 1 は Split-output TSPC(true single-phase clocked)フリップ・フロップ ロジック回路 (Yuan & Svensson)である。

(1) Clk が H/L の場合について、この回路の動作を述べよ。

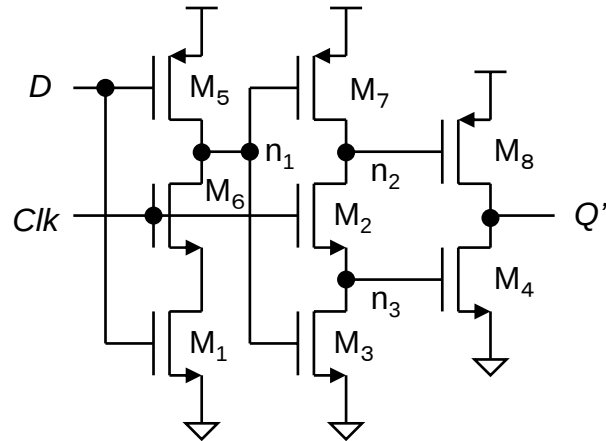


図 1

[演習問題 14] TSPC フリップ・フロップ回路

図 1 は TSPC(true single-phase clocked)フリップ・フロップ ロジック回路(Yuan & Svensson)である。

(1) Clk = Lのとき、 n_1, n_2 はどのようなになるか。また出力の状態はどのようなになるか。

(2) Clk が L から H に変化した後の動作について説明せよ。

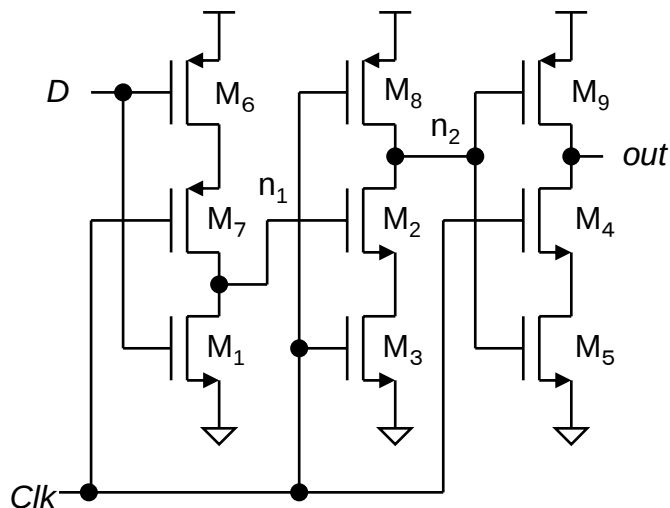


図 1

[演習問題 15] D-type Flip Flop 回路

図 1 の Flip Flop 回路において、

(1) $\text{clk} = \text{H/L}$ それぞれに対し、回路図を簡潔にせよ。それぞれの場合について動作を述べよ。

図 2 は D-type Flip Flop である。

(2) $\text{clk} = \text{H/L}$ それぞれの場合について動作を述べよ。

(3) $\overline{Q}$ を D に接続して、 clk に周期的なパルスを入力したときの、 Q の波形を図示せよ。ただし、 $t=0$ で $Q = Q' = L$ で、 clk は L からスタートするものとする。

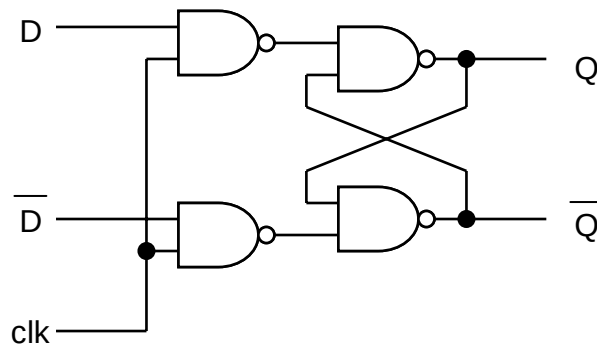


図 1

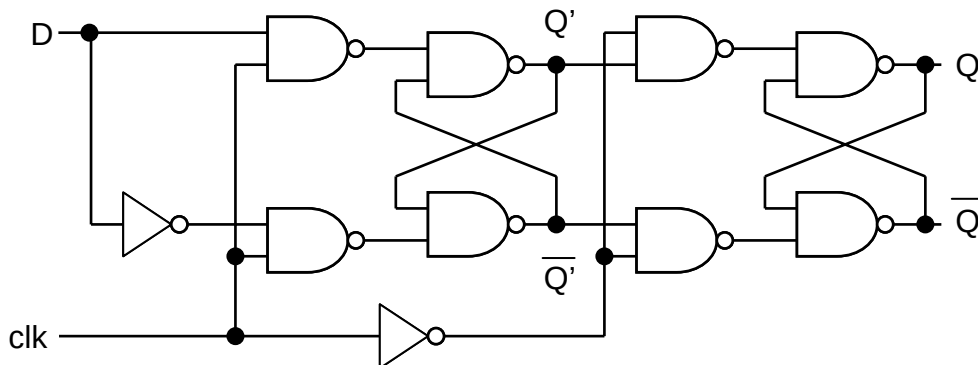


図 2

[演習問題 16] CMOS D-type Flip Flop

図 1 は D-type Flip Flop である。

- (1) $\text{clear} = H$ のとき、 Q, Q' を求めよ。
- (2) $\text{clear} = L$ のとき、回路図を簡潔にせよ。
- (3) (2)の場合について、更に $\text{clk} = H/L$ それぞれに対し、回路図を簡潔にせよ。それぞれの
場合について動作を述べよ。
- (4) $\overline{Q}$ を D に接続して、 clk に周期的なパルスを入力したときの、 Q の波形を図示せよ。た
だし、 $t=0$ で $Q=Q'=L$ で、 clk は L からスタートするものとする。

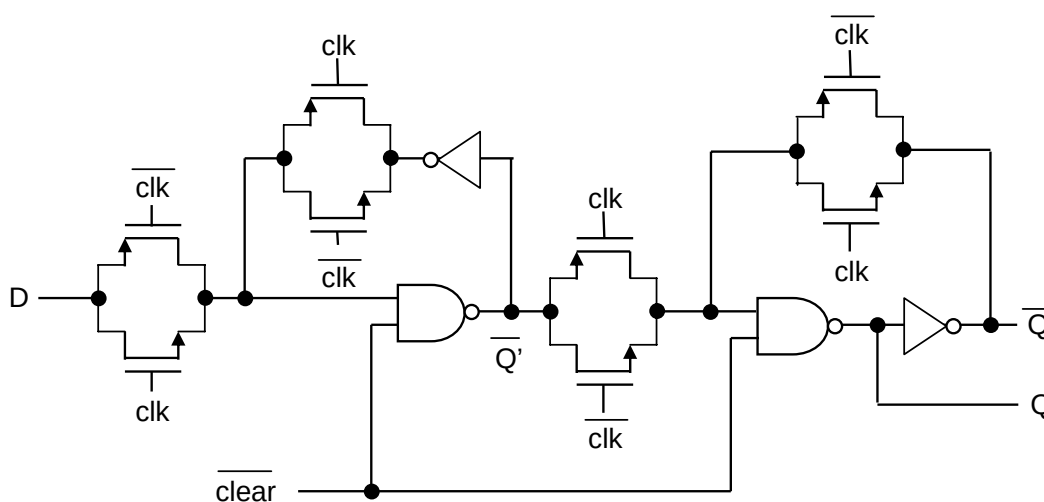


图 1

[演習問題 17] コンパレータ回路

図 1 のコンパレータ回路は、CLK を L→H に変化させたとき、 $V_{IN1} > V_{IN2}$ の場合には $V_{OUT1} = H$, $V_{OUT2} = L$ を、 $V_{IN1} < V_{IN2}$ の場合には $V_{OUT1} = L$, $V_{OUT2} = H$ を出力する。この後、 V_{IN1} , V_{IN2} が変化しても、値を保持し続ける。

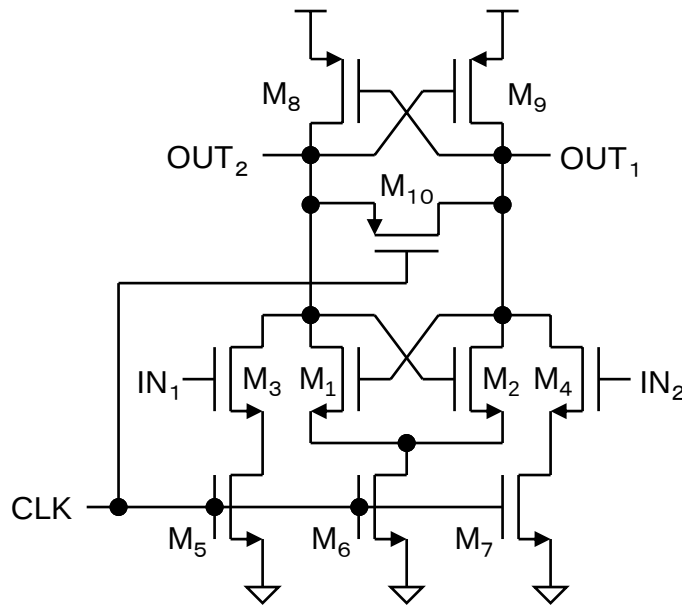


図 1

- (1) CLK = L のとき、 V_{OUT1} , V_{OUT2} のとりうる電圧範囲を第 0 次近似で求めよ。
- (2) CLK = H のとき、図 1 の回路は図 2 の回路と等価である。

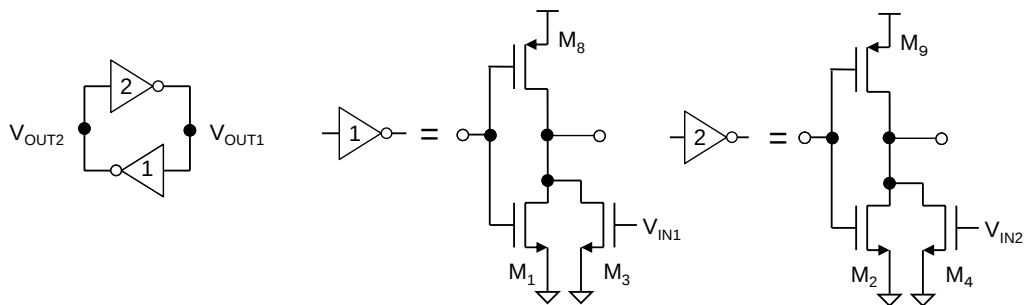


図 2

インバータ 1 の伝達特性を $V_{IN1} = H$, $V_{IN1} = L$ の 2 つの場合について図示せよ。M₃ によるインバータ出力の H レベル低下電圧を求めよ。

- (3) V_{IN1} , V_{IN2} が H, L いずれをとっても、図 2 のフリップフロップ回路の V_{OUT1} , V_{OUT2} が保持される条件を、インバータ 1, 2 の伝達特性から考察せよ。

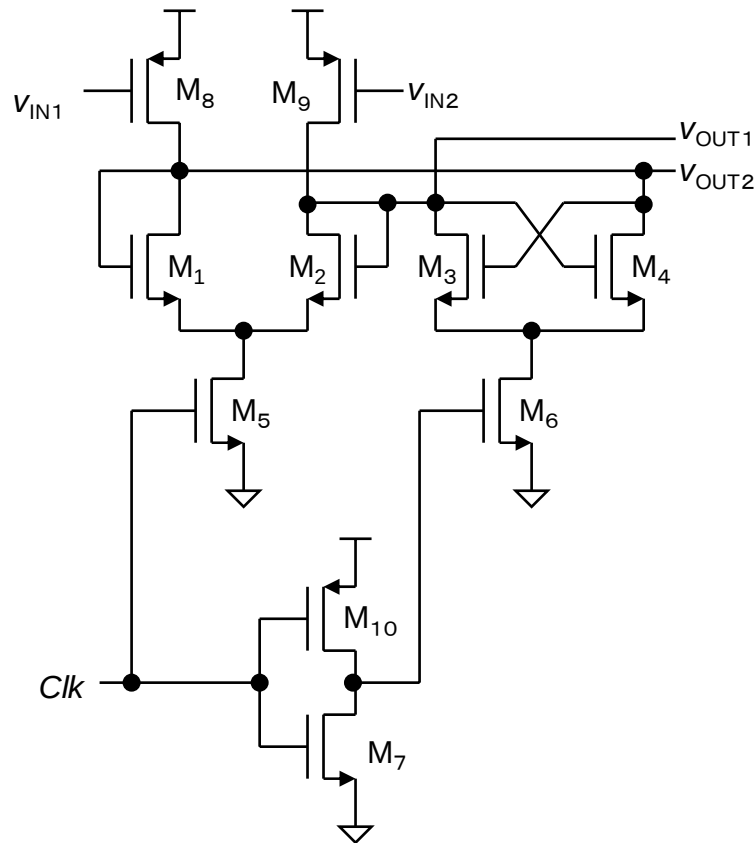
(4) 0.8 μm CMOS プロセスを用い、次の条件でトランジスタのサイズを決めよ。

- ・チャネル長はすべて 1.2 μm とする。
- ・ $M_1, M_2, M_5, M_6, M_7, M_{10}$ のチャネル幅は 3.2 μm とする。
- ・ M_8, M_1 によるインバータ 1 ($V_{IN1} = L$) の閾値が $(V_{DD} + V_{SS})/2$ となるように、 M_8 のチャネル幅を決める。 M_9 のサイズは M_8 と同一にする。
- ・ M_3, M_4 は同一サイズとし、Hレベル低下が 0.1($V_{DD} - V_{SS}$)となるようにする。

(5) SPICE シミュレーションにより、伝達特性を求めよ。また、CLK を L $\rightarrow$ H に変化させたときの各電圧の時間変化を求めよ。

[演習問題 18] コンパレータ回路

図 1 のコンパレータ回路は、 Clk を H $\rightarrow$ L に変化させたとき、 $v_{IN1} > v_{IN2}$ の場合には $v_{OUT1}=H, v_{OUT2}=L$ を、 $v_{IN1} < v_{IN2}$ の場合には $v_{OUT1}=L, v_{OUT2}=H$ を出力する。



- (1) この回路の動作原理を定性的に説明せよ。
- (2) $v_{IN1} = v_{IN2}$ のとき、この回路が動作する v_{IN1} の範囲を、トランジスタのパラメータを用いた一般的な式で表せ。

(3) 次の設計条件で、SPICE シミュレーションにより、動作を解析せよ。結果をトランジスタのパラメータから論ぜよ。

すべてのトランジスタで最小のチャネル長を用いる

NMOS M_1, M_2, M_5, M_7 はすべて同じサイズとし、最小のチャネル幅を用いる

NMOS M_3, M_4, M_6 はすべて同じサイズとし、チャネル幅は NMOS M_1, M_2, M_5, M_7 はの 10 倍とする

PMOS はすべて同じサイズとし、PMOS の β が NMOS M_1, M_2, M_5, M_7 の β と同じになるようにする

[演習問題 19] Single-phase latch

図 1 は single phase latch 回路(Svensson latch 1989)である。

- (1) $\phi = H$ のとき、出力はどのように与えられるか。
- (2) $\phi = L$ のとき、出力が保持されることを示せ。

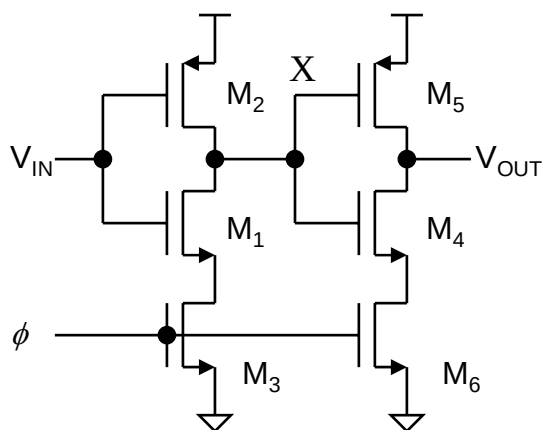


図 1

[演習問題 20] ダイナミック・ラッチ

回路の動作を説明せよ。

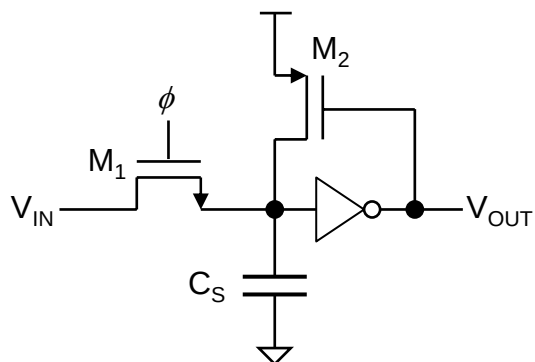


図 1

[演習問題 21] ダイナミック・ラッチ

回路の動作を説明せよ。

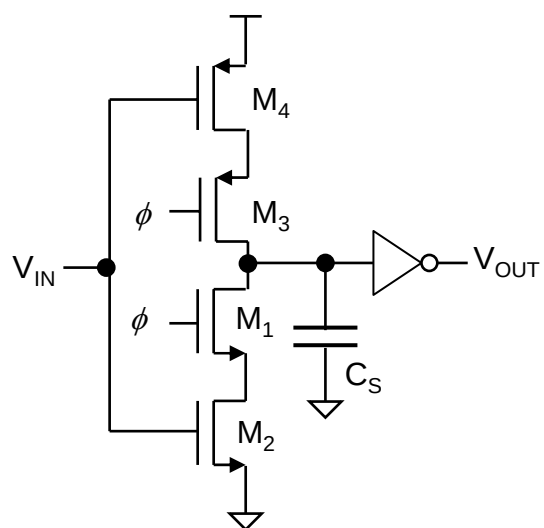


図 1

[演習問題 22] CMOS シュミットトリガ回路

図 1 は CMOS シュミットトリガ回路である。このシュミット・トリガ回路の伝達特性は図 2 のように、ヒステリシスをもち、 V_{IN} が V_{SS} から V_{DD} に上昇するときの閾値は V_{thH} 、 V_{DD} から V_{SS} に下降するときの閾値は V_{thL} となる。

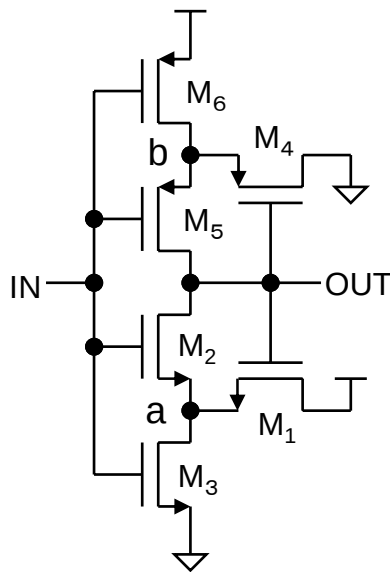


図 1

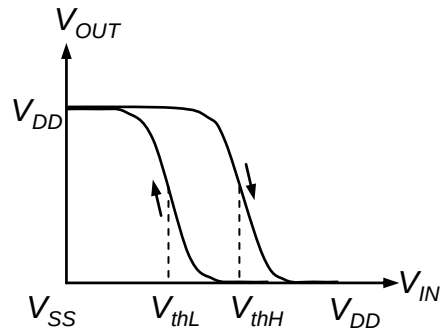


図 2

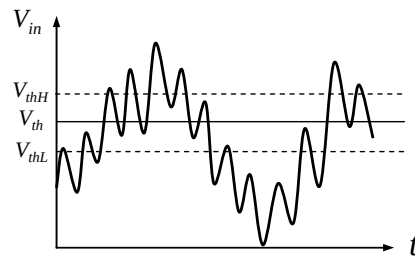


図 3

- (1) 図 3 のような信号が入力したとき、インバータ（閾値 V_{th} ）およびシュミットトリガ回路（閾値 V_{thH} 、 V_{thL} ）の出力はどのようなになるか。
- (2) V_{thH} は M_1 , M_2 , M_3 が、 V_{thL} は M_4 , M_5 , M_6 が決めていることを示せ。
- (3) V_{thH} および V_{thL} を式で表せ。
- (4) $V_{thH} = (V_{DD} + V_{SS})/2 + \Delta V$ 、 $V_{thL} = (V_{DD} + V_{SS})/2 - \Delta V$ 、としたときの、 $\beta_1 \sim \beta_6$ の間の関係を求めよ。
- (5) $0.8\mu\text{m}$ プロセスを用い、 $V_{DD} - V_{SS} = 5\text{V}$ 、 $\Delta V = 0.5\text{V}$ のする。 M_2 と M_3 のトランジスタサイズをチャンネル長 $L = 0.8\mu\text{m}$ 、チャンネル幅 $W = 3.2\mu\text{m}$ とする。 M_5 と M_6 のトランジスタサイズを $L = 0.8\mu\text{m}$ 、 $W = 7\mu\text{m}$ とする。 M_1 と M_4 において $L = 0.8\mu\text{m}$ としたとき、 W はそれぞれ何 μm にしなければならないか。
- (6) SPICE シミュレーションにより伝達特性を求め、(5) の結果を比較し、もし異なればその理由を述べよ。

[演習問題 23] ヒステリシスを持った差動増幅回路

図 1 の回路は図 2 のようにヒステリシス特性を持った差動増幅回路である。 (M_1, M_2) 、 (M_4, M_7) 、 (M_5, M_6) 、 (M_3, M_8) はそれぞれの組に対し、同一サイズのトランジスタとする。

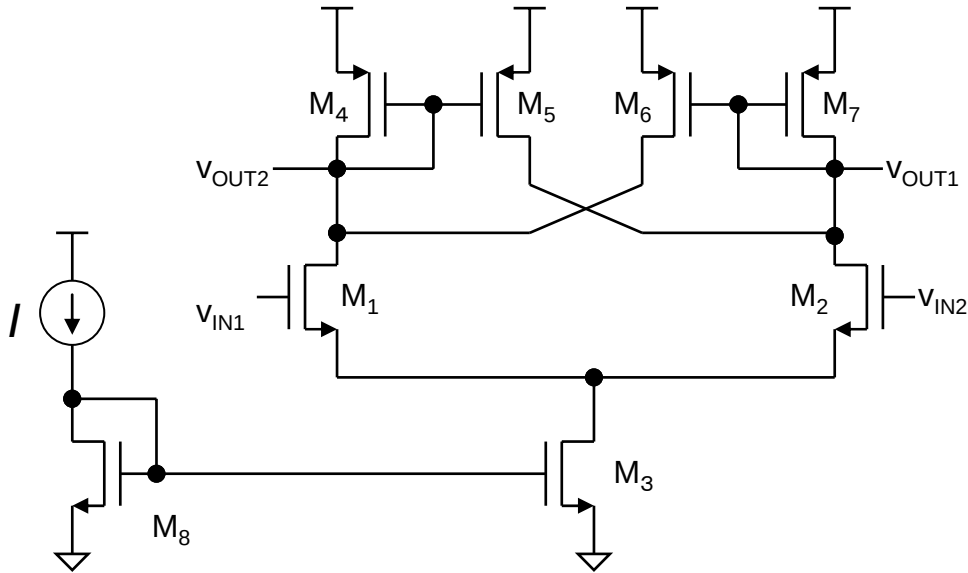


図 1

- (1) V_{IN2} を固定して、 V_{IN1} を $V_{IN1} - V_{IN2} < V_L$ から上げていく場合を考える。 $V_{IN1} - V_{IN2} < V_L$ では M_1 がオフ、 M_2 がオンとなり、 $V_{OUT1} \sim V_{SS}$ 、 $V_{OUT2} \sim V_{DD}$ である。 M_4, M_5 はオフ、 M_6 は線形領域にある。 V_{IN1} を上げてき M_1 に電流が流れ始めると V_{OUT2} が下がる。 $V_{DD} + \Delta_6 > V_{OUT2} > V_{DD} + V_{TP}$ では、 M_4, M_5 はオフを保ったまま、 M_6 は飽和領域に入り、 M_6 に電流が流れ、 $M_6 \rightarrow M_1$ の電流パスが形成される。この点が $V_{IN1} - V_{IN2} = V_H$ に対応することから V_H を求めよ。

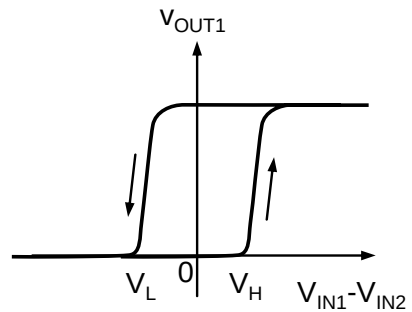


図 2

- (2) 同様に V_L を求めよ。
 (3) ヒステリシス特性を得るための条件を求めよ。
 (4) $0.8 \mu\text{m}$ プロセスを用い、次の条件でトランジスタ・サイズを設計せよ。
 ・電流 $I = 20 \mu\text{A}$, $V_H = 0.1\text{V}$, $V_L = -0.1\text{V}$
 ・チャンネル長はすべて $1.2 \mu\text{m}$ 、 M_3, M_4, M_7, M_8 のチャンネル幅は $2 \mu\text{m}$
 ・電流 I のときの M_1, M_2 のゲート・オーバードライブ電圧を 0.4V
 (5) SPICE によりシミュレーションして動作を確認せよ。

3 増幅回路

[演習問題 24] ソース接地増幅回路

図 1 はソース接地増幅回路である。

- (1) 電圧増幅率と出力抵抗を求めよ。
- (2) $I = 10\mu\text{A}$ 、 M_1 、 M_2 、 M_3 のトランジスタサイズを $L = 0.8\ \mu\text{m}$ 、 $W = 3.2\ \mu\text{m}$ としたとき、電圧利得と出力抵抗を計算せよ。

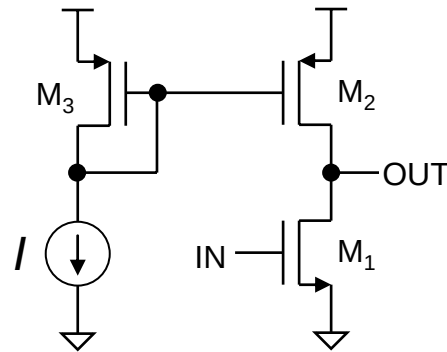


図 1

[演習問題 25] カスコード・ソース接地増幅回路

図 1 はカスコード・ソース接地増幅回路である。

- (1) 電圧増幅率と出力抵抗を求めよ。
- (2) $I = 10\mu\text{A}$ 、 M_1 、 M_2 、 M_3 のトランジスタサイズを $L = 0.8\ \mu\text{m}$ 、 $W = 3.2\ \mu\text{m}$ としたとき、電圧利得と出力抵抗を計算せよ。

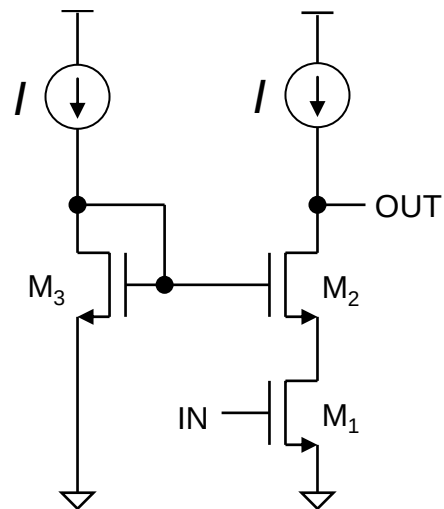


図 1

[演習問題 26] ゲインブースト・ソース接地増幅回路

図 1 はゲインブースト・ソース接地増幅回路である。 M_2 のゲートにオペアンプが接続されている。オペアンプの特性は電圧増幅率を A として次で与えられる。

$$V_{out} = A(V_{in+} - V_{in-})$$

(1) 図 1 の回路の電圧増幅率と出力抵抗を求めよ。

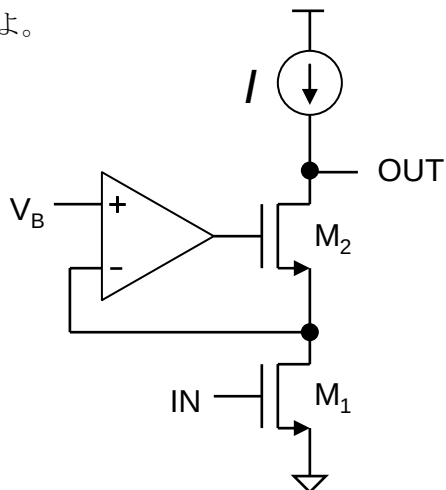


図 1

4 電圧増幅器

[演習問題 27] 電流増幅回路

図 1 は電流増幅回路である。

- (1) 大信号の立場から、 i_{out} と i_{in} の関係を求めよ。
- (2) 図 1 の回路の小信号等価回路は図 2 のように表すことができる。入力抵抗 R_{in} 、電流増幅率 A_i 、出力抵抗 R_{out} を求めよ。
- (3) 大信号で考えた場合、 i_{out} と i_{in} は線形の関係にあるから、大信号の電流利得は小信号の電流利得と等しいはずである。(1)、(2)の結果を比較し、電流利得が異なる場合には、その理由を述べよ。

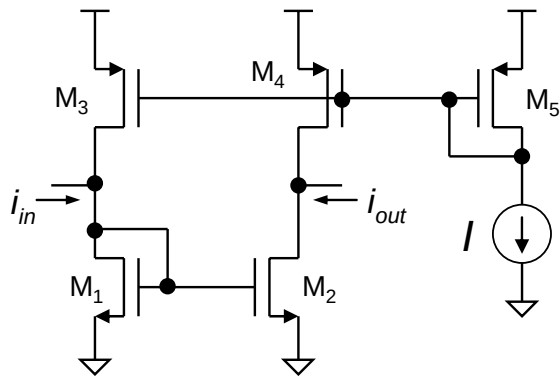


図 1

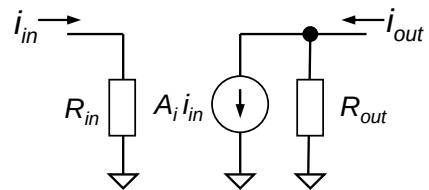


図 2

[演習問題 28] 電流増幅回路

図 1 は電流増幅回路である。

- (1) M_1, M_3 が飽和領域で動作するための R の条件を求めよ。
- (2) 図 1 の回路の小信号等価回路は図 2 のように表すことができる。入力抵抗 R_{in} 、電流増幅率 A_i 、出力抵抗 R_{out} を求めよ。

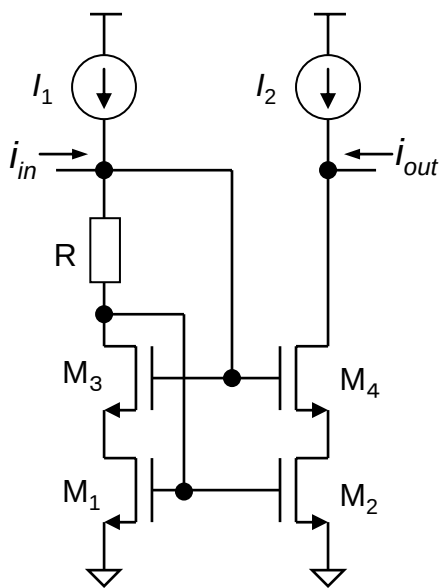


図 1

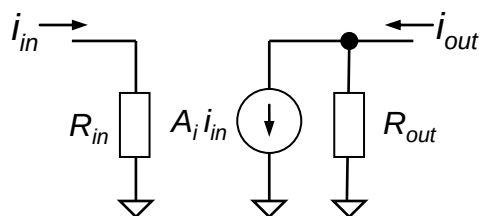


図 2

[演習問題 29] 電流増幅回路

図 1 は電流増幅回路である。

- (1) 大信号の立場から、 i_{out} と i_{in} の間の関係を求めよ。
- (2) 図 1 の回路の小信号等価回路は図 2 のように表すことができる。入力抵抗 R_{in} 、電流増幅率 A_i 、出力抵抗 R_{out} を求めよ。

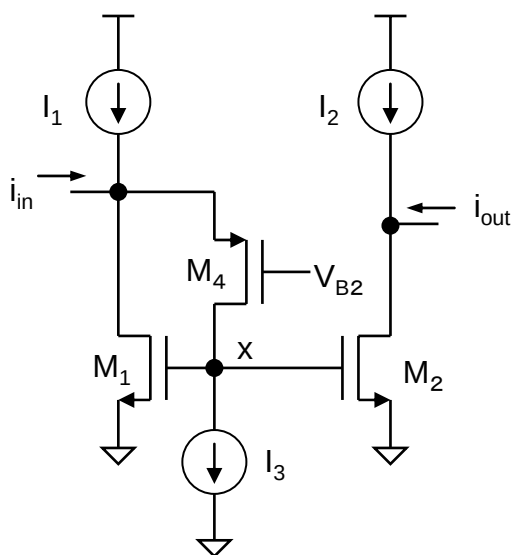


図 1

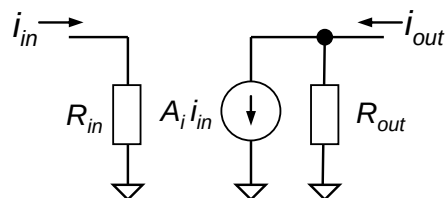


図 2

[演習問題 30] 電流増幅回路

図 1 は電流増幅回路である。図 2 は小信号等価回路である。

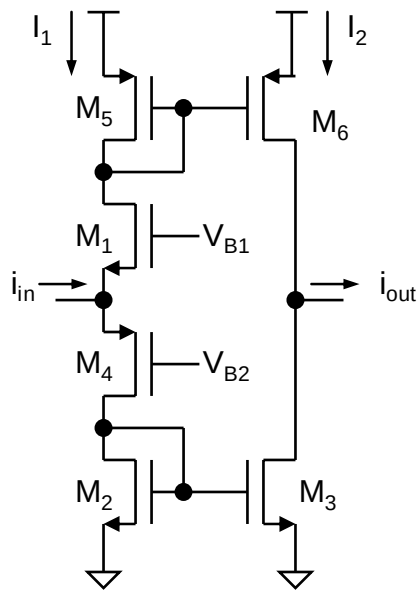


図 1

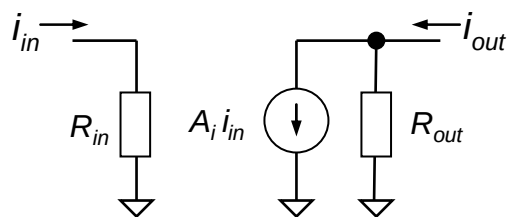


図 2

[演習問題 31] 差動電流增幅回路

図 1 は差動電流増幅回路である。

- (1) i_{out} を i_{in1} , i_{in2} , I_1 , I_2 , I_3 により表せ。
- (2) (2)において、 $i_{out} = A(i_{in2} \cdot i_{in1})$ とするにはトランジスタサイズをどうとれば良いか。
- (3) i_{in1} 側から見た入力抵抗を求めよ。
- (4) 図 2 は出力側から見た小信号等価回路である。差分電流増幅率 A_{ID} 、コモンモード電流増幅率 A_{IC} 、出力抵抗 R_{out} を求めよ。

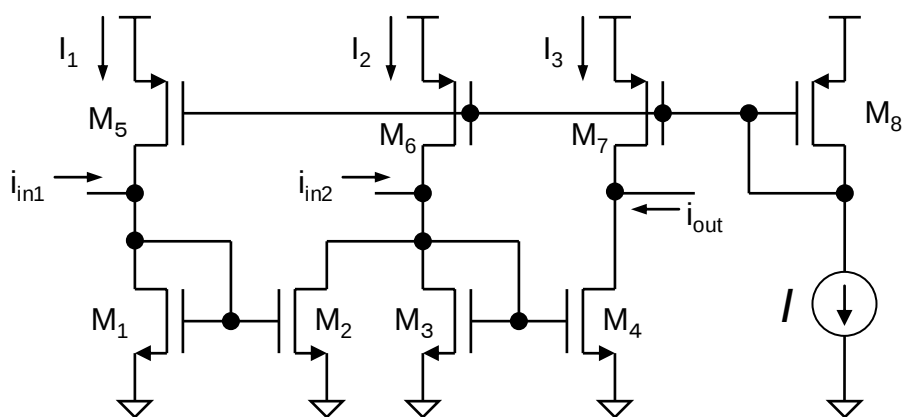


图 1

$$A_{ID} (i_{in1}-i_{in2})+A_{IC} (i_{in1}+i_{in2})/2$$

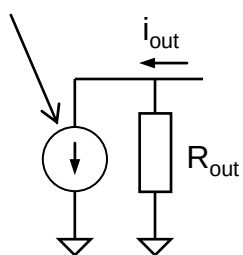


图 2

5 バッファ回路

[演習問題 32] バッファ回路

図 1 は出力バッファ回路である。

- (1) $M_1 \sim M_6$ が飽和領域で動作するための条件を求めよ。
- (2) 出力電圧と入力電圧の関係性を求めよ。
- (3) この回路の出力抵抗を求めよ。
- (4) 図 2 のように出力に負荷抵抗 R_L とキャパシタンス C_L を接続したとき、出力電圧の AC特性を求めよ。

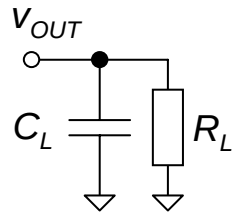


図 2

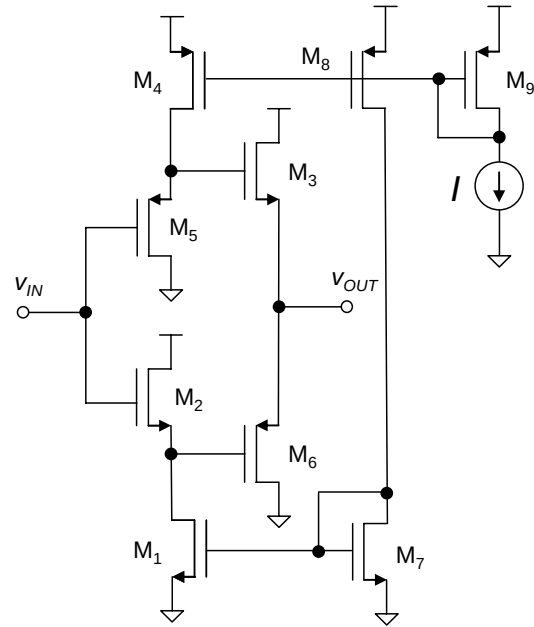


図 1

- (5) $R_L = 1\text{k}\Omega$, $C_L = 200\text{pF}$ のとき、 M_3 , M_6 のトランジスタサイズを求めよ。ただし、 M_4 , M_8 , M_9 は同一トランジスタサイズ、 M_1 , M_7 は同一トランジスタサイズ、 $I = 10\mu\text{A}$ とする。

[演習問題 33] プッシュプル出力アンプ

図 1 はソース・クロス・カップル回路で、 V_{B1} , V_{B2} は定電圧である。

C_L , R_L は外部の負荷で $C_L=100\text{pF}$, $R_L=10\text{k}\Omega$ である。

- (1) 縦軸を I_{OUT} 、横軸を V_{IN} としてプロットせよ。
- (2) 入力信号電圧すべての範囲で M_{10} に電流が流れる領域をV、 M_5 に電流が流れる領域をWとする。VとWにオーバーラップがあるときをA級バッファ、VとWが接しているときB級バッファ、VとWが重ならない領域がある場合をC級バッファと呼ぶ。図 1 の回路がA級バッファ、B級バッファ、C級バッファとして動作するための条件を求めよ。
- (3) 次の条件で回路を設計せよ。

$i_{OUT} = 0$ となる入力信号電圧範囲が 0.2V

出力抵抗が $1\text{k}\Omega$

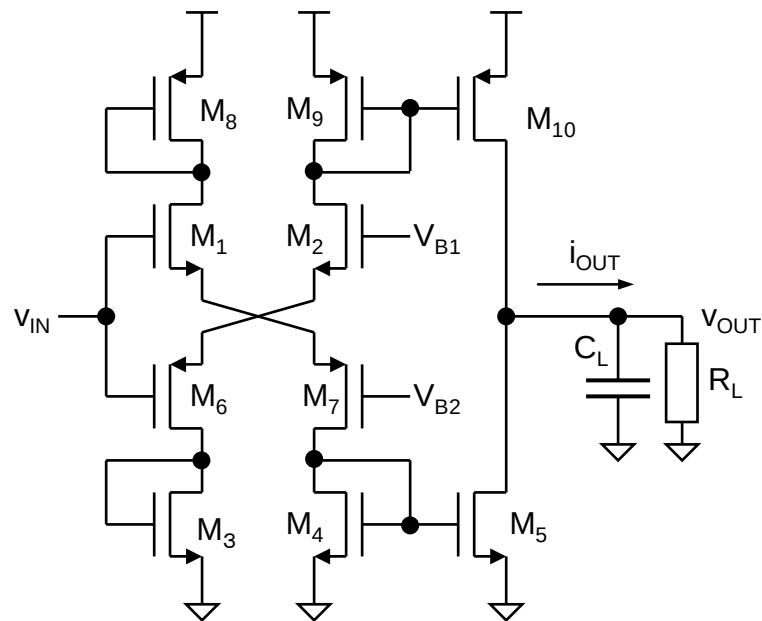


図 1

6 その他のアナログ回路

〔演習問題 34〕 VCO

図 1 は可変周波数発振回路 VCO (voltage controlled oscillator)である。R はリセット信号で H のときには出力は L となる。R を L にすると、周波数 f の信号が出力に出る。周波数 f は電流 I により変えることができる。すべての NMOS は同じサイズ、すべての PMOS はすべて同じサイズとする。

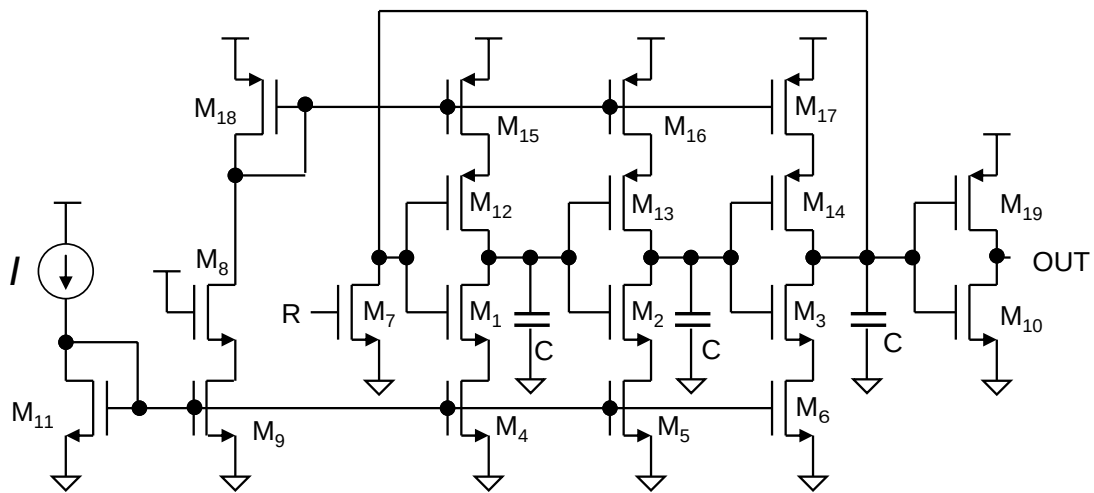


図 1

- (1) 1 段のインバータ M_{15}, M_{12}, M_1, M_4 の遅延時間を電流 I とキャパシタンス C 、電源電圧 V_{DD} 、 V_{SS} により表せ。
- (2) 発振周波数を電流 I とキャパシタンス C 、電源電圧 V_{DD} 、 V_{SS} により表せ。
- (3) 次の設計条件で、SPICE シミュレーションにより、動作を解析せよ。電流 I を変えたとき、発振周波数はどのように変化するかプロットせよ。結果を(2)の結果と比較せよ。
 すべてのトランジスタで最小のチャネル長を用いる
 NMOS はすべて同じサイズとし、最小のチャネル幅を用いる
 PMOS はすべて同じサイズとし、PMOS の β が NMOS の β と同じになるようにする

[演習問題 35] Guilbert セル

図 1 は V_{cont1} , V_{cont2} により電圧増幅率を変えることができるゲイン可変差動増幅回路である。(M₁, M₂, M₃, M₄)、(M₅, M₆)、(M₇, M₈)は各組の中で同一サイズのトランジスタとする。

- (1) $\Delta V_{\text{out}} = V_{\text{out1}} - V_{\text{out2}}$ を $\Delta V_{\text{in}} = V_{\text{in1}} - V_{\text{in2}}$ と $\Delta V_{\text{cont}} = V_{\text{cont1}} - V_{\text{cont2}}$ の関数として表せ。 ΔV_{in} 、 ΔV_{cont} が小さいとして、最低次の項はどのように表されるか。
- (2) $V_{\text{CM,in}}$ を V_{in1} と V_{in2} のコモン・モード電圧、 $V_{\text{CM,cont}}$ を V_{cont1} と V_{cont2} のコモン・モード電圧としたとき、M₁~M₆ が飽和領域で動作するための $V_{\text{CM,in}}$ と $V_{\text{CM,cont}}$ に対する条件を求めよ。
- (3) $V_{\text{CM,out}}$ を V_{out1} と V_{out2} のコモン・モード電圧としたとき、 $V_{\text{CM,out}}$ の $V_{\text{CM,in}}$ に対する電圧増幅率を求めよ。

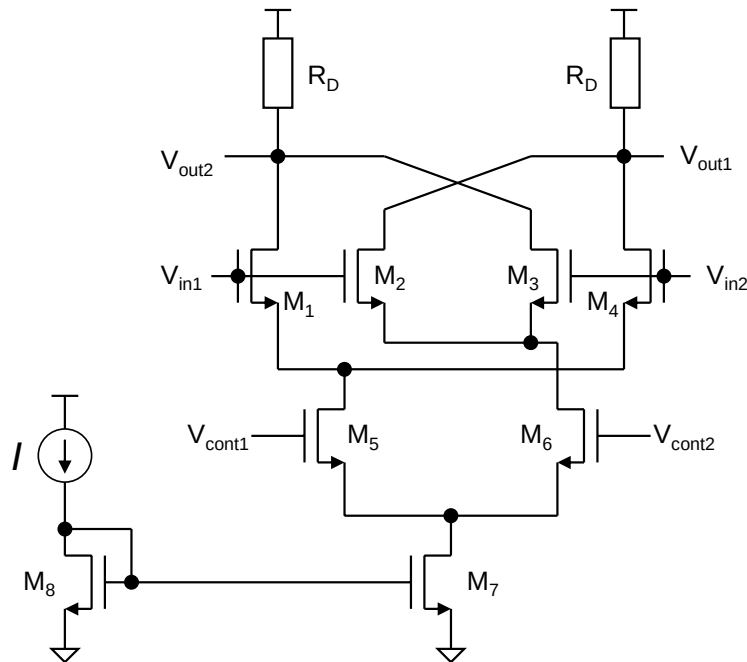


図 1

[演習問題 36] 最小、最大電圧回路

図 1 は最大電圧回路、図 2 は最小電圧回路である。

- (1) この回路の動作を説明せよ。
- (2) この回路の動作範囲を横 V_A - V_B の 2 次元図上に示せ。

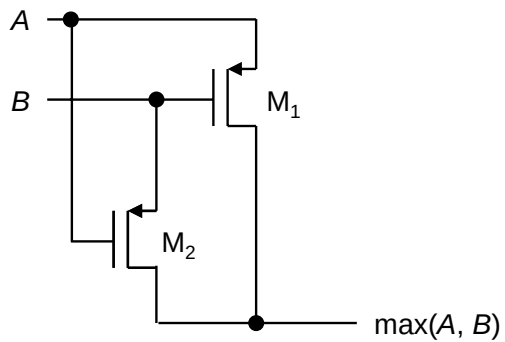


図 1

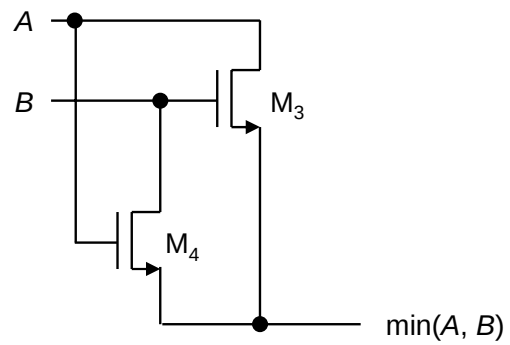


図 2

[演習問題 37] nonoverlapping clock generation 回路

- (1) 図 1 はフリップ・フロップ回路である。clk に図 2 のパルス電圧を加えたとき、ノード a、 ϕ_1 、 ϕ_2 の波形はどのようなになるか、インバータの遅延時間を t_{INV} 、NAND の遅延時間 t_{NAND} として $t_{INV} < t_{NAND}$ として図示せよ。ただし、clk の周期 T は t_{INV} 、 t_{NAND} よりも充分長いとする。 ϕ_1 、 ϕ_2 の L レベルの幅を $T t_{INV}$ 、 t_{NAND} で表せ。
- (2) 図 3 は nonoverlapping clock generation である。clk に図 2 のパルス電圧を加えたとき、 ϕ_1 、 ϕ_2 の波形はどのようなになるか。inv1~4 の役割は何か。

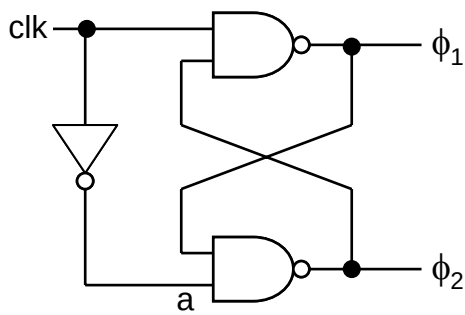


図 1

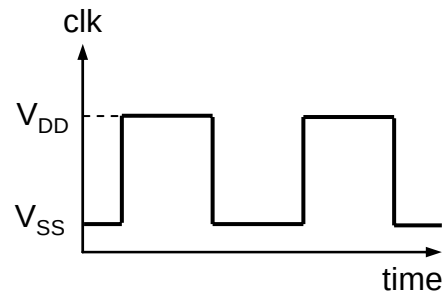


図 2

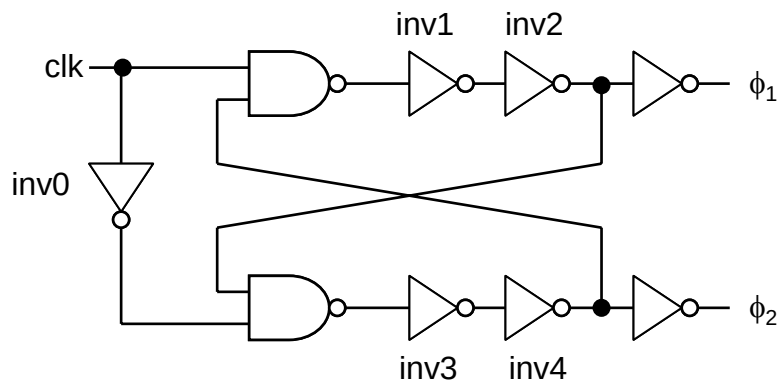


図 3

7 電源回路

[演習問題 38] カスコード・カレントミラー

図 1 はカスコード・カレントミラーである。

- (1) この回路がカレント・ミラーとして働くためには、 M_4 、 M_2 が飽和動作することが必要である。このときの V_{OUT} の条件を求めよ。
- (2) 出力抵抗を求めよ。
- (3) $I = 10\mu\text{A}$ で設計する。 $M_1 \sim M_4$ のトランジスタはすべて同一サイズとし、 $L = 3.2\mu\text{m}$ とする。ゲートオーバードライブ電圧を 0.2V として W を求めよ。このときの出力抵抗を計算せよ。

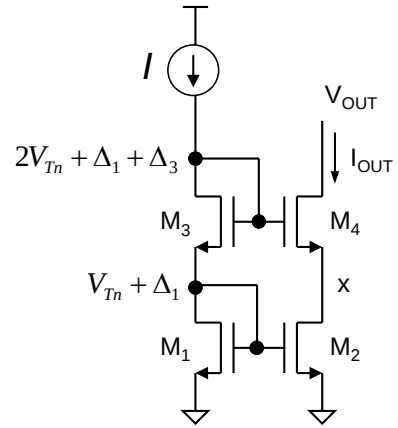


図 1

[演習問題 39] Wilson カレントミラー

図 1 は Wilson カレントミラーである。

- (1) M_3 の役割は何か。
- (2) 図 2 において、 V_{OUT} が固定されているときのフィードバック・ループ・ゲインを求めよ。これにより v_i が変動しても負のフィードバックが働き、 v_i の変動を修正するように働くことを示せ。
- (3) 図 1 の回路の出力抵抗を求めよ。

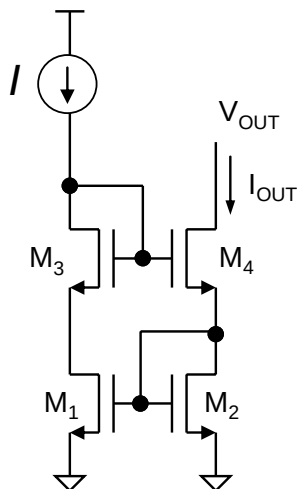


図 1

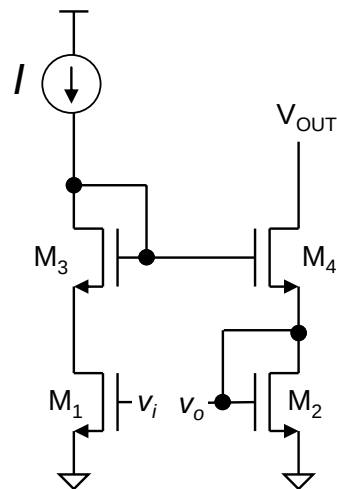


図 2

[演習問題 40] wide-swing cascode current mirror

図 1 は wide-swing cascode current mirror である。

- (1) M_1, M_3 が飽和領域で動作するための条件を求めよ。
- (2) M_2, M_4 が飽和領域で動作するための V_{OUT} の条件を求めよ。
- (3) M_1, M_2, M_3, M_4 を同一のトラン

ジスタサイズ、 M_6, M_7, M_8 を同一のトランジスタサイズとする。

V_{OUT} の範囲が最も広くなるように、 M_5 のトランジスタサイズを求めよ。

- (4) $I = 10\mu\text{A}$ 、 M_1, M_2, M_3, M_4 のゲートオーバードライブ電圧を 0.2V 、 M_6, M_7, M_8 のゲートオーバードライブ電圧を -0.2V のとき、トランジスタのサイズを求めよ、ただし、 $L = 3.2\mu\text{m}$ とする。

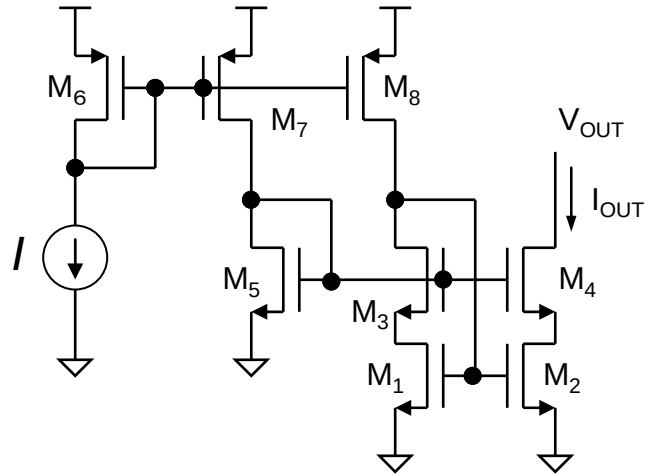


図 1

[演習問題 41] β -multiplier 電流源

図 1 は β -multiplier 電流源である。

- (1) 電流 I_1 、 I_2 を $M_1 \sim M_4$ の β で表せ。
- (2) M_5 , M_6 , M_7 は電流 I_1 を確実に流すためのスタートアップ回路である。 M_6 が、電流 I_1 が 0 のときオンし、電流 I_1 が流れたときオフするための条件を求めよ。
- (3) M_5 , M_7 はノードAの電圧 V_A を作る回路である。 V_A を M_5 , M_7 のデバイスパラメータで表せ。
また、 M_5 , M_7 に流れる電流 I_3 を求めよ。
- (4) 次の条件でトランジスタサイズを設計せよ。

$$I_1 = I_2 = 10\mu\text{A}, \quad I_3 = 1\mu\text{A}, \quad \Delta_1 = 0.4\text{V}, \quad \Delta_2 = 0.2\text{V}, \quad \Delta_3 = \Delta_4 = -0.2\text{V}, \quad V_A = 1.5 V_{Tn}$$

$$M_1, M_2, M_3, M_4 \text{ において } L = 3.2\mu\text{m}$$

$$M_5, M_7 \text{ において } W = 3.2\mu\text{m}$$

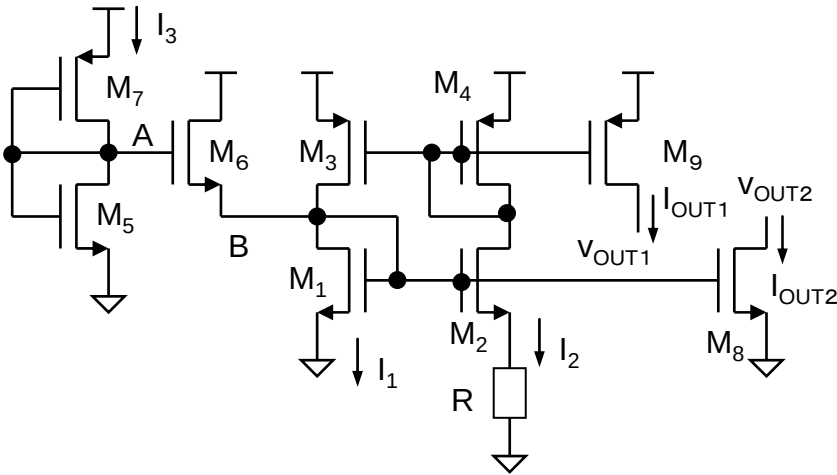


図 1

[演習問題 42] β -multiplier 電流源

図 1 は β -multiplier 電流源である。

- (1) 電流 I_1 、 I_2 を $M_1 \sim M_4$ の β で表せ。
- (2) M_5, M_6, M_7 は電流 I_1 を確実に流すためのスタートアップ回路である。 M_6 が、電流 I_1 が 0 のときオンし、電流 I_1 が流れたときオフするための条件を求めよ。
- (3) M_5, M_7 はノードAの電圧 V_A を作る回路である。 V_A を M_5, M_7 のデバイスパラメータで表せ。また、 M_5, M_7 に流れる電流 I_3 を求めよ。
- (4) 次の条件でトランジスタサイズを設計せよ。

$$I_1 = I_2 = 10\mu\text{A}, \quad I_3 = 1\mu\text{A}, \quad \Delta_1 = 0.4\text{V}, \quad \Delta_2 = 0.2\text{V}, \quad \Delta_3 = \Delta_4 = -0.2\text{V}, \quad V_A = 1.5 V_{Tn}$$

$$M_1, M_2, M_3, M_4 \text{ において } L = 3.2\mu\text{m}$$

$$M_5, M_7 \text{ において } W = 3.2\mu\text{m}$$

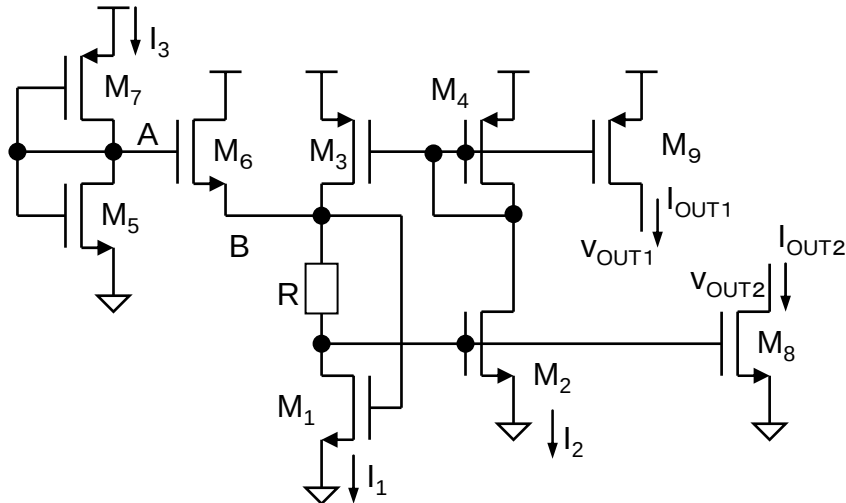


図 1

[演習問題 43] バンドギャップ参照電源回路

図 1 はバンドギャップ参照電源回路で、温度にあまり依存しない電圧 $V_{OUT} = E_g/q$ を与える回路である。ここに、 E_g は半導体のバンドギャップ・エネルギーで 1.1 eV である。図において、 M_1 、 M_2 は同一サイズのトランジスタ、 M_3 、 M_4 、 M_5 は同一サイズのトランジスタ、 D_2 は D_1 と同じサイズのダイオードを K 個並列接続したもの、 D_3 は D_1 と同一サイズのダイオードである。ダイオードの電流－電圧特性は次で与えられる。

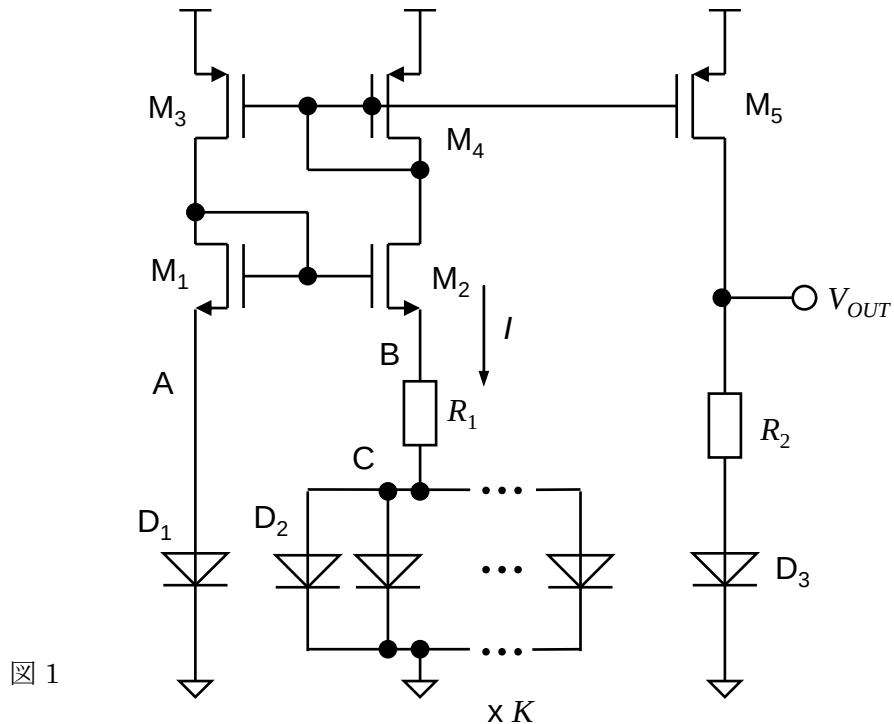
$$I = I_s \exp\left(\frac{qV}{k_B T}\right), \quad I_s = I_0 \exp\left(-\frac{E_g}{k_B T}\right)$$

I_0 は温度に強く依存しない定数である。

- (1) ノード A の電圧がノード B の電圧に等しく、ノード A を流れる電流がノード B に流れる電流と等しくなることを示せ。
- (2) ノード A の電圧を V_{BE} としたとき、 V_{BE} を電流 I で表せ。
- (3) ノード C の電圧を V_C としたとき、 V_C を電流 I で表せ。
- (4) $\Delta V_{BE} = V_B - V_C$ としたとき、次の式が成り立つことを示せ。

$$\Delta V_{BE} = \frac{k_B T}{q} \ln(K)$$

- (5) V_{OUT} を V_{BE} と ΔV_{BE} で表せ。
- (6) $I = 10\mu\text{A}$ 、 $K = 4$ のとき、 R_1 、 R_2 を求めよ。ただし、 $I_0 = 20\text{A}$ 、室温 ($T = 300\text{K}$) とする。



[演習問題 44] PTAT (proportional to absolute temperature)

図 1 は絶対温度に比例する電圧を出力する回路である。

(1) 出力電圧が絶対温度に比例することを示せ。

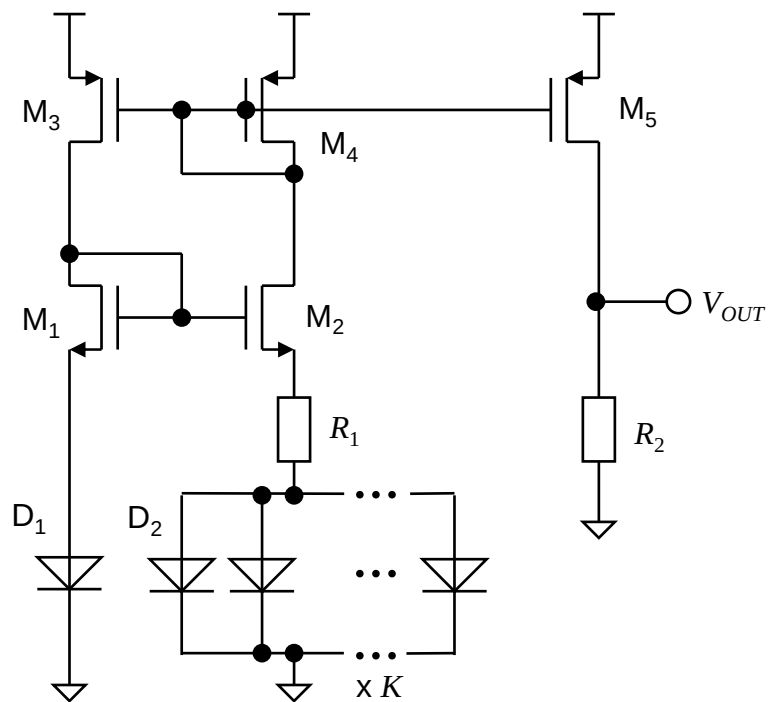


図 1

[演習問題 45] バンドギャップ参照電源回路

図 1 はバンドギャップ参照電源回路で、温度にあまり依存しない電圧 $V_{OUT} = E_g/q$ を与える回路である。ここに、 E_g は半導体のバンドギャップ・エネルギーで 1.1 eV である。

- (1) この回路の動作を説明せよ。
- (2) この回路が動作するための電源電圧 $V_{DD} - V_{SS}$ の下限を求めよ。

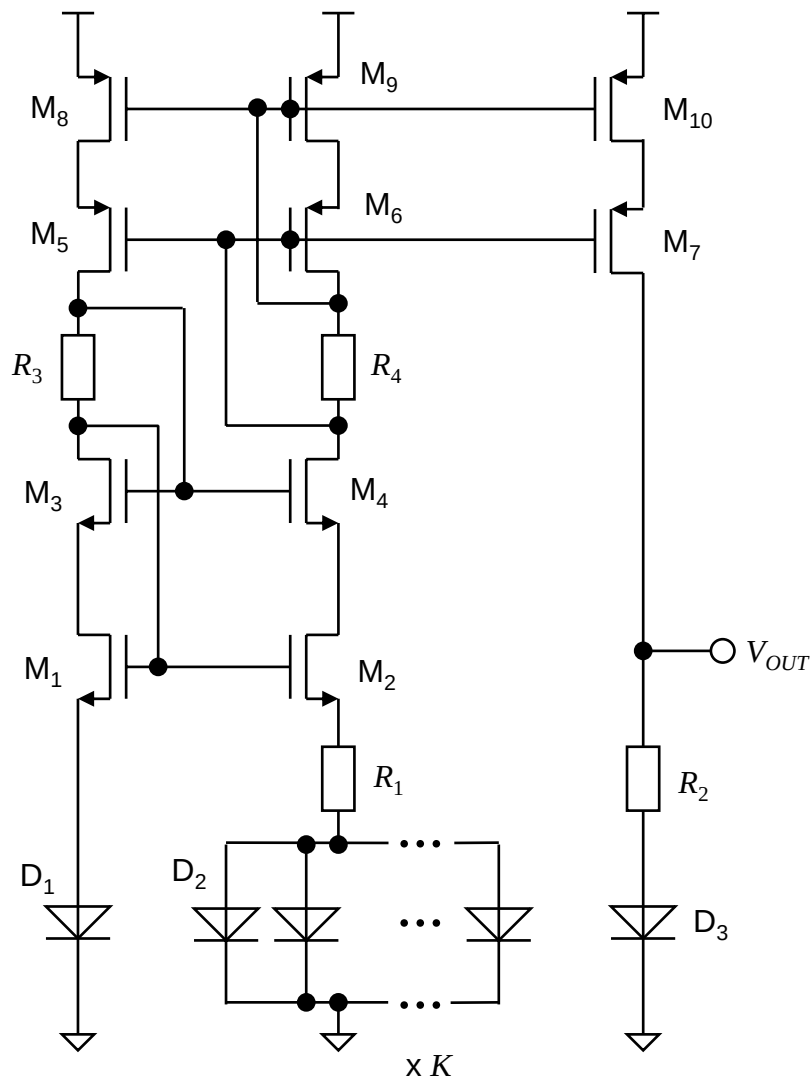


図 1

[演習問題 46] Charge pump 昇圧回路

図 1 は Charge pump 昇圧回路である。ノード P に図 2 のパルスを加えたとき、ノード a, b の電圧はどのように与えられるか。ただし、 $t=0$ でノード a, b の電圧は取り得る最低の電圧にあったとする。

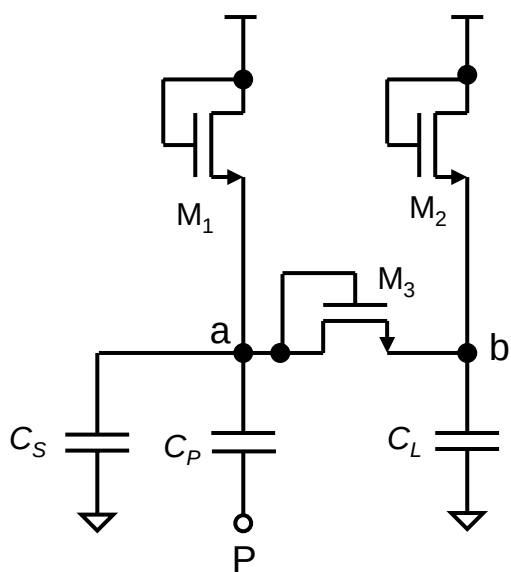


図 1

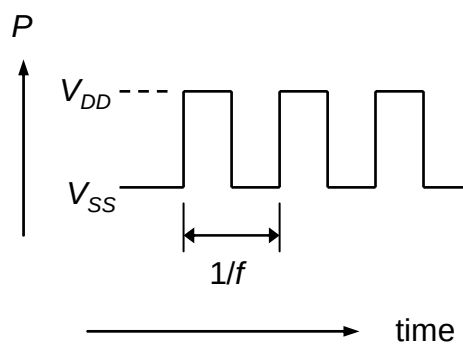


図 2

[演習問題 47] Charge pump 昇圧回路

図 1 は Charge pump 昇圧回路である。ノード P に図 2 のパルスを加えたとき、出力電圧はどのように与えられるか。ただし、 $t = 0$ で各ノードの電圧は取り得る最低の電圧にあったとする。

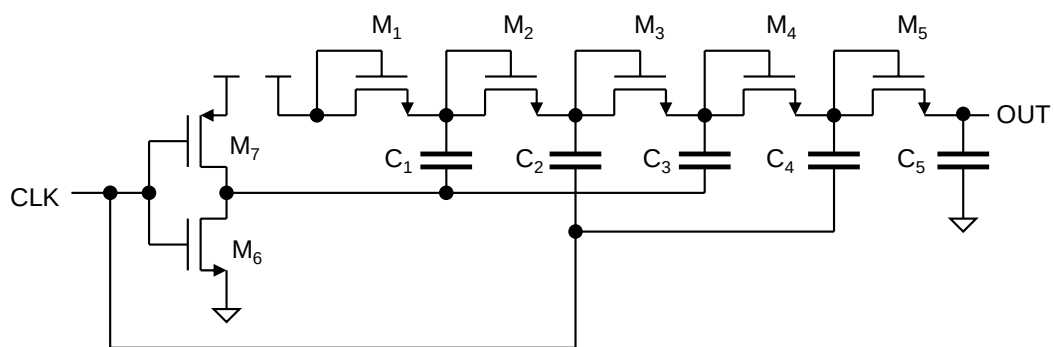


図 1

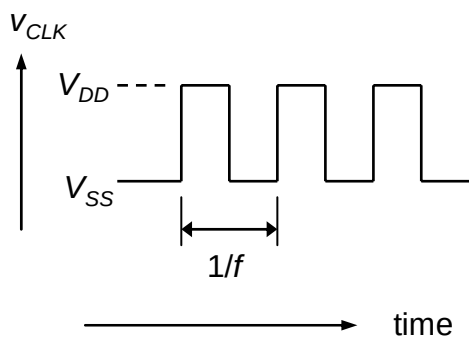


図 2

[演習問題 48] 全波整流回路

図 1 は、交流信号 V_{IN1} ・ V_{IN2} を直流電圧 V_{OUT} に変換する回路である。回路の動作を説明せよ。

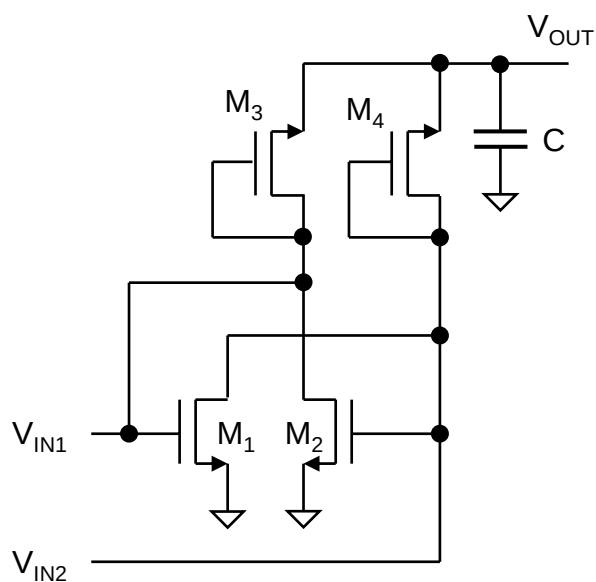


図 1

[演習問題 49] 整流回路

図 1 は、交流信号 V_{IN} を直流電圧 V_{OUT} に変換する回路である。回路の動作を説明せよ。

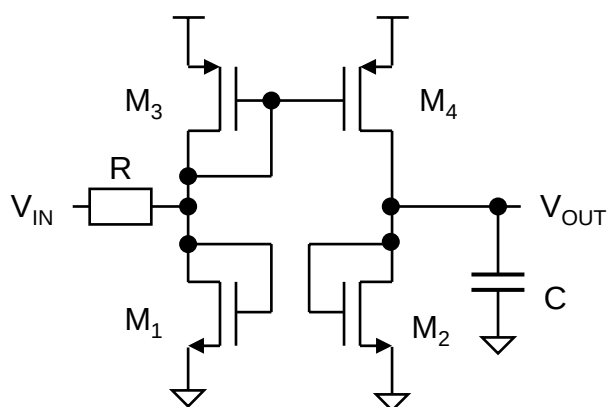


図 1

[演習問題 50] 電圧抑制回路

図 1 は、直流電圧 V がある値 V_S を超えると電流が流れ、電圧が V_A 以下に抑制される回路である。

(1) 回路の動作を説明せよ。

(2) V_A を求めよ。

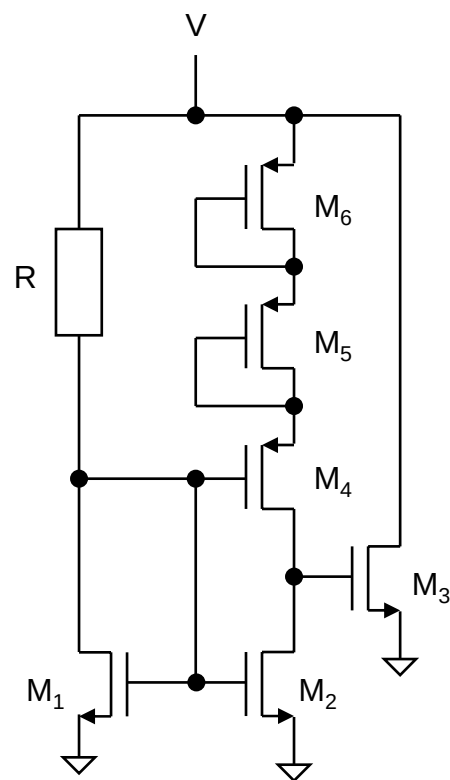


図 1

8 差動アンプ

[演習問題 51] Chappel Amplifier

図 1 は自己バイアス差動増幅回路(Chappel Amplifier)である。回路の動作を説明せよ。

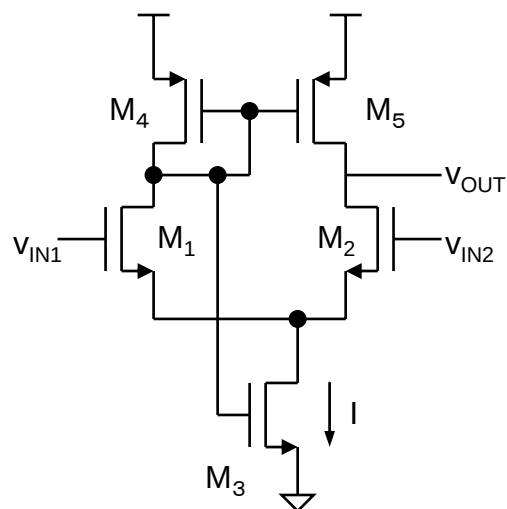


図 1

[演習問題 52] 差動増幅回路

図 2 は差動増幅回路である。

- (1) 回路の動作を説明せよ。
- (2) M_{13} , M_{14} の役割について説明せよ。

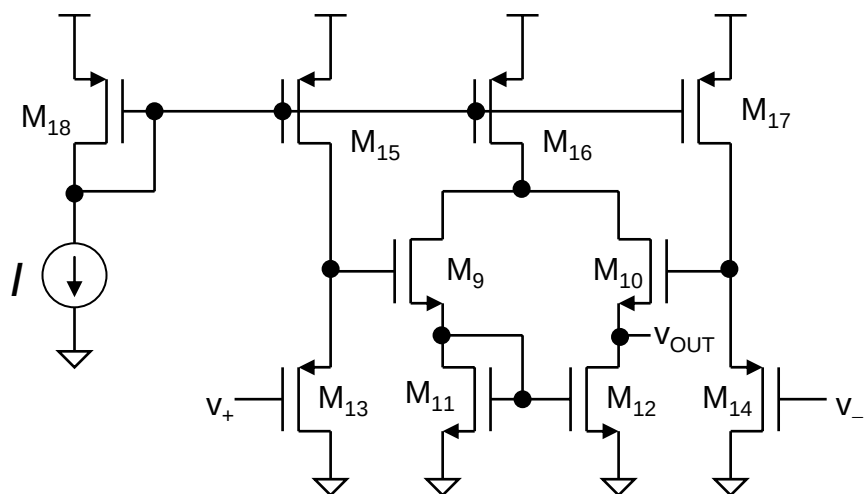


図 1

[演習問題 53] 自己バイアス差動増幅回路(Symmetric Chappel Amplifier)

回路の動作を説明せよ。

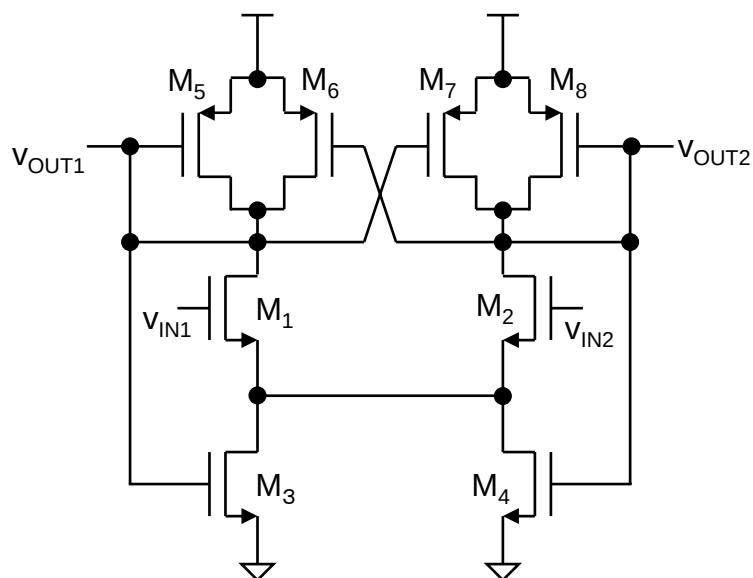


図 1

演習問題 54] 差動増幅回路(Bazes Amplifier)

回路の動作を説明せよ。

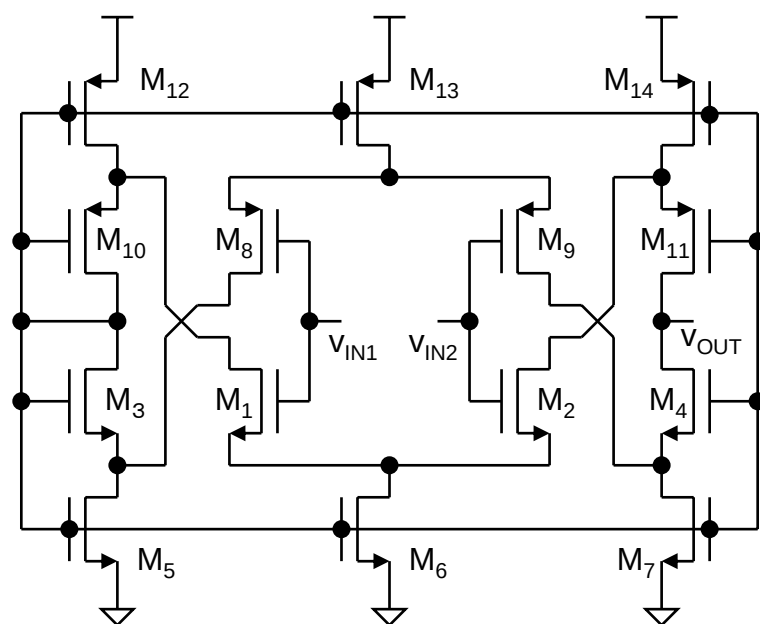


図 1

[演習問題 55] 差動増幅回路(Bazes self-biased complementary differential amplifier)

回路の動作を説明せよ。

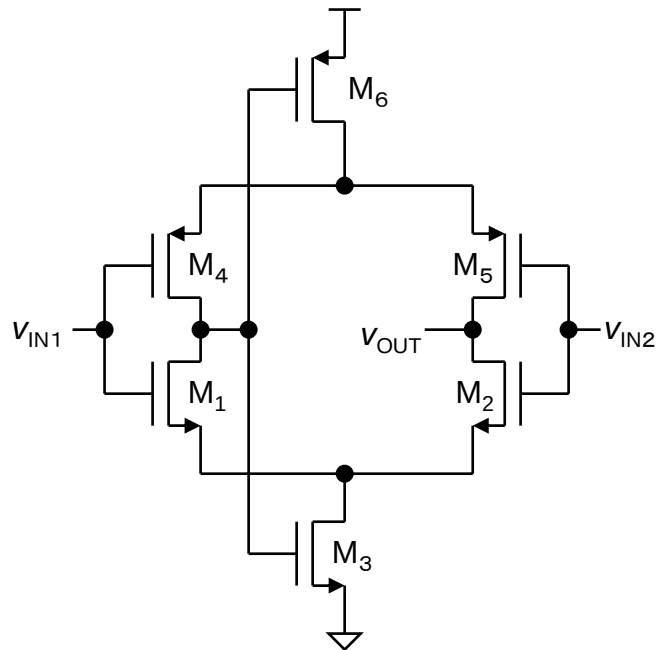


図 1

[演習問題 56] common mode 出力電圧制御差動増幅回路

回路の動作を説明せよ。

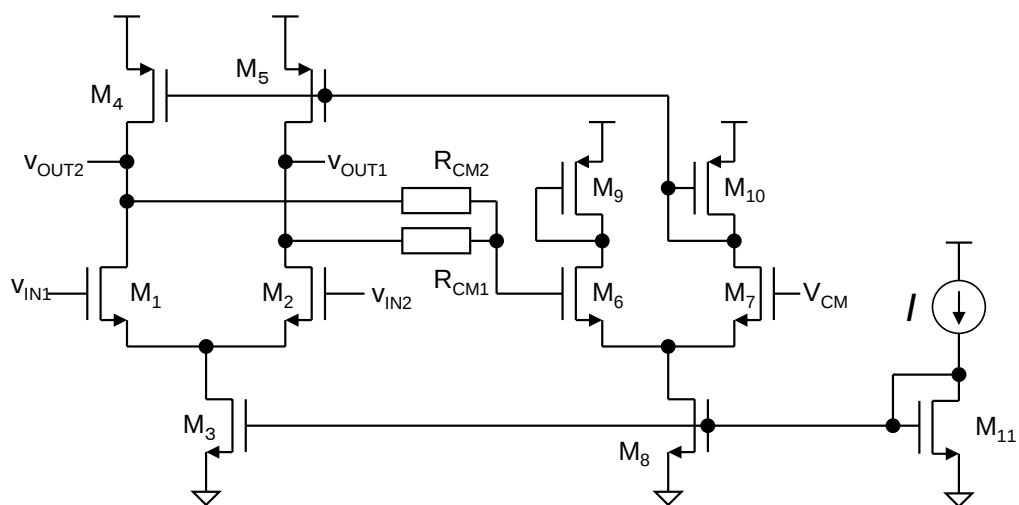


図 1

[演習問題 57] common mode 出力電圧制御差動増幅回路

回路の動作を説明せよ。

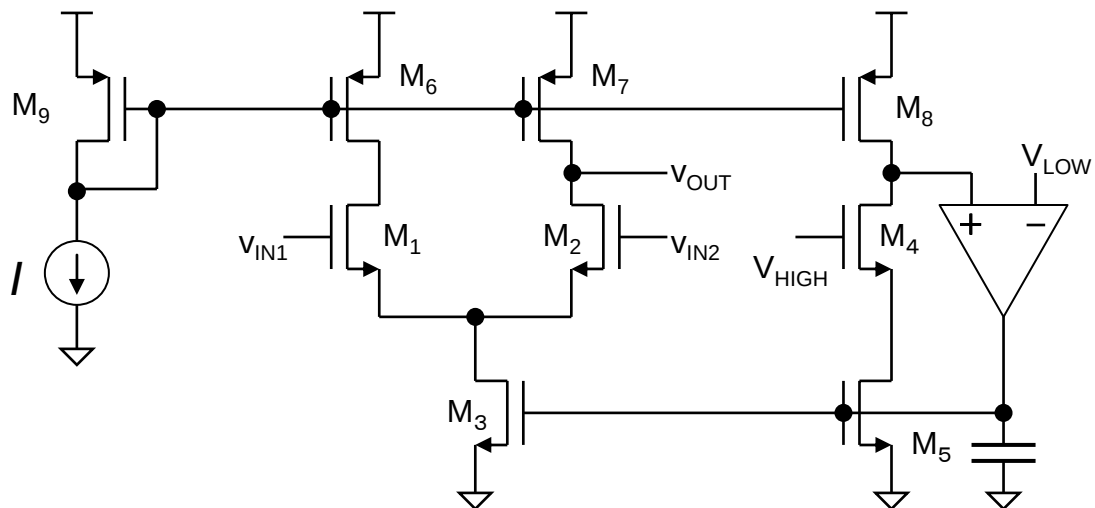


図 1

[演習問題 58] フォールデッド差動アンプ

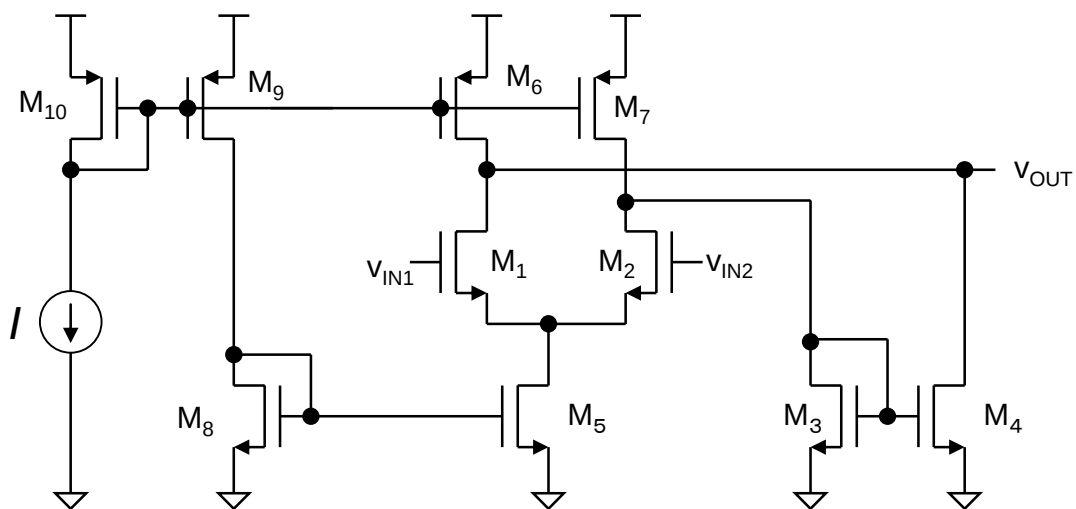


図 1

〔演習問題 59〕 フォールデッド差動アンプ

図 1 はフォールデッド差動アンプ、図 2 は定電圧 V_{B1} , V_{B2} , V_{B3} を与えるバイアス回路である。
この回路の動作を説明せよ。

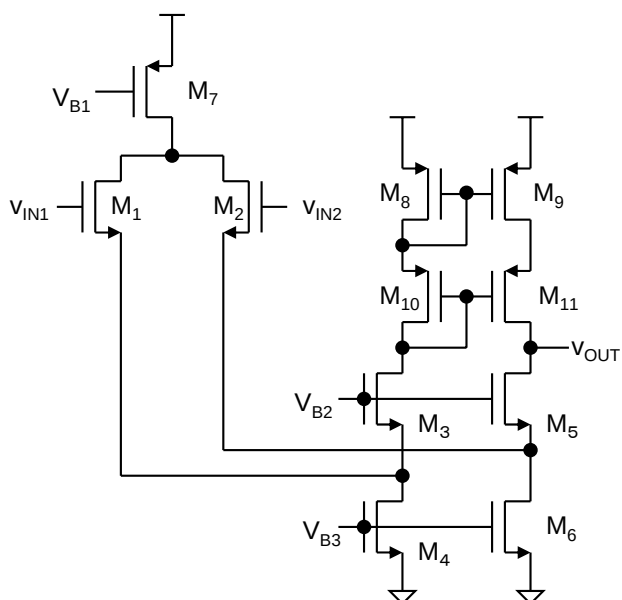


図 1

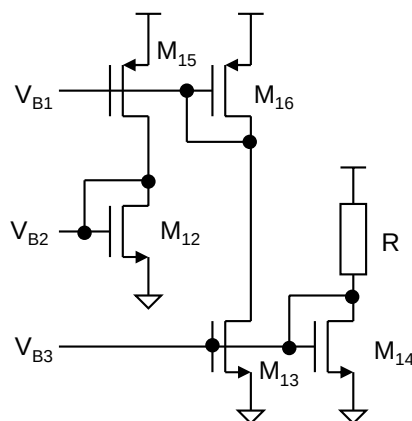


图 2

9 オペアンプ

[演習問題 60] opamp

$C_1 = C_2 = 30\text{fF}$, $C_L = 1\text{pF}$ として回路の特性を解析せよ。

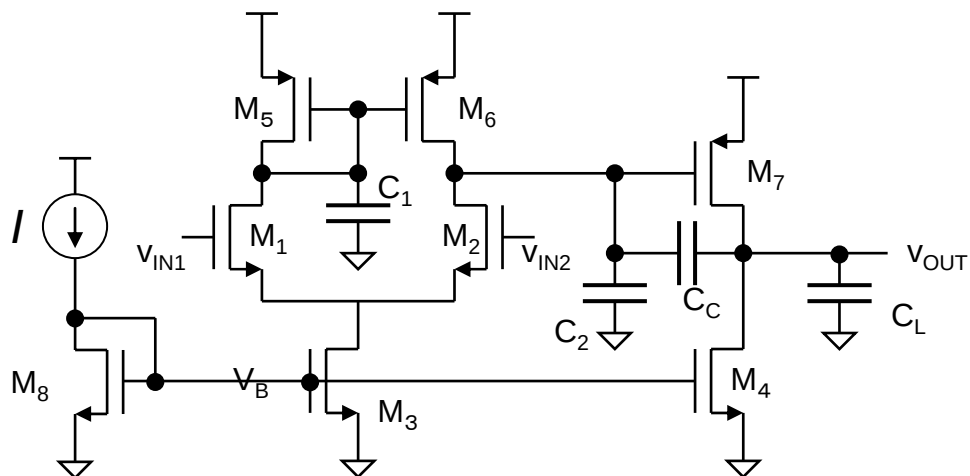


図 1

[演習問題 61] nulling resistor compensation opamp

$C_L = 1\text{pF}$ として回路の特性を解析せよ。 M_{10} の役割について説明せよ。

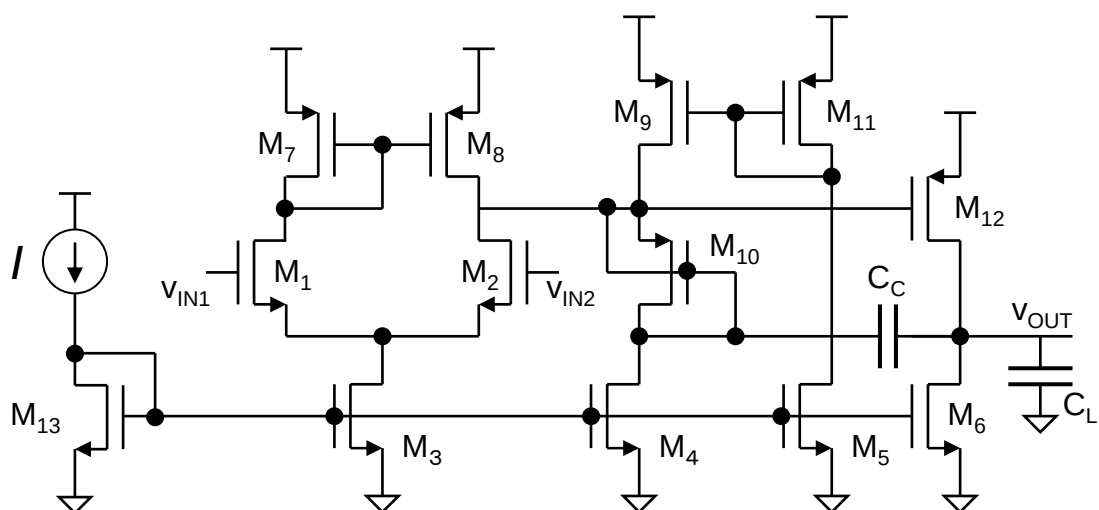


図 1

[演習問題 62] nulling resistor compensation opamp

$C_L=1\text{pF}$ として回路の特性を解析せよ。 M_3 、 M_8 の役割について説明せよ

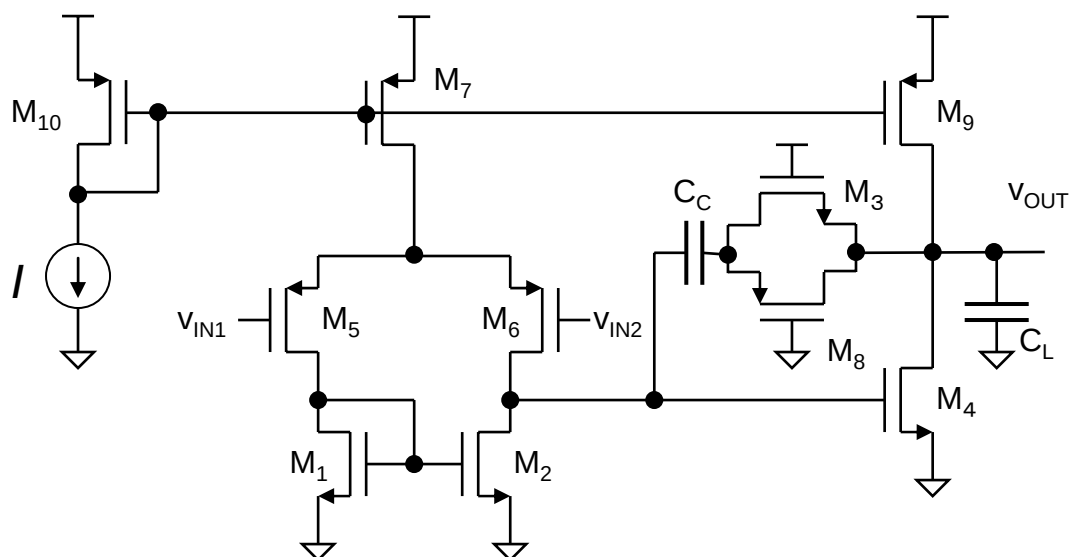


図 1

10 伝送路

[演習問題 63] 伝送路での信号反射

図 1 のように特性インピーダンス Z_0 の伝送路がインピーダンス Z_T で終端されている。伝送路の終端への入射波の電流、電圧振幅を i_f, v_f 、反射波の電流、電圧振幅を i_r, v_r とすると、

$$v_f = Z_0 i_f$$

$$v_r = Z_0 i_r$$

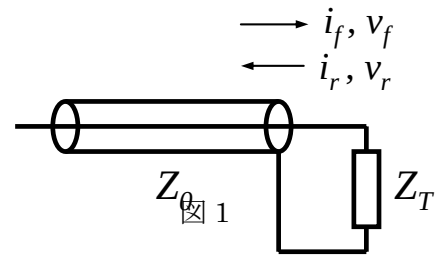
が成り立つ。

1. 終端での電圧と電流の間に成り立つ式を書け。
2. 次で定義される反射率を Z_0, Z_T で表せ。

$$k_r = \frac{v_r}{v_f} = \frac{i_r}{i_f}$$

3. 次の場合について、反射率と、信号振幅 v_f が 1V のときに終端に現れる電圧振幅を求めよ。

- (a) 開放端 $Z_T = \infty$
- (b) 短絡 $Z_T = 0$
- (c) 整合 $Z_T = Z_0$



[演習問題 64] 伝送路での信号伝達

図 1 のように、特性インピーダンス Z_0 、信号が両端間を伝わるのに要する時間 t_d の伝送路がある。入力側には信号源 V_T がインピーダンス Z_S を通して伝送路に接続されている。終端のインピーダンスは Z_T である。入力信号 V_T が図 2 のように、 $t = 0$ で 0V から V_0 に変化したときとする。

1. 伝送路の両端における電圧 V_A, V_B を求めよ。
2. $t = \infty$ での V_A, V_B を求めよ。
3. $Z_S = 200 \Omega, Z_0 = 50 \Omega, Z_T = \infty, t_d = 6 \text{ ns}$ のとき、 V_B が $V_0/2$ 以上となるのに要する時間を求めよ。

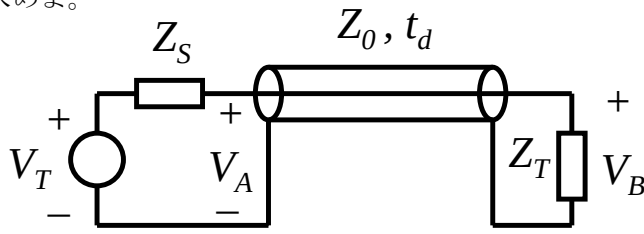


図 1

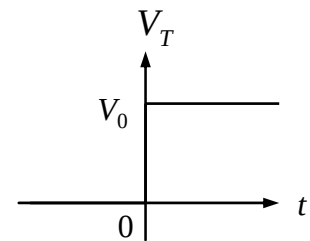


図 2

[演習問題 65] Exponential Horn

図 1 は大きな負荷キャパシタンス C_L を高速に駆動するためのバッファ回路である。最適に駆動するための各トランジスタの大きさ、トランジスタ数について考察せよ。

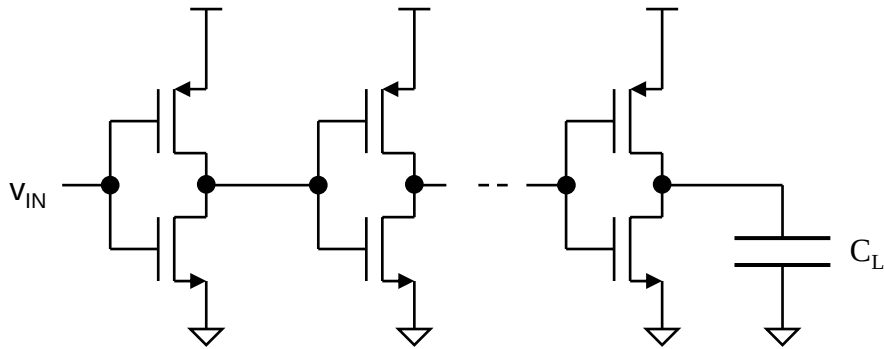


図 1

[演習問題 66] LVCD (Low Voltage Differential Signaling)

図 1 は信号を伝えるためのドライバー回路である。この回路を解析し、利点を説明せよ。

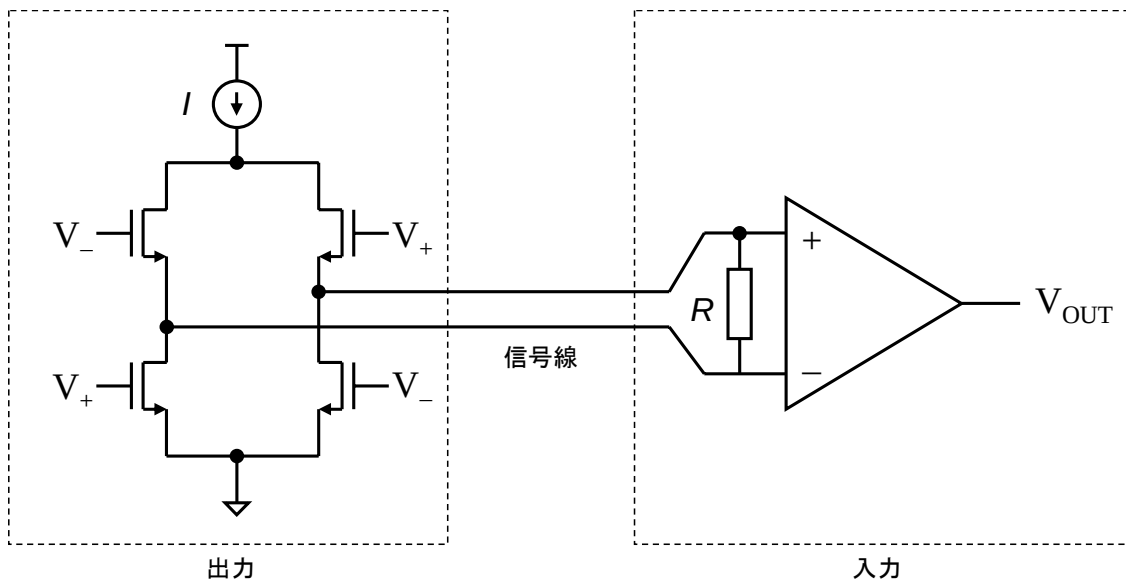


図 1

11 メモリ回路

[演習問題 67] SRAM (Static Random Access Memory)

図 1 の SRAM セルに対し動作を説明せよ。メモリを安定に動作させるためには。トランジスタのサイズをどのようにしなければならないか。

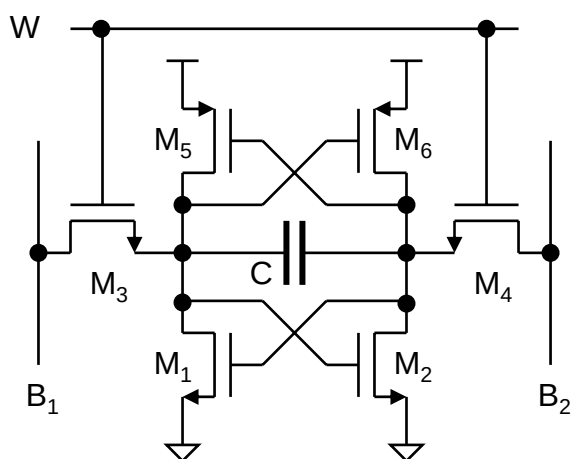


図 1

[演習問題 68] DRAM (Dynamic Random Access Memory)

図1はDRAM回路。 M_1, C_{S1} で1ビット、 M_2, C_{S2} で1ビットの情報を記憶する。 C_{S1}, C_{S2} のキャパシタ電圧は V_{DD} か V_{SS} のどちらかで、これにより“0”，“1”の1ビットを表す。図2は C_{S1} に V_{DD} が記憶されているときに、この情報を読み出した場合メモリ読み出しのシーケンスを示した図である。回路の動作を説明せよ。

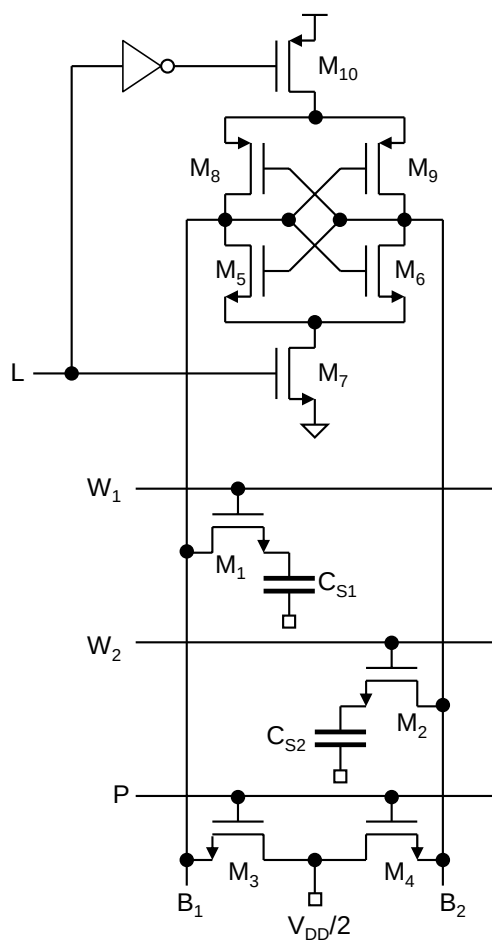


図 1

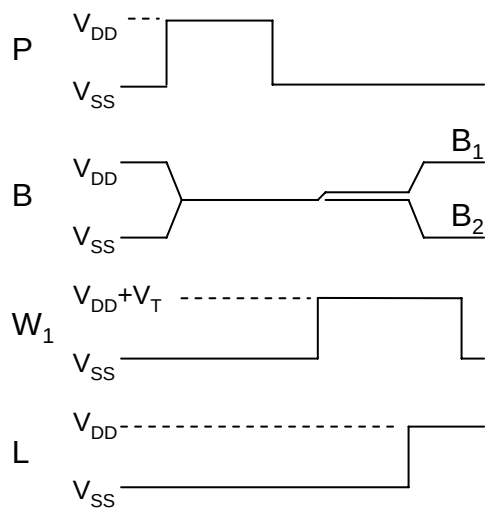


图 2