

第1回 演習

1. LSIが使われているものを10あげよ
2. LSIは社会をどのように変えただろうか
3. 今後LSIは社会をどのように変えるだろうか

第2回 演習

1. (a) ゲートが n^+ -poly Si の場合、および p^+ -polySi 場合について、閾値を基板濃度 N_A の関数としてプロットせよ。ただし、ゲート酸化膜の厚さは10nm とし、基板電位はソース電位と同じとする。
(b) 閾値を0.5Vにするには、ゲートとして n^+ -poly Si 、 p^+ -polySi のいずれを用い、基板濃度をいくらにしなければならないか。
(c) (b)の条件で、閾値を V_{SB} の関数としてプロットせよ。ただし、 V_{SB} は0V~3Vの範囲にあるものとする。

第3回 演習

1. 相互コンダクタンスに対する速度飽和と寄生抵抗の影響について論じ、相互コンダクタンスを V_{GS} の関数としてプロットせよ。
2. 微細化したLSIIにおいて、消費電力の増大が問題になっている。その原因および解決策について論ぜよ。

第4回 演習

1. 回路シミュレーションで図の回路の出力波形を計算せよ。

nMOSFET はすべて同一サイズで チャンネル幅 $W = 3.2 \mu\text{m}$, チャンネル長 $L = 0.8 \mu\text{m}$ とする

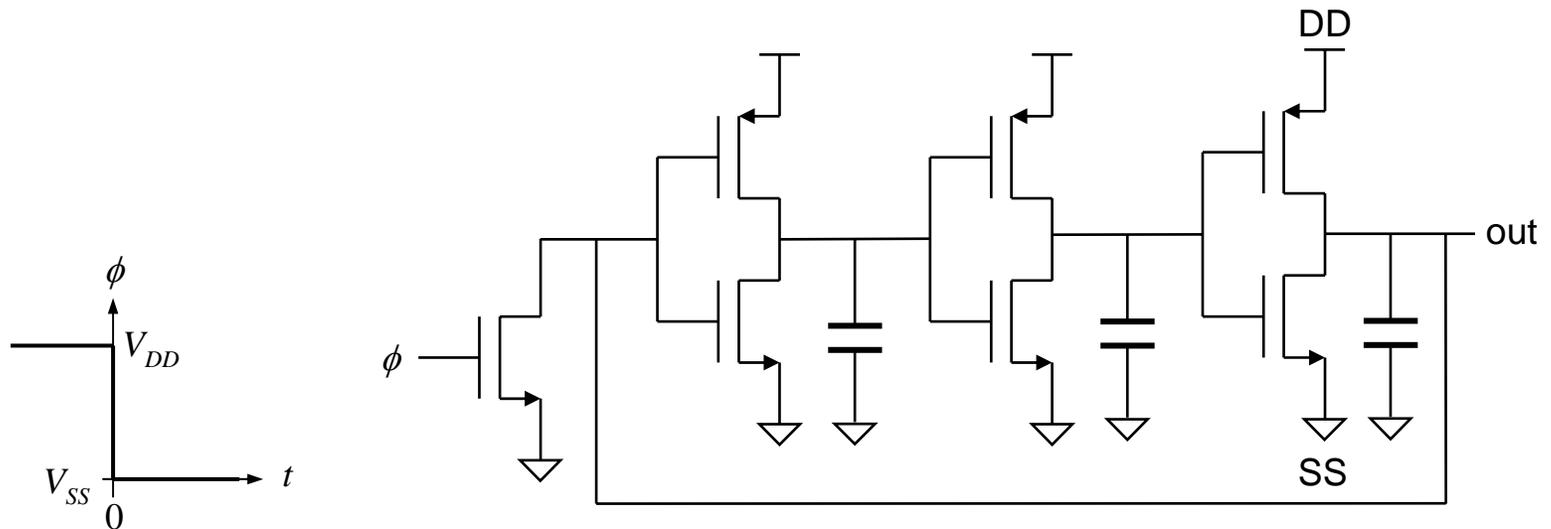
pMOSFET はすべて同一サイズで チャンネル幅 $W = 7.0 \mu\text{m}$, チャンネル長 $L = 0.8 \mu\text{m}$ とする

キャパシタはすべて同一サイズで 1 pF とする

トランジスタのパラメータは「情報デバイス特論演習 設計ルール」を用いる

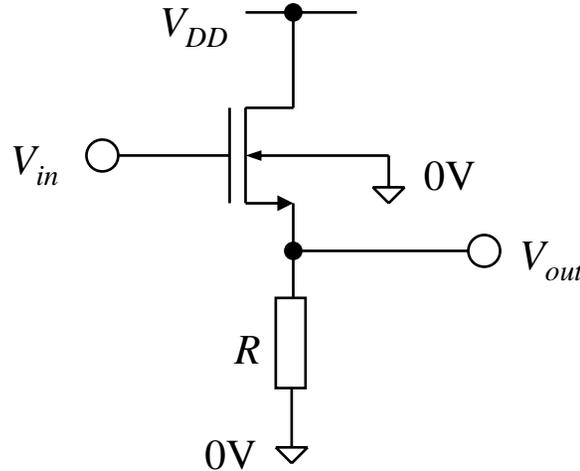
なお、回路シミュレータは下記のサイトからダウンロードできる

<http://www.nuee.nagoya-u.ac.jp/labs/nakazatolab/nakazato/ungspice.htm>



第5回 演習

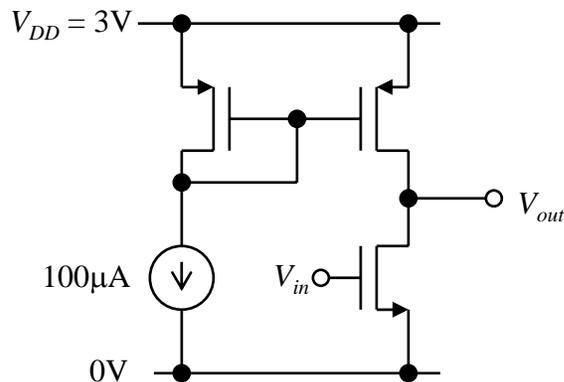
1. 下の図の回路についてその特性を論ぜよ。



W	$2 \mu\text{m}$
L	$0.4 \mu\text{m}$
t_{ox}	10 nm
μ_n	$400 \text{ cm}^2/\text{Vs}$
λ	0.03
$V_T (V_{BS}=0)$	0.5 V
V_{DD}	3 V
R	$1 \text{ M}\Omega$

2. 下のCMOS アンプについて

- (1) 手計算で入力電圧 V_{in} - 出力電圧 V_{out} 特性を解析せよ
- (2) SPICE を用いてシミュレーションを行い(1)の結果と比較せよ
- (3) このアンプの小信号電圧増幅率を求めよ



	nMOS	pMOS
L/W	$0.35 \mu\text{m}/2 \mu\text{m}$	$0.35 \mu\text{m}/2 \mu\text{m}$
V_T	0.5 V	-0.5 V
t_{ox}	10 nm	10 nm
λ	0.01 V^{-1}	0.01 V^{-1}

第6回 演習

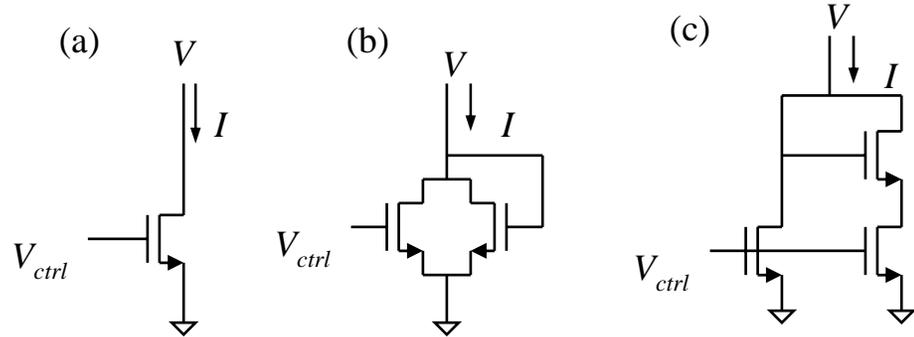
1. 下の3つの回路を抵抗として用いた場合について I - V 特性を示せ。ただし、 V_{ctrl} は定電圧とする。

次の範囲で V が変化するとき、どの回路を用いるのが良いか？

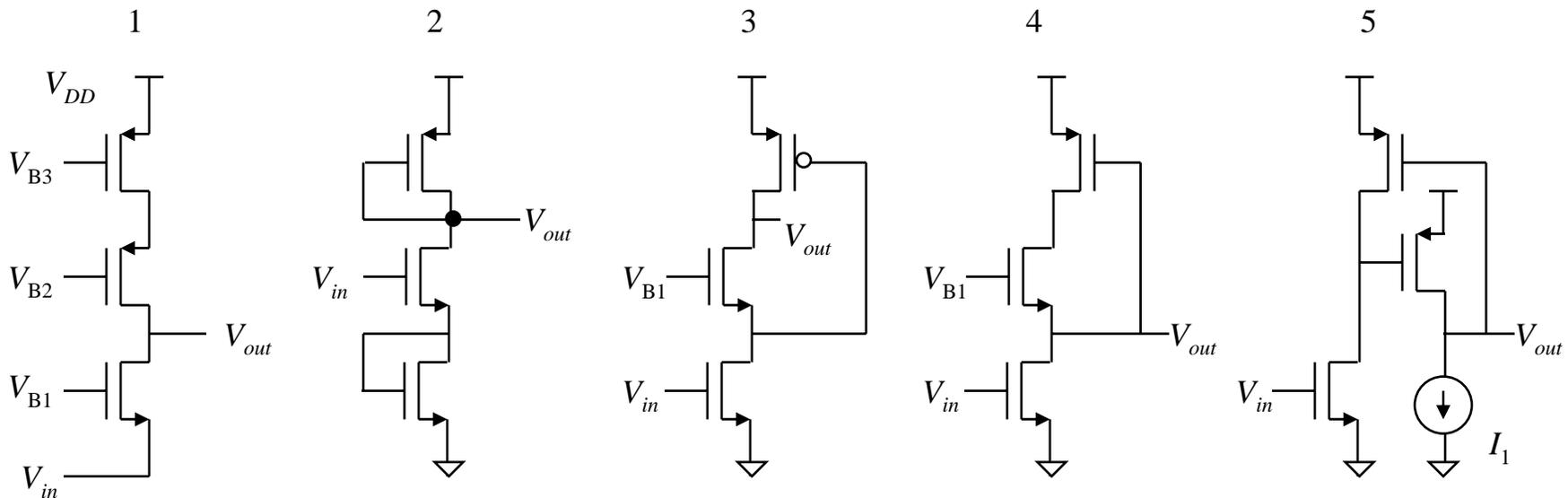
(1) GND に近い小電圧

(2) GND から V_{ctrl} までの電圧

(3) GND から V_{DD} までの電圧



2. 下の図の各回路について小信号電圧利得を計算せよ。ただし、MOSFETはすべて飽和領域にあるものとし、 V_{B1} , V_{B2} , V_{B3} は定電圧とする。

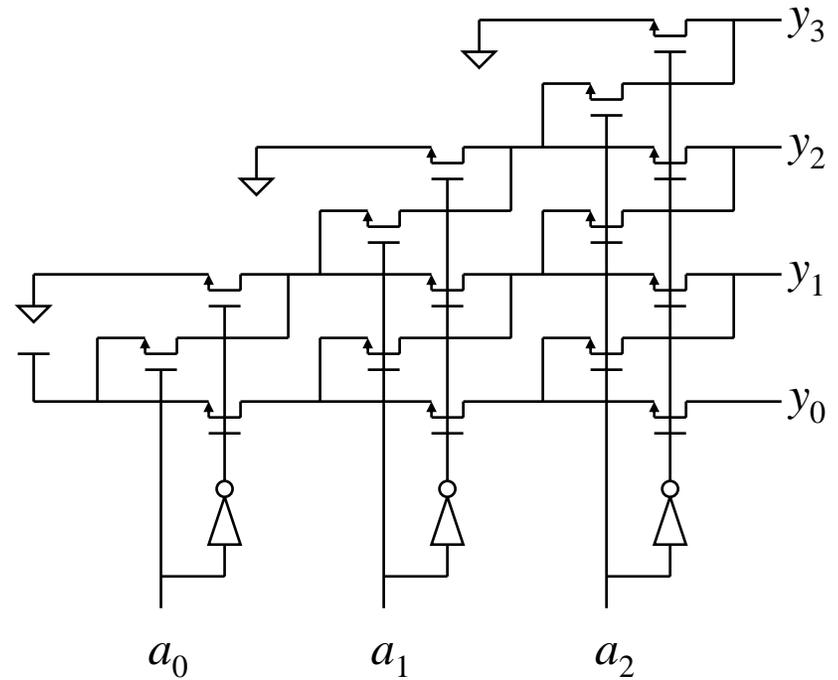


第7回 演習

1. 右は3bit入力 (a_0, a_1, a_2) 4bit出力 (y_0, y_1, y_2, y_3) のスイッチ論理回路である。

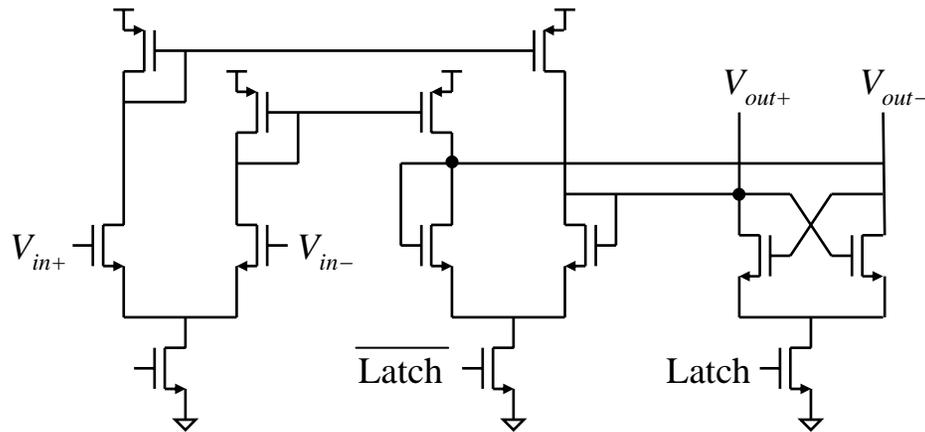
(1) この回路はどのような関数を表わしているか

(2) NAND/NOR CMOS ゲート(p. 7-11)で同等の関数を実現せよ。このときのトランジスタ数、遅延時間を比較せよ。



第8回 演習

1. 下の前置増幅器とラッチ回路を組み合わせた高速コンパレータ回路についてその動作原理を説明せよ。出力波形の時間変化をプロットせよ。



第9回 演習

インピーダンスの異なる伝送線を接続するとき、整合ネットワークを設けることにより、無反射で信号を通過させることができる。

(1) 下図において、左から右に信号を無反射で通過させる整合ネットワーク

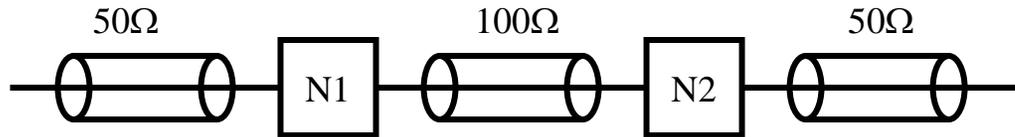
N1, N2 を設計せよ。(ヒント:それぞれ抵抗1個で実現できる。)

(2) 両方向に信号が伝播する場合について、N1, N2 の回路を修正せよ。

(ヒント:それぞれ抵抗2個で実現できる。)

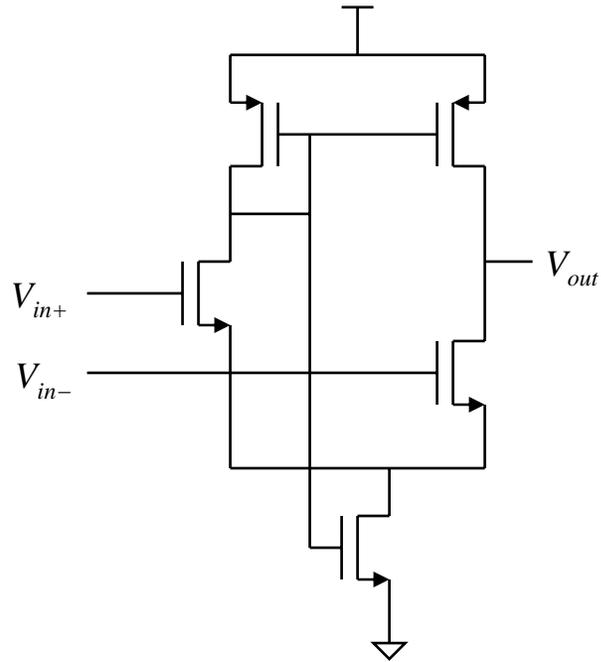
(3) この整合ネットワークを通ることにより、信号レベルはどの程度減衰する

か? 信号エネルギーはどうか?



第10回 演習

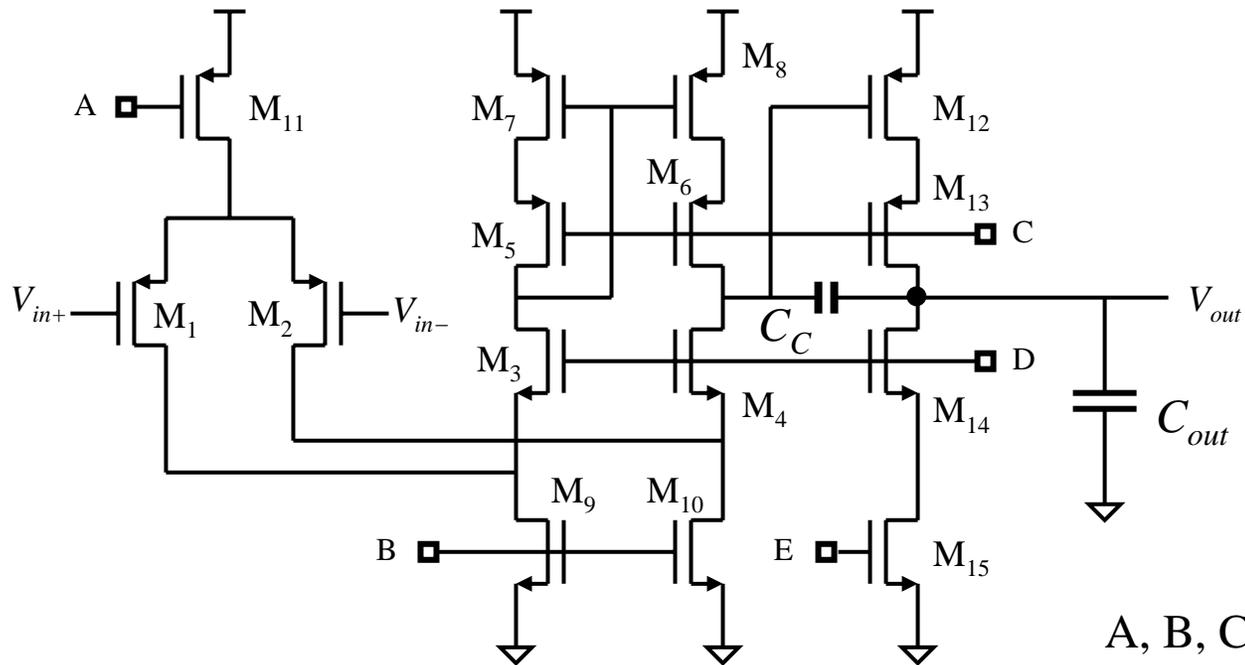
1. 図の Chappell Amplifier の動作を説明せよ



第11回 演習

1. 下の折り返しカスコード差動増幅回路について

- (1) このオペアンプの出力抵抗を求めよ
- (2) 周波数応答増幅率 $A(s)$ を求めよ
- (3) このオペアンプが安定に動作する条件を求めよ



A, B, C, D, E はバイアス

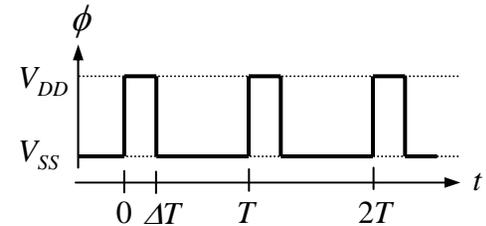
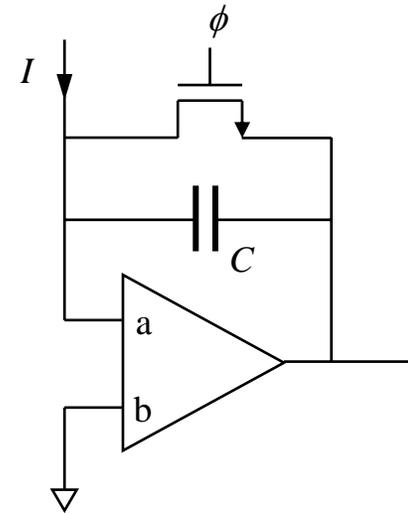
第12回 演習

1. 図は 電流-電圧変換回路である。

- (1) 反転入力(-)は a, b どちらの端子にしなければならないか
- (2) 出力電圧を時間の関数としてプロットせよ
- (3) $C = 1 \text{ pF}$ としたとき、次の電流レンジを測定するには、周期 T をどのように設定すべきか。ただし、 $V_{DD} = 5 \text{ V}$, $V_{SS} = 0 \text{ V}$, また ΔT は T に比べ充分短いものとする

(I) $0 - 10 \text{ }\mu\text{A}$

(II) $0 - 1 \text{ nA}$



第13回 演習

1. DRAMにおいてメモリアレイ全体が占める面積を p13-13 により求め、メモリ容量の増加に伴い、チップサイズがどのように変化しているか調べよ。
2. FLAHメモリにおいて、フローティング・ゲートに注入する電荷量を多段階に分けて、1メモリに複数のビットを記録する多値メモリが実用化されている。フローティング・ゲートの電荷量を正確に制御するため、書き込んだ後、読み出して電荷量を調べ、足りなければ再注入を行う。これをベリファイと呼んでいる。1つのフローティング・ゲートに 4 ビットを記録するには、フローティング・ゲートの電荷量を何段階に分けなければならないか。また、多値メモリのデメリットを述べよ。
3. 10年間、1 μ 秒毎にデータを書き換えた時のメモリの書き換え回数を計算せよ。
4. チャージポンプ回路(p.13-26)の CLK 電圧変化後の各終状態を計算し、ダイオード1段あたり、 $V_{DD} - V_{SS} - V_{Tn}$ の昇圧ができることを示せ。

第14回 演習

1. MRAMにおいて、`0`のときのMTJの電圧を V , 電流を I とする。`1`のときに同じ電流 I を流した時の電圧変化 ΔV をTMR を用いて表わせ。TMR のバイアス依存性を $TMR(V) = TMR(0) \exp(-V/V_0)$ とした時、`0` `1` の出力電圧差 ΔV が最大となるときのバイアス V および ΔV を求めよ。 $V_0 = 0.5 \text{ V}$ のとき、 ΔV を 0.2 V 以上とるためには $TMR(0)$ はいくら以上でなければならないか。
2. MRAM, PRAMともに書き込み電流が問題となる。書き込み電流が大きいと、① 配線の信頼性(エレクトロマイグレーション) ② 配線抵抗による電圧降下 ③ 選択トランジスタのサイズ増大が問題となる。以下では、抵抗率が $1.5 \mu\Omega\text{cm}$, 配線の厚さが $0.3 \mu\text{m}$, 幅 $0.1 \mu\text{m}$ のCu配線を考える。
 - ① エレクトロマイグレーションが起こる電流密度を 10^6 A/cm^2 として配線に流せる最大の電流を求めよ。
 - ② 長さ 1 mm の配線を用いて電圧降下を 0.1 V 以下にするには電流の上限はいくらになるか。
 - ③ MOSFETのドレイン電流を $\beta(V_{GS} - V_T)^2 / 2$, $\beta = 4 \times 10^{-3} \text{ W/L [A/V}^2]$, $V_{GS} = 1.5 \text{ [V]}$, $V_T = 0.8 \text{ [V]}$ とする。 W はゲート幅, L はゲート長である。 $W/L = 1$ としてドレイン電流を求めよ。