

情報デバイス工学特論

第12回

CMOSスイッチトキャパシタ集積回路

抵抗
キャパシタ
トランジスタ

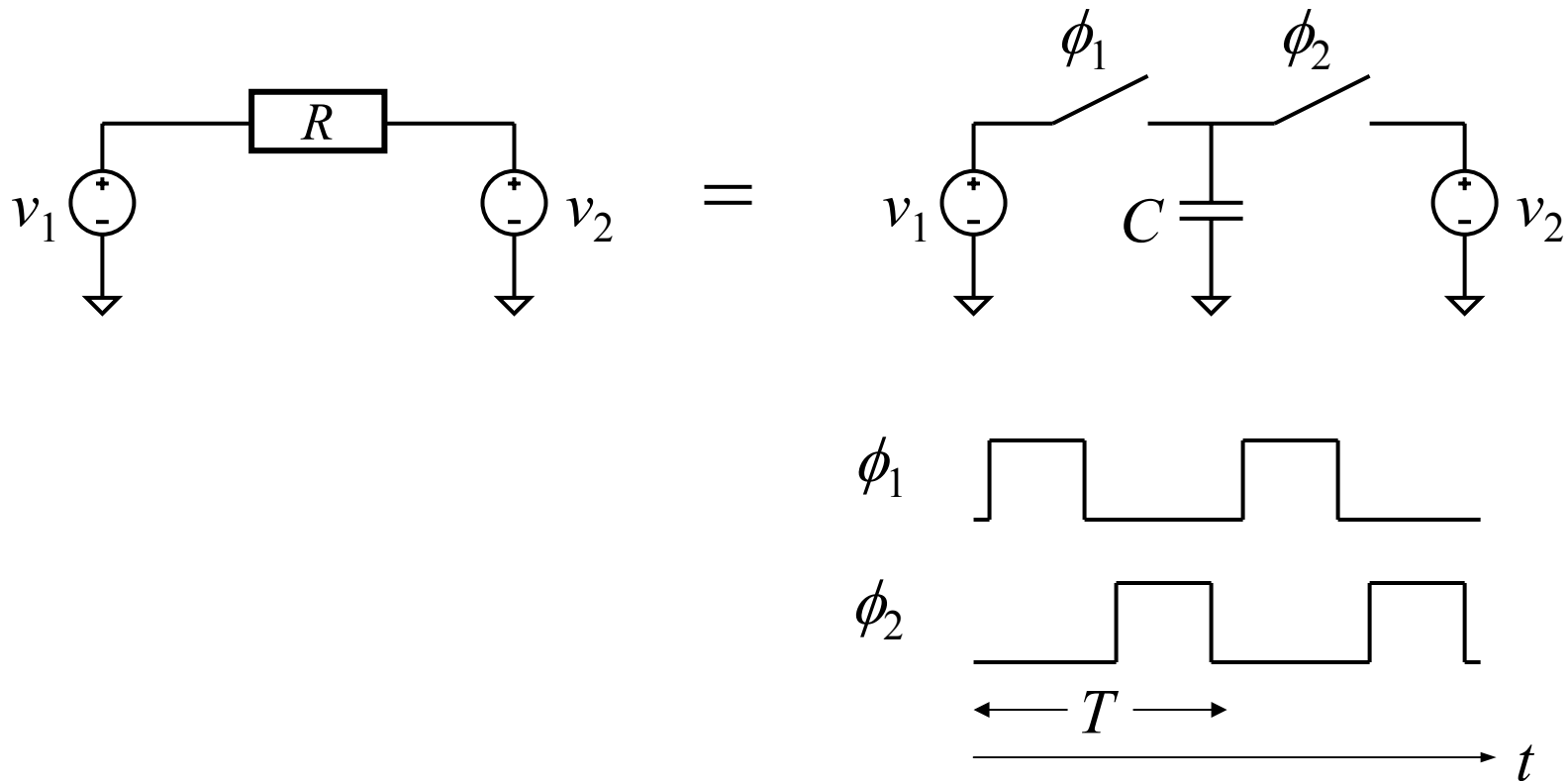
} ロット、ウエハ毎に特性がばらつく

近くにある素子の特性は揃う

特性の絶対値を用いるのではなく、

近くにある素子の特性比を用いれば精度がとれる

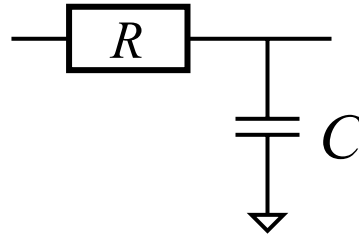
抵抗はキャパシタとスイッチで実現できる



Maxwell 1873

$$R = \frac{T}{C}$$

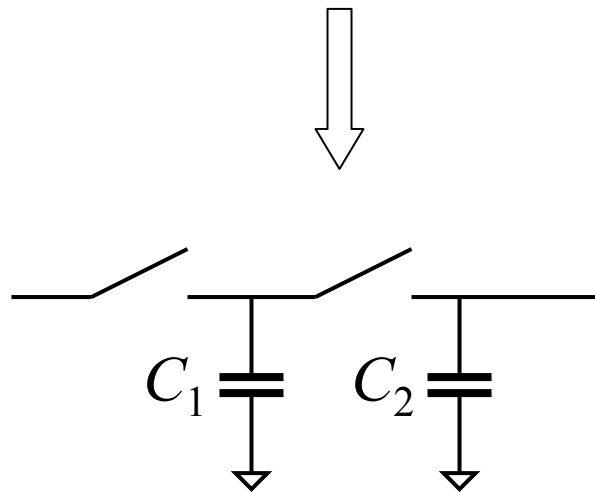
ローパス・フィルタ



$$\text{時定数} = CR$$

ロット、ウエハ毎に
特性がばらつく

~ 10%

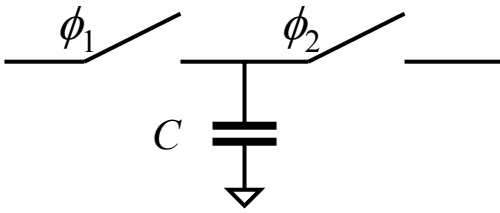
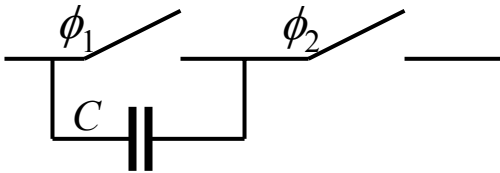
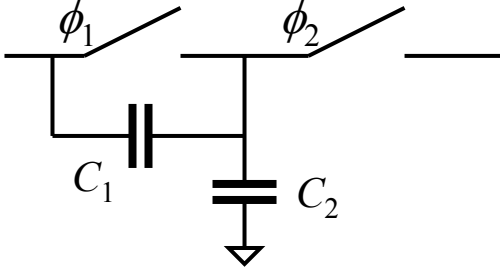
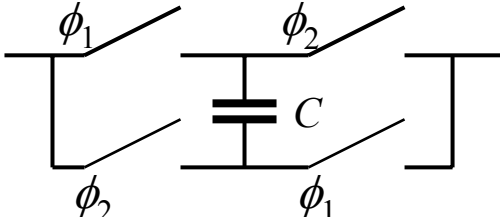
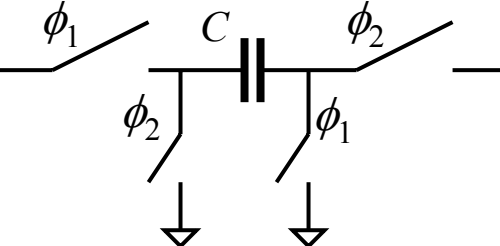


$$\text{時定数} = T \frac{C_2}{C_1}$$

近くにある素子の
特性は揃う

~ 0.1%

等価抵抗

	$\frac{T}{C}$
	$\frac{T}{C}$
	$\frac{T}{C_1 + C_2}$
	$\frac{T}{4C}$
	$-\frac{T}{C}$

負抵抗

離散時間信号処理- z 変換

離散時間信号 $V(t)=V(nT)$ ($n = 0, 1, 2, \dots$)

z 変換
$$V[z] = \sum_{n=0}^{\infty} V(nT) z^{-n}$$

$$V(nT) = \dots + c V((n-m)T) + \dots$$

の線形関係が与えられたとき、

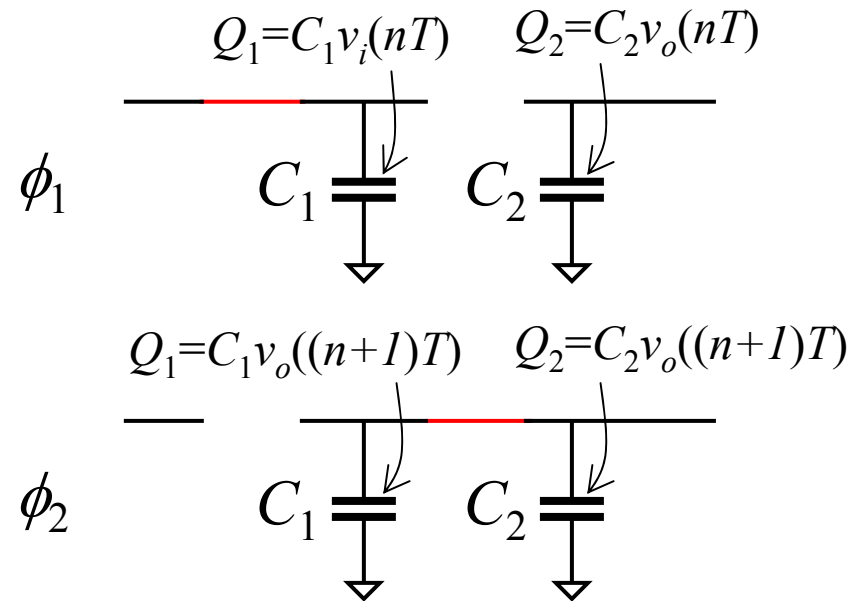
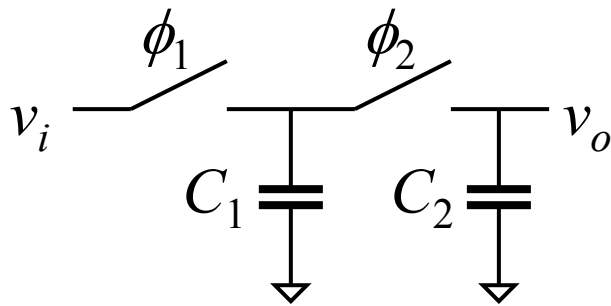
$$V[z] = \dots + c z^{-m} V[z] + \dots$$

ラプラス変換との対応

$$z \rightarrow e^{sT}$$

$$V[z] = \sum_{n=0}^{\infty} V(nT) e^{-nTs} = \frac{1}{T} \sum_{n=0}^{\infty} V(t) e^{-ts} \Delta t \quad \xrightarrow{T \rightarrow 0} \quad \frac{1}{T} \int_0^{\infty} V(t) e^{-ts} dt$$

例



外部と電荷のやり取りがない(電流=0)とすると

$$(C_1 + C_2)v_o((n+1)T) = C_1v_i(nT) + C_2v_o(nT) \quad \Rightarrow \quad v_o[z] = \frac{z^{-1}}{1 + \alpha - \alpha z^{-1}} v_i[z], \quad \alpha = \frac{C_2}{C_1}$$

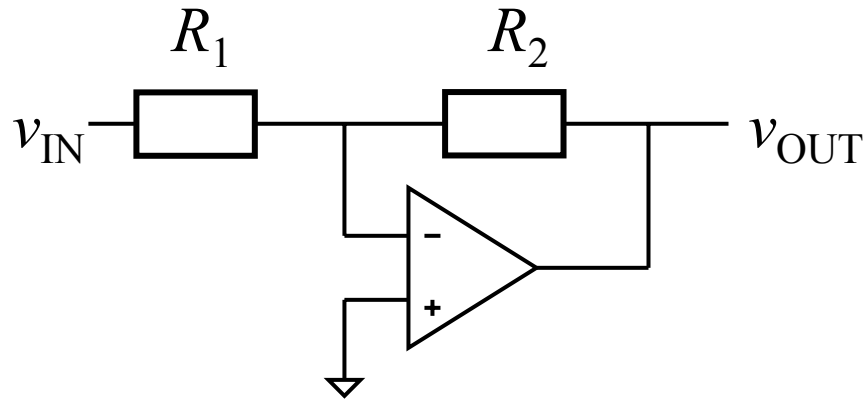
周波数特性は

$$z \rightarrow e^{j\omega T}$$

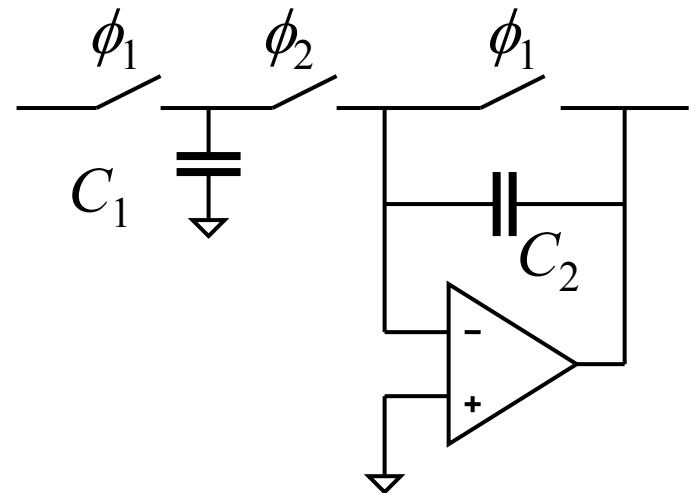
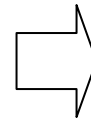
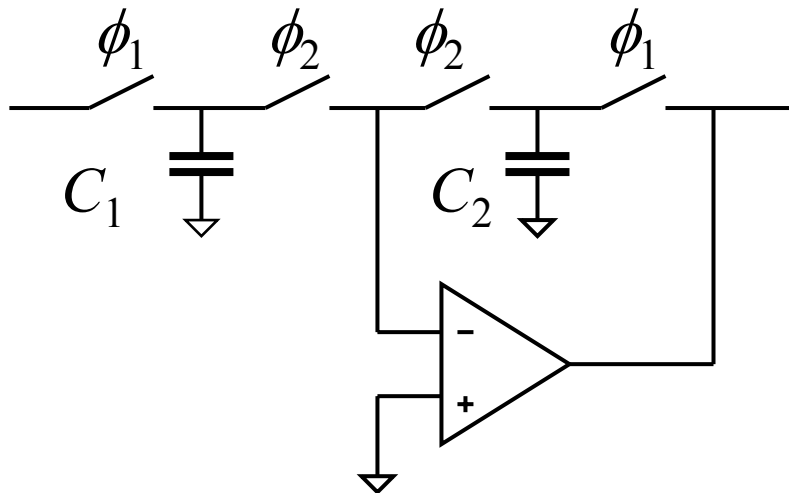
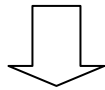
$$\frac{v_o}{v_i} = \frac{e^{-j\omega T}}{1 + \alpha - \alpha e^{-j\omega T}} \stackrel{\substack{\alpha T = \text{一定} \\ T \rightarrow 0}}{\cong} \frac{1}{1 + j\omega\alpha T}$$

これはローパス・フィルターの特性と一致

スイッチトキャパシタ増幅器

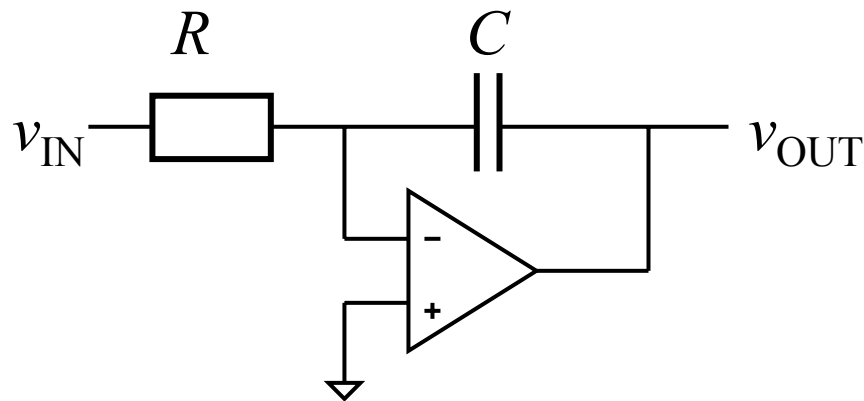


$$\frac{v_{OUT}}{v_{IN}} = -\frac{R_2}{R_1}$$

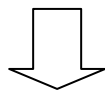


オペアンプにフィードバックがかからない

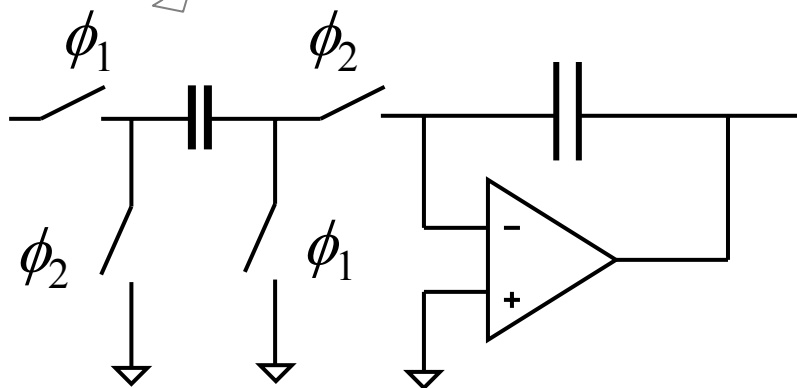
スイッチトキャパシタ積分器



$$v_{OUT}(t) = v_{OUT}(0) - \frac{1}{CR} \int_0^t V_{in}(\tau) d\tau$$

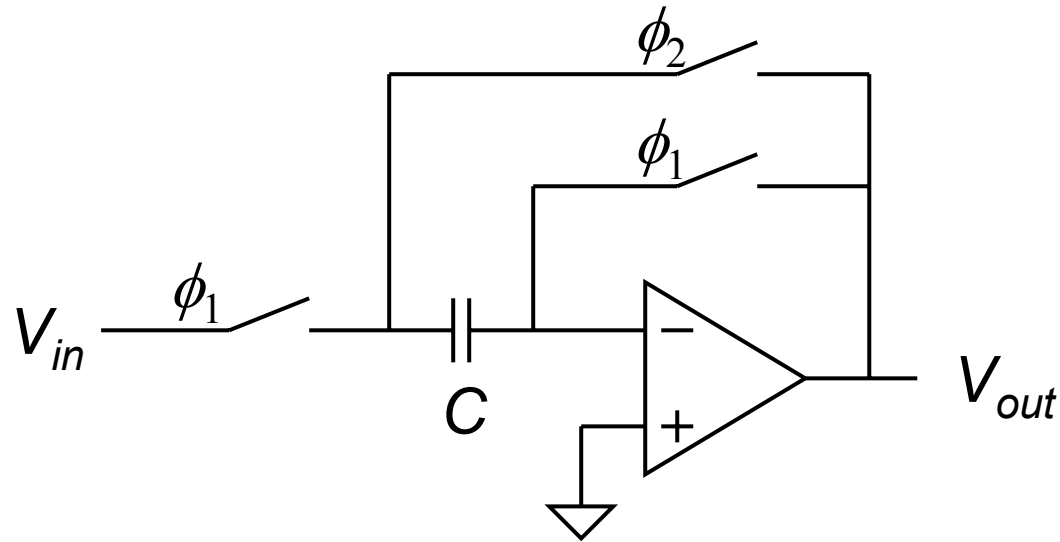


負の抵抗



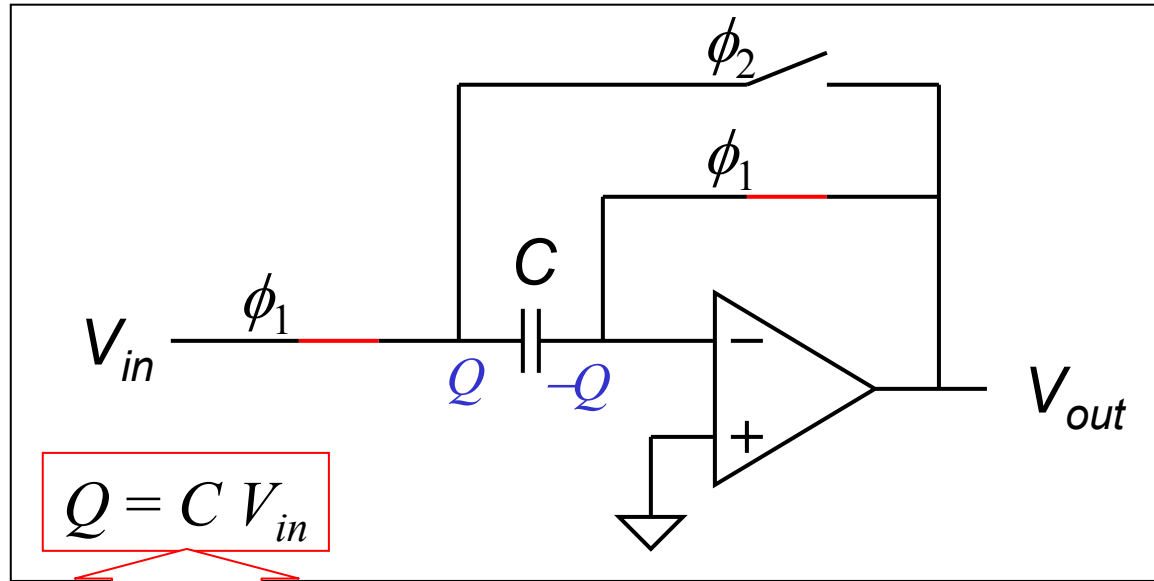
サンプルホールド回路

Sample and Hold (S/H) circuit



ϕ_1 フェーズ

sample



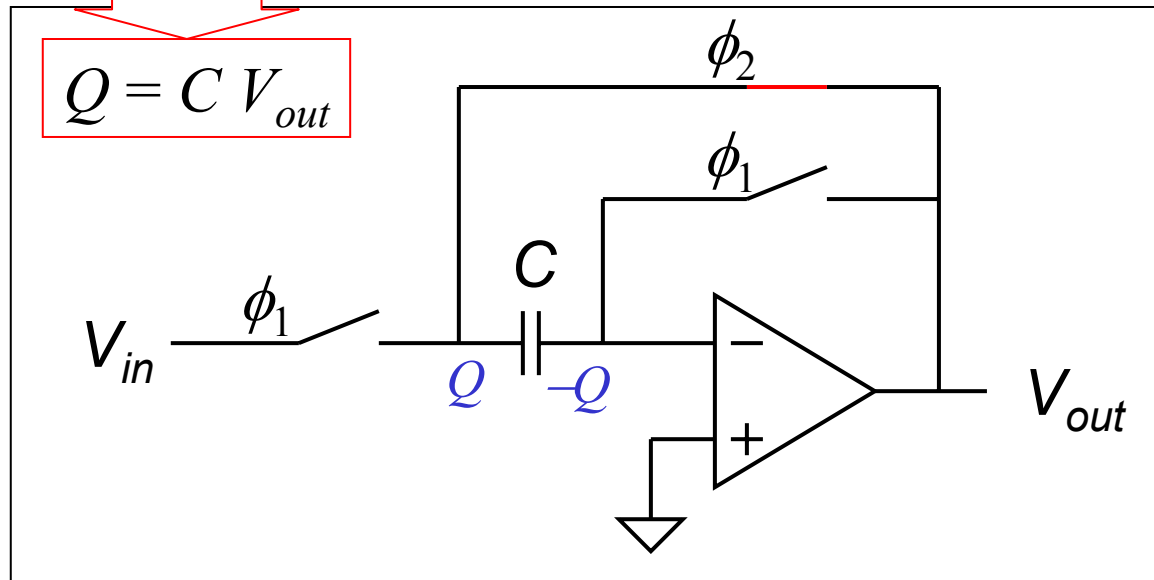
等しい



$$V_{out} = V_{in}$$

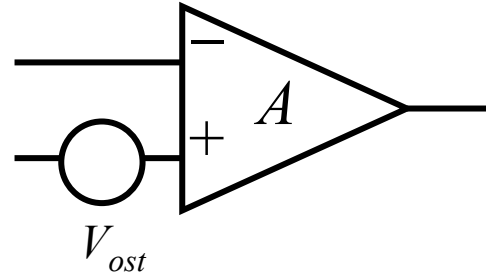
 ϕ_2 フェーズ

hold



OP アンプのオフセット電圧の影響

閾値のばらつき



$$Q = C (V_{in} - V_{ost}) = C (V_{out} - V_{ost})$$

$$\Rightarrow V_{out} = V_{in}$$

オフセット電圧の影響を受けない

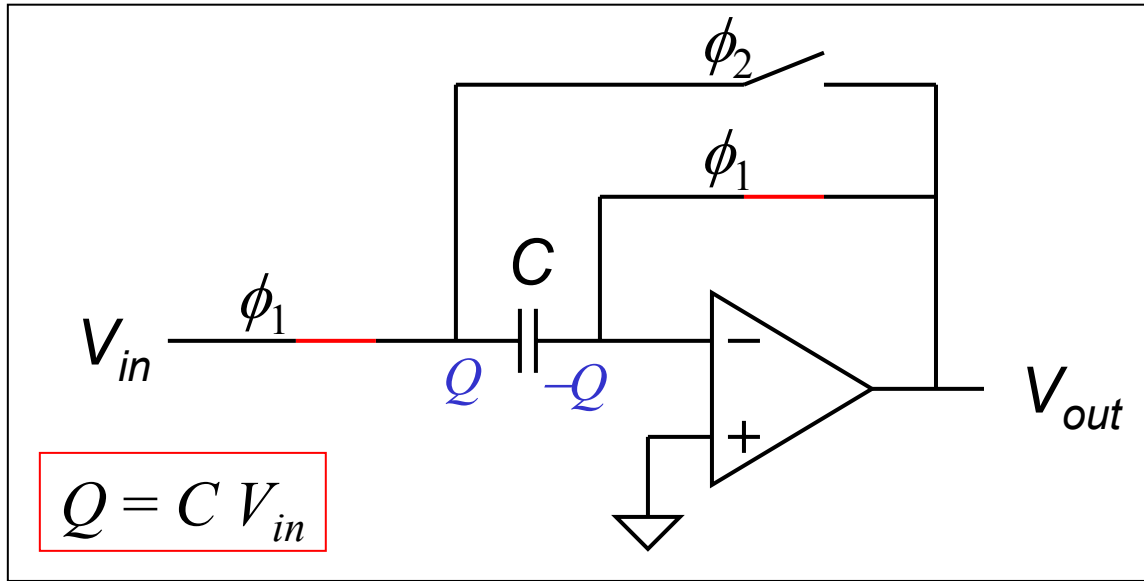
correlated double sampling (CDS)

auto-zero technique

電荷注入による誤差

 ϕ_1 フェーズ

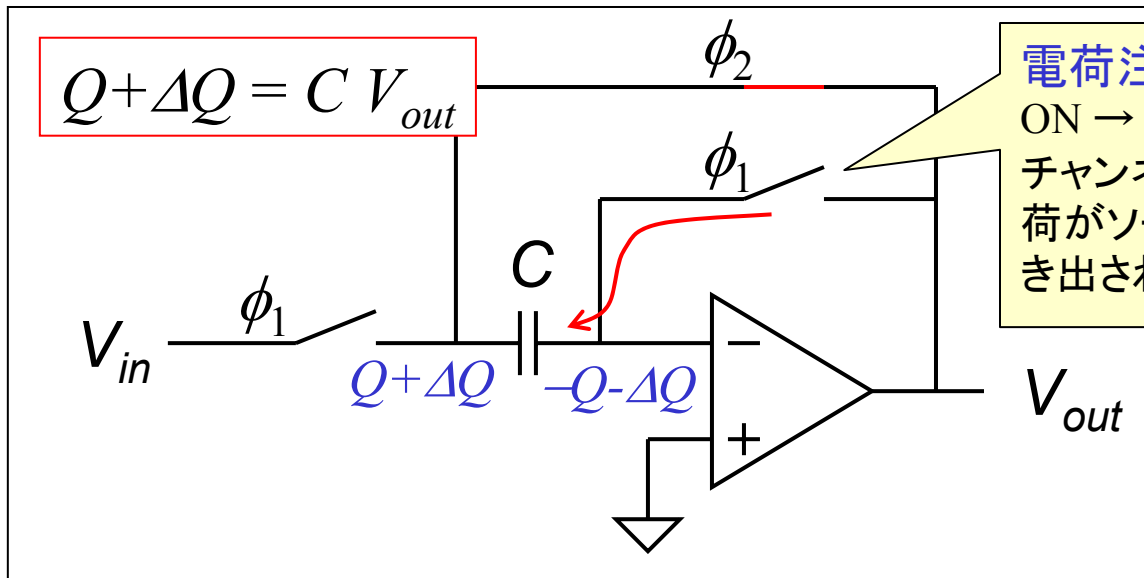
sample



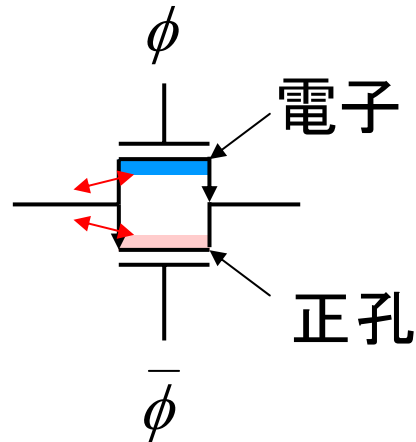
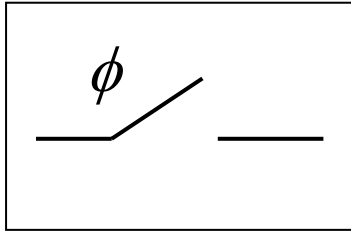
$$V_{out} = V_{in} + \Delta Q / C$$

 ϕ_2 フェーズ

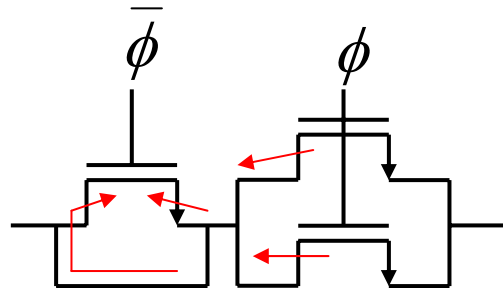
hold



電荷注入のキャンセル法

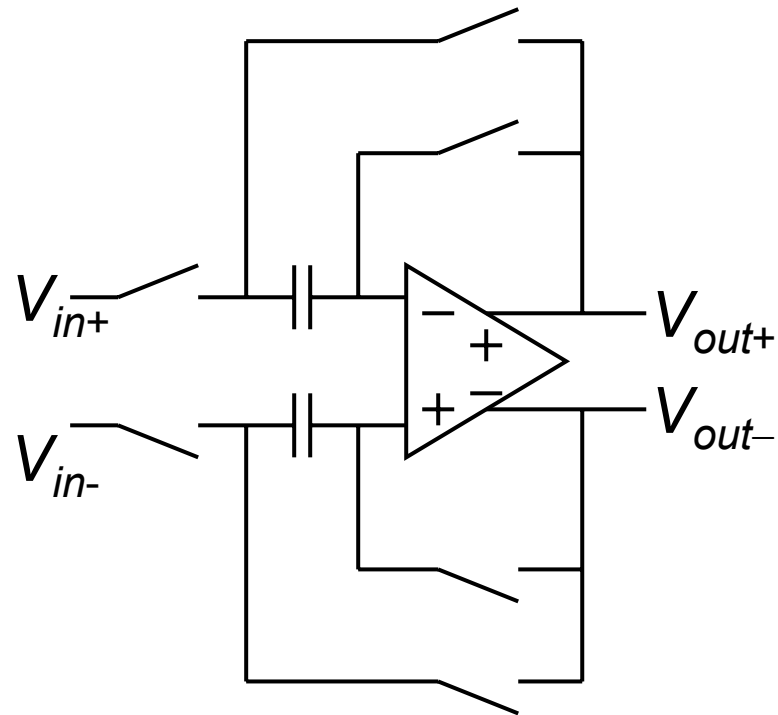


NMOSとPMOSのサイズを調整し、
同一量の電子、正孔が出入りする
ようにする

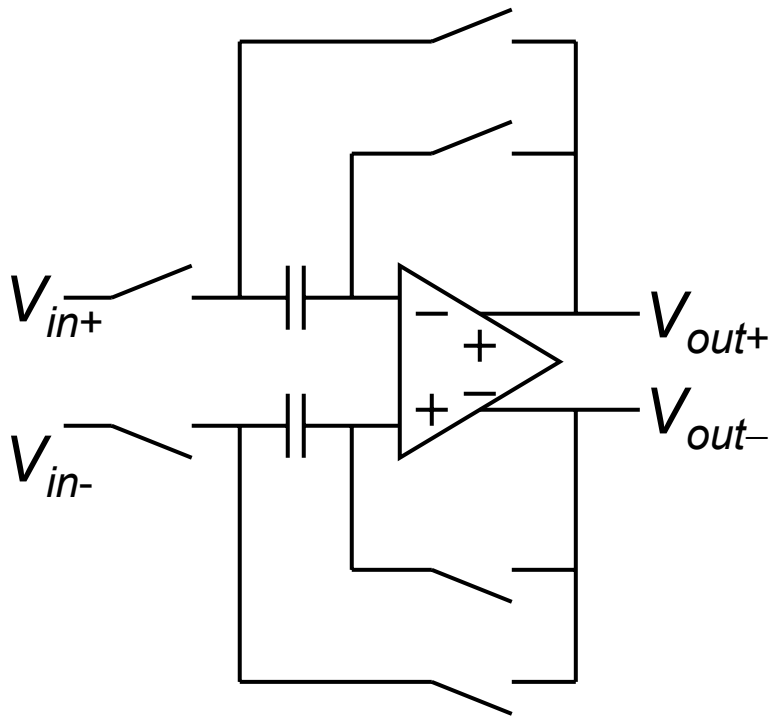


同一サイズの3つのトランジスタ
を用いる

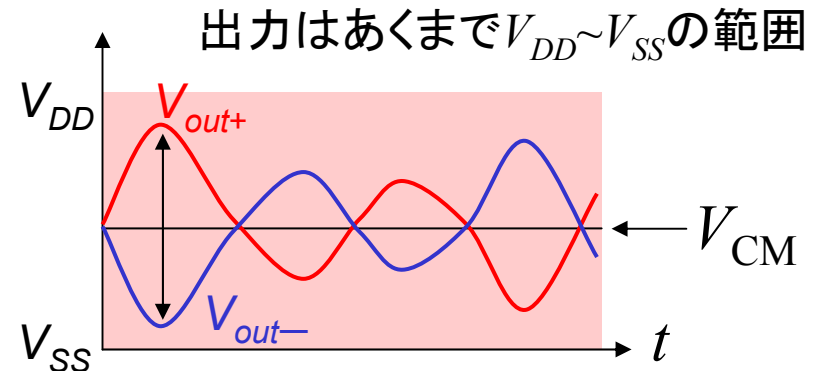
差動化



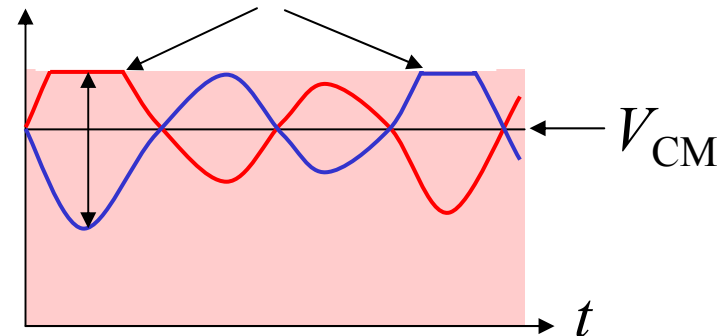
電荷注入はコモン・モード・ノイズなので影響が出ない



$$V_{out+} - V_{out-} = V_{in+} - V_{in-}$$



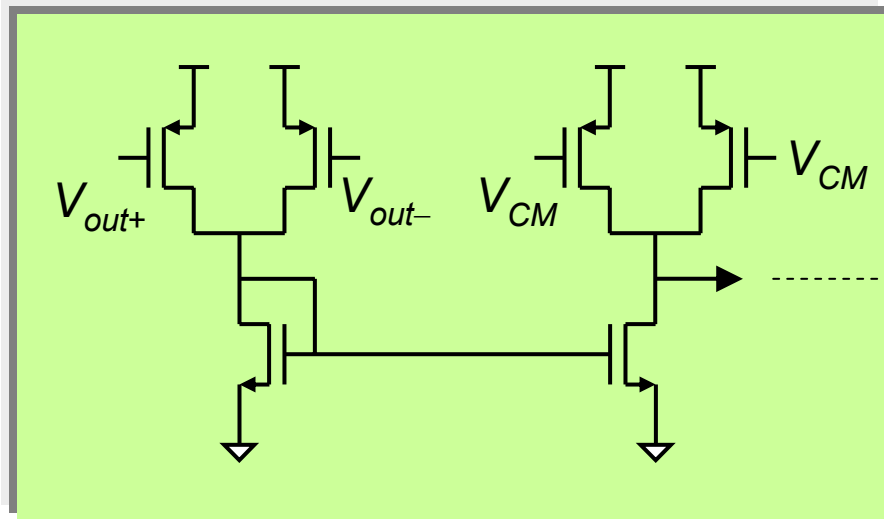
コモン・モード電圧が中心からずれると動作範囲が狭まる



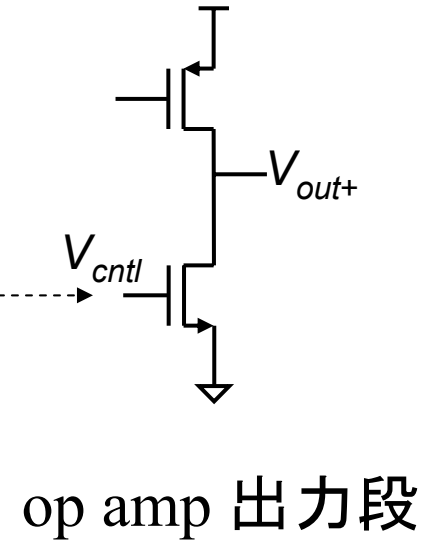
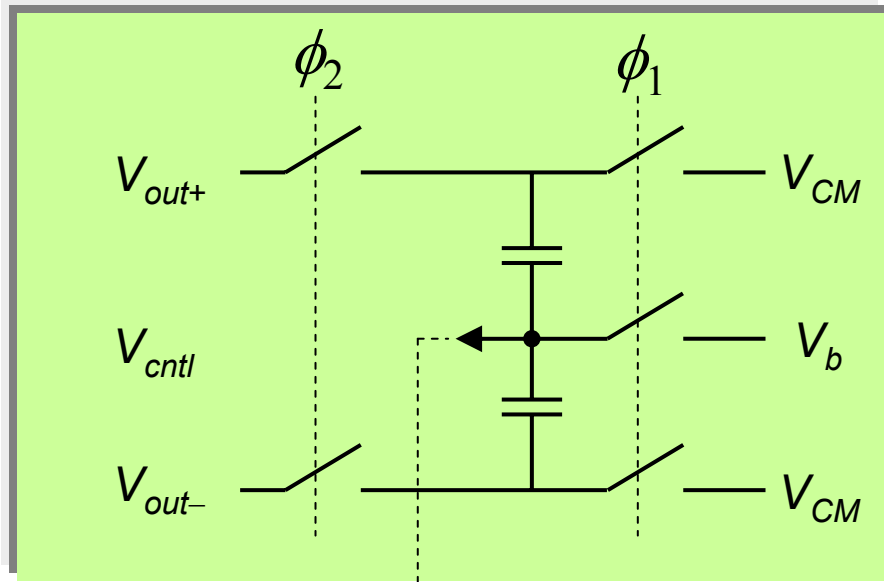
コモン・モード電圧は素子ばらつきの影響を受けやすい
差動 op amp では出力のコモン・モード電圧の制御が必要

コモン・モード電圧の制御

1

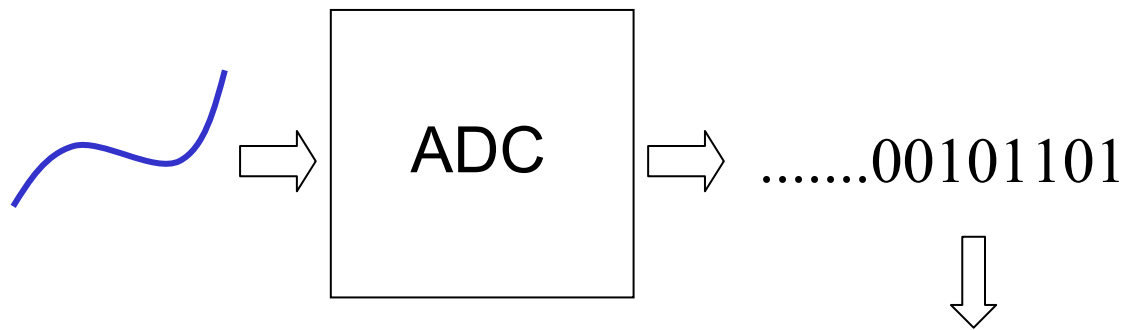


2



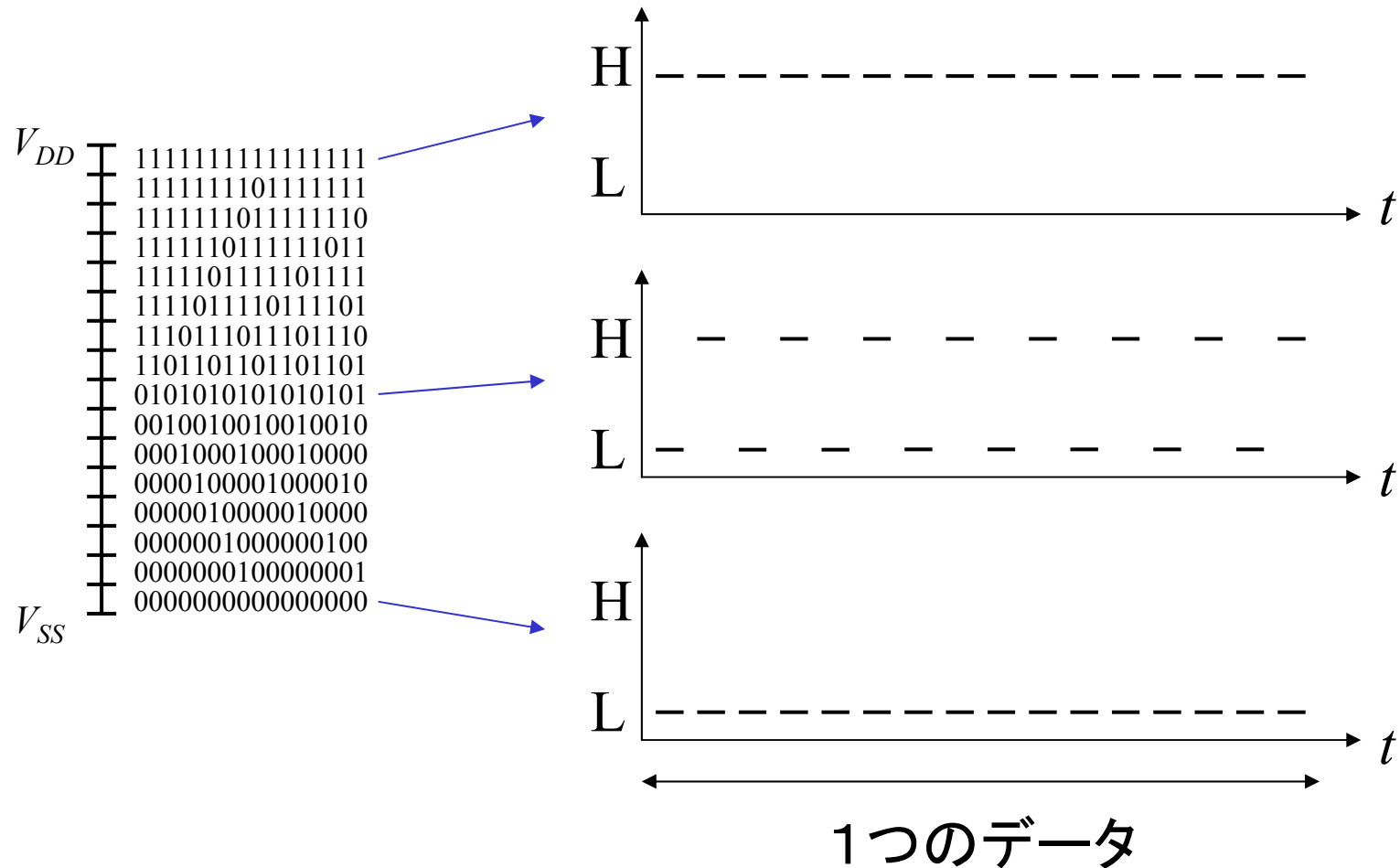
ADC : Analog-to-Digital Converter

アナログ量 ⇒ デジタル・ビット列



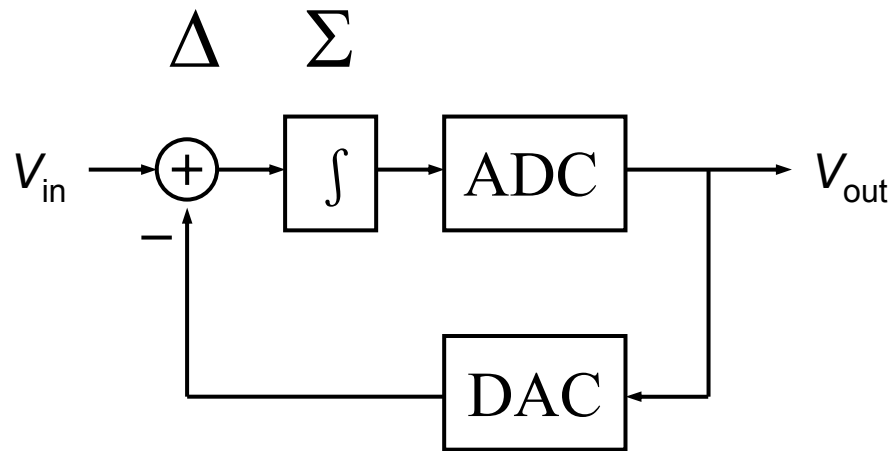
信号処理が容易
信号の劣化が起こらない
信号の記憶が容易

Δ - Σ 変調器

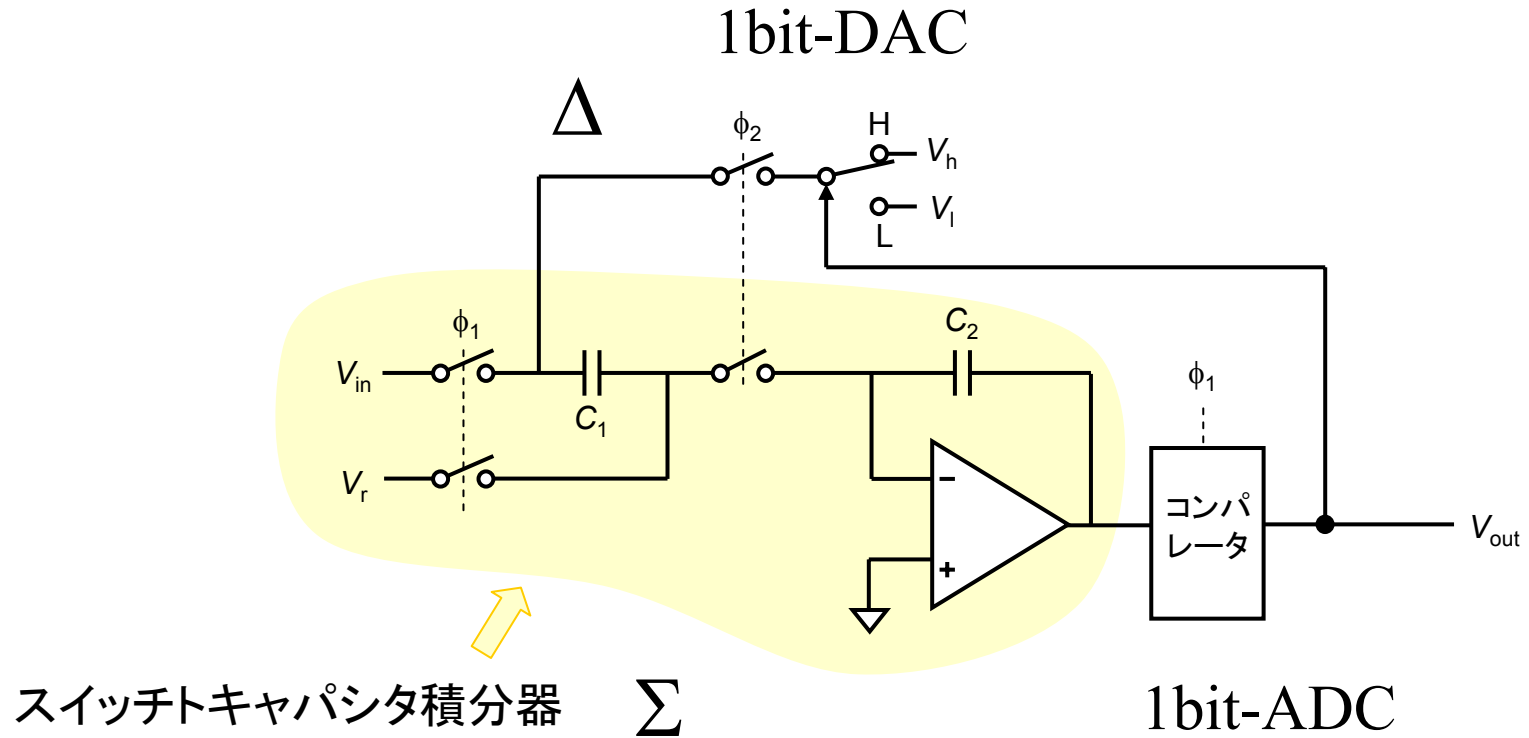


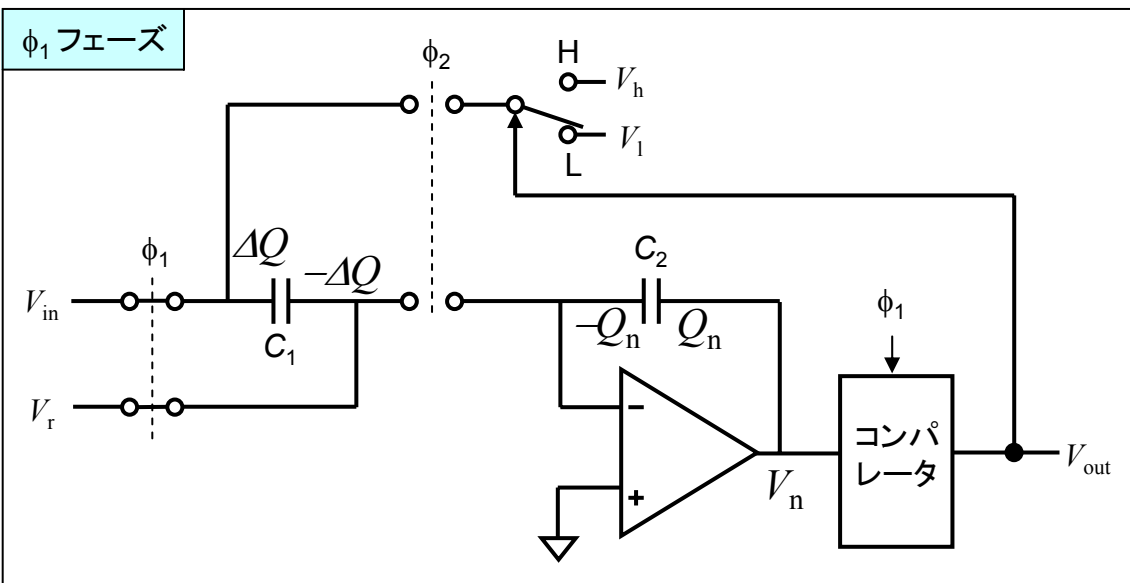
- アナログ信号をH/Lのデジタル信号の時系列に変換
- H, L の信号の数の割合でアナログ値を表現

Δ - Σ 變調器



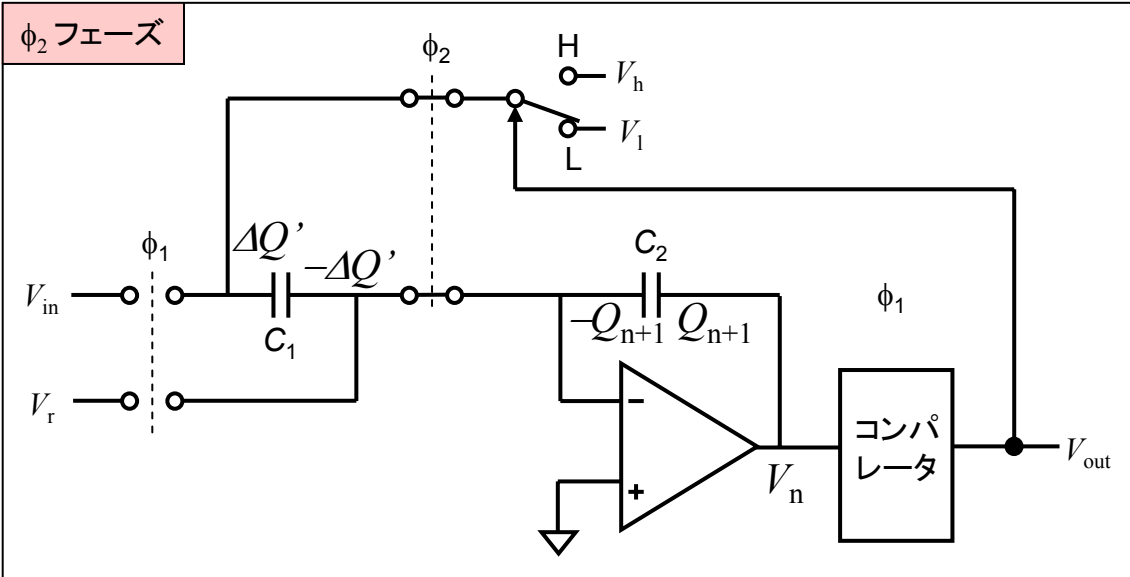
Δ - Σ 変調器





$$\Delta Q = C_1(V_{in} - V_r)$$

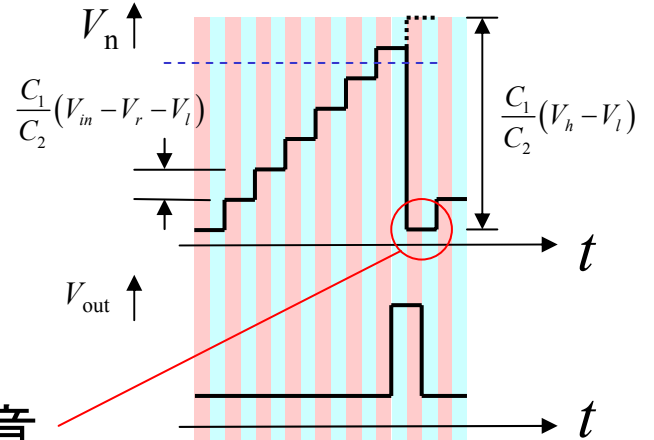
$$V_n = \frac{Q_n}{C_2}$$



$$\Delta Q' = C_1 V_l$$

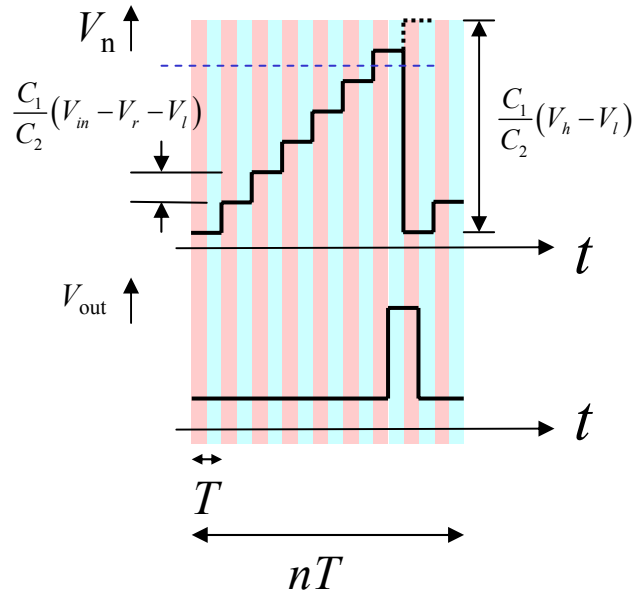
$$Q_{n+1} = Q_n + C_1(V_{in} - V_r - V_l)$$

$$V_{n+1} = V_n + \frac{C_1}{C_2}(V_{in} - V_r - V_l)$$



お釣りも繰り越されていることに注意

Δ - Σ 変調器の精度



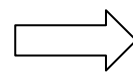
$$n \text{ 個の信号} \\ \text{Hのパルス数} = \text{Int} \left[\frac{\frac{C_1}{C_2}(V_{in} - V_r - V_l)n}{\frac{C_1}{C_2}(V_h - V_l)} \right]$$

$$\text{Hのパルスの割合} = \frac{1}{n} \text{Int} \left[\frac{V_{in} - V_r - V_l}{V_h - V_l} n \right] \\ = \frac{V_{in} - V_r - V_l}{V_h - V_l} \quad (n \rightarrow \infty)$$

$$\text{精度} = 1/n$$

信号周波数 10kHz

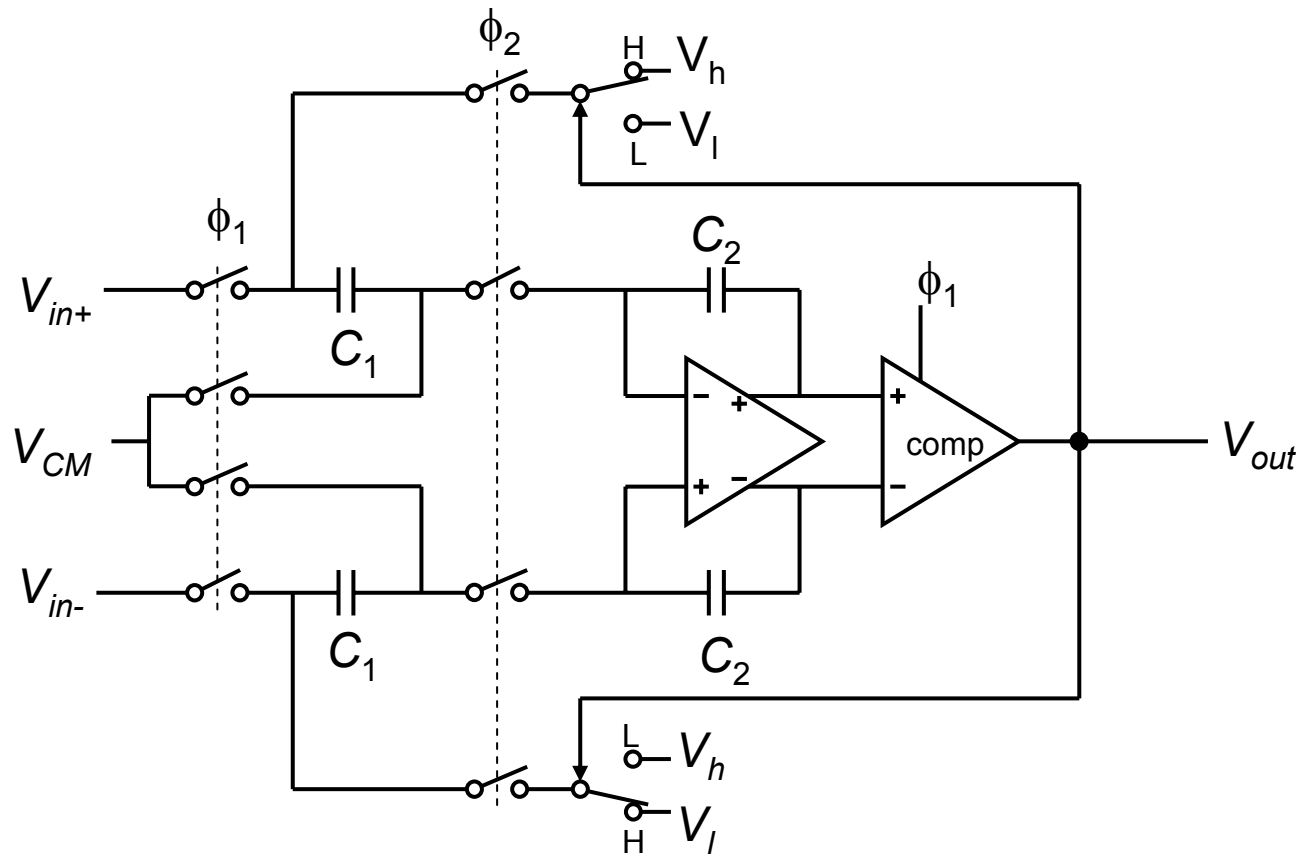
サンプリング周波数 10MHz



$$n = 1000 = 2^{10}$$

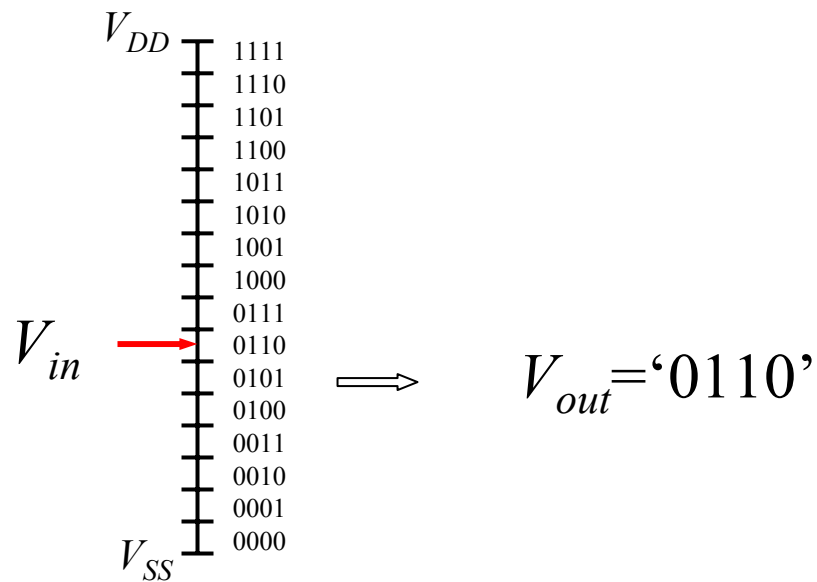
10ビットの精度

Δ - Σ 変調器 差動化

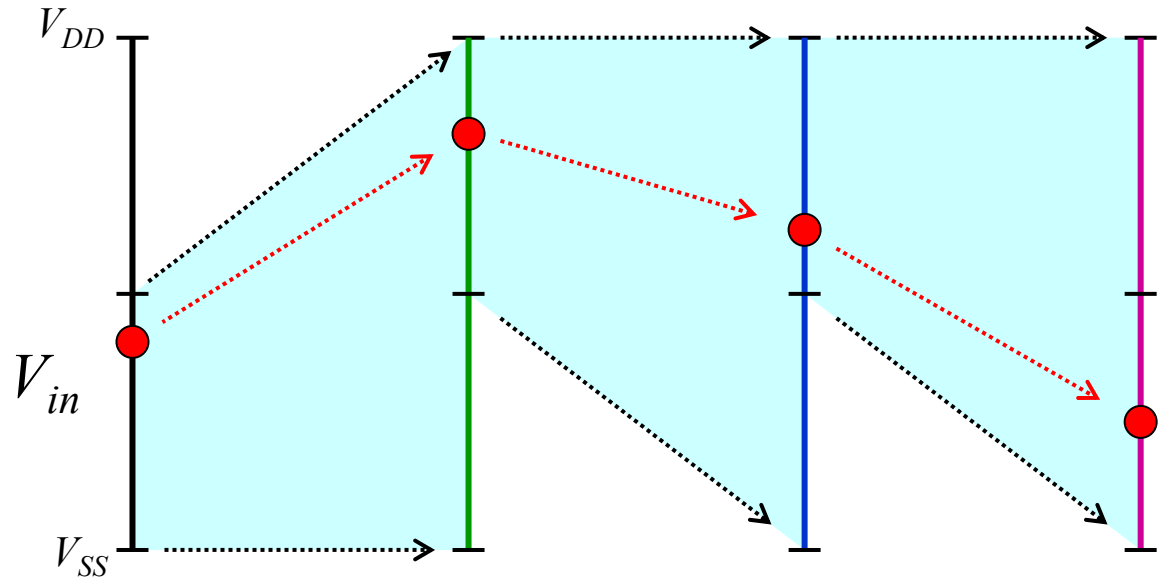
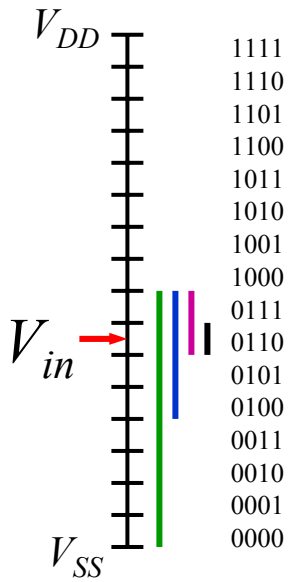


ADC : Analog-to-Digital Converter

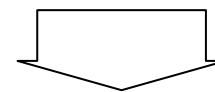
アナログ量 \Rightarrow デジタル・ビット列



2分割法



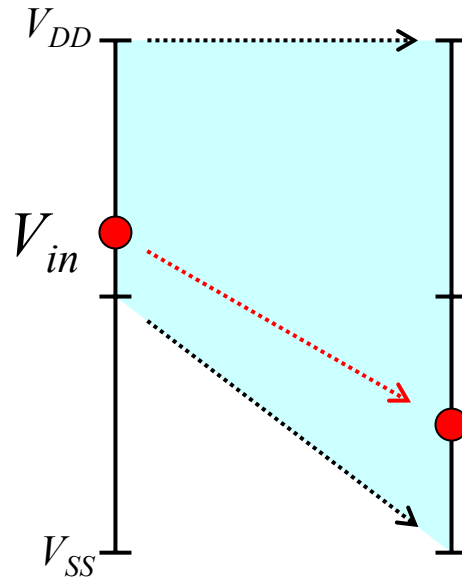
↓ ↓ ↓ ↓
 '0' '1' '1' '0'



'0110'

1

0



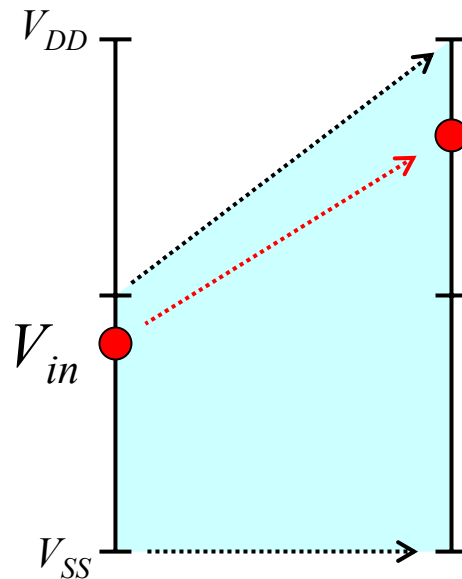
$V_{in} > \frac{V_{DD}}{2}$ のとき

(i) '1' を出力

(ii) $V_{in} \rightarrow 2V_{in} - V_{DD}$

1

0

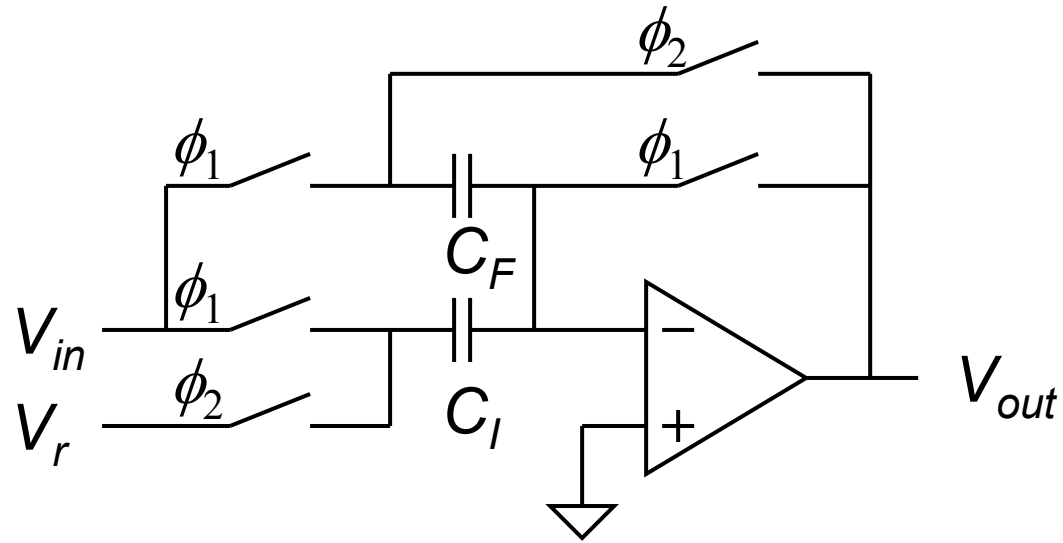


$V_{in} < \frac{V_{DD}}{2}$ のとき

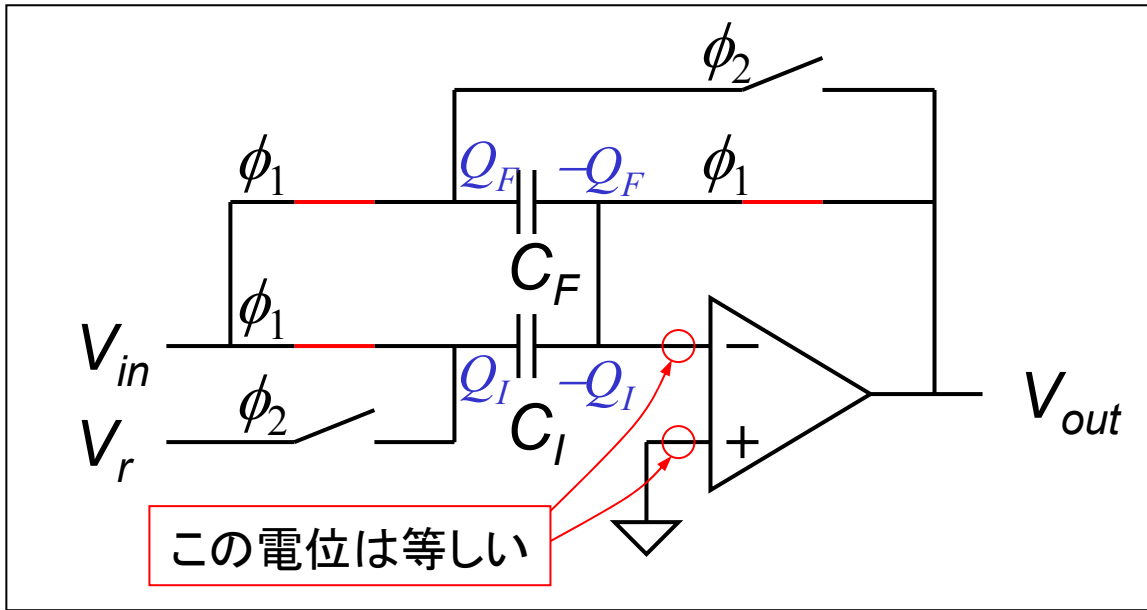
(i) '0' を出力

(ii) $V_{in} \rightarrow 2V_{in}$

スイッチト・キャパシタ



φ₁ フェーズ

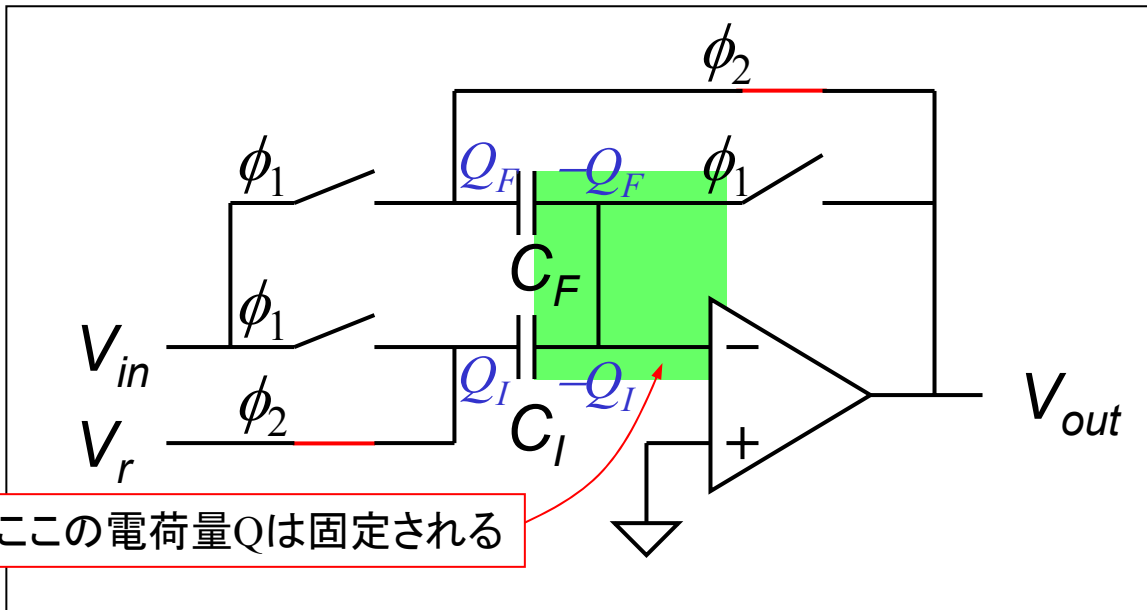


$$Q_I = C_I V_{in}$$

$$Q_F = C_F V_{in}$$

$$Q = -Q_I - Q_F = -(C_I + C_F)V_{in}$$

φ₂ フェーズ



$$Q_I = C_I V_r$$

$$Q_F = C_F V_{out}$$

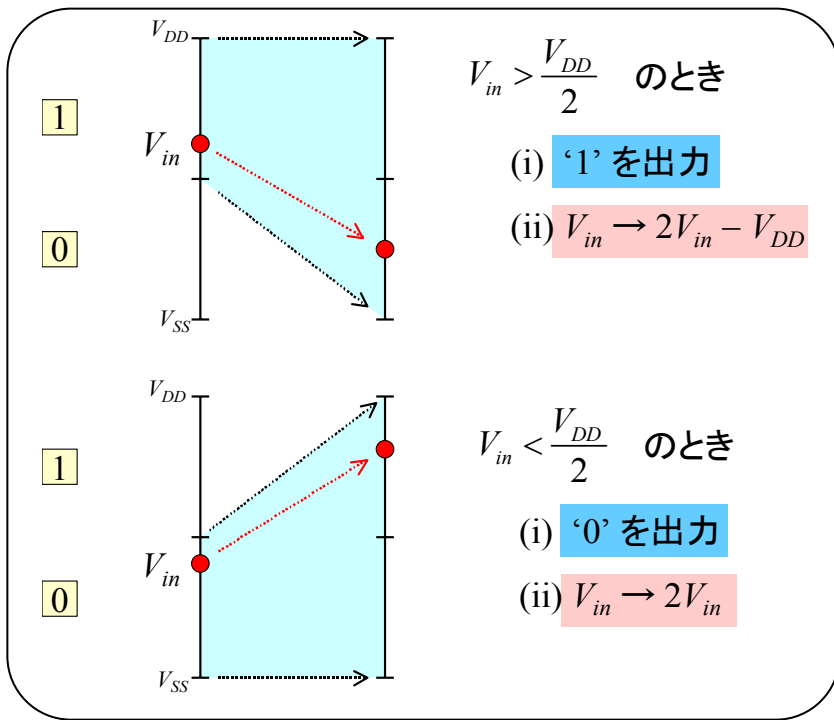
$$Q = -Q_I - Q_F = -C_I V_r - C_F V_{out}$$

容量の比のみで決まる(ばらつきに強い)

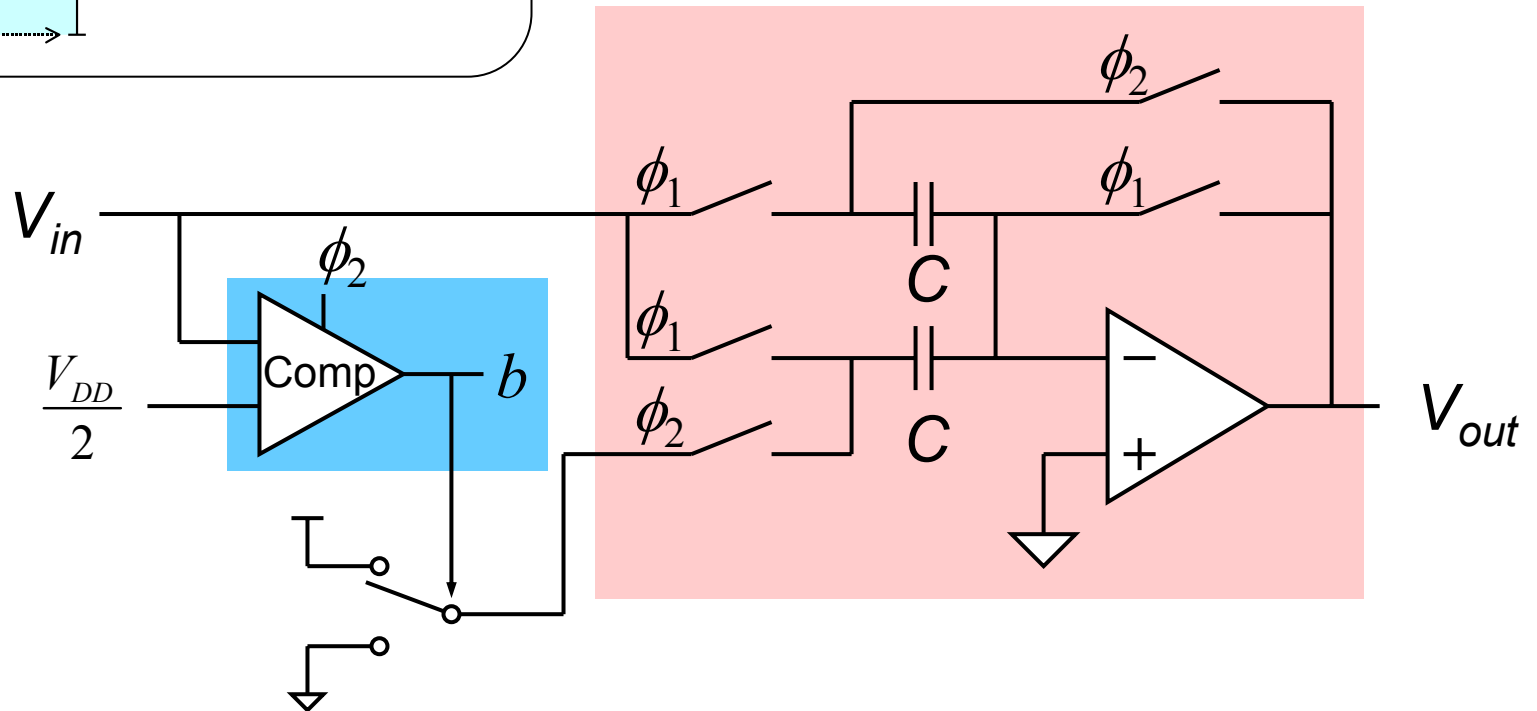
$$V_{out} = \frac{C_I + C_F}{C_F} V_{in} - \frac{C_I}{C_F} V_r$$

$C_I = C_F$ とすれば

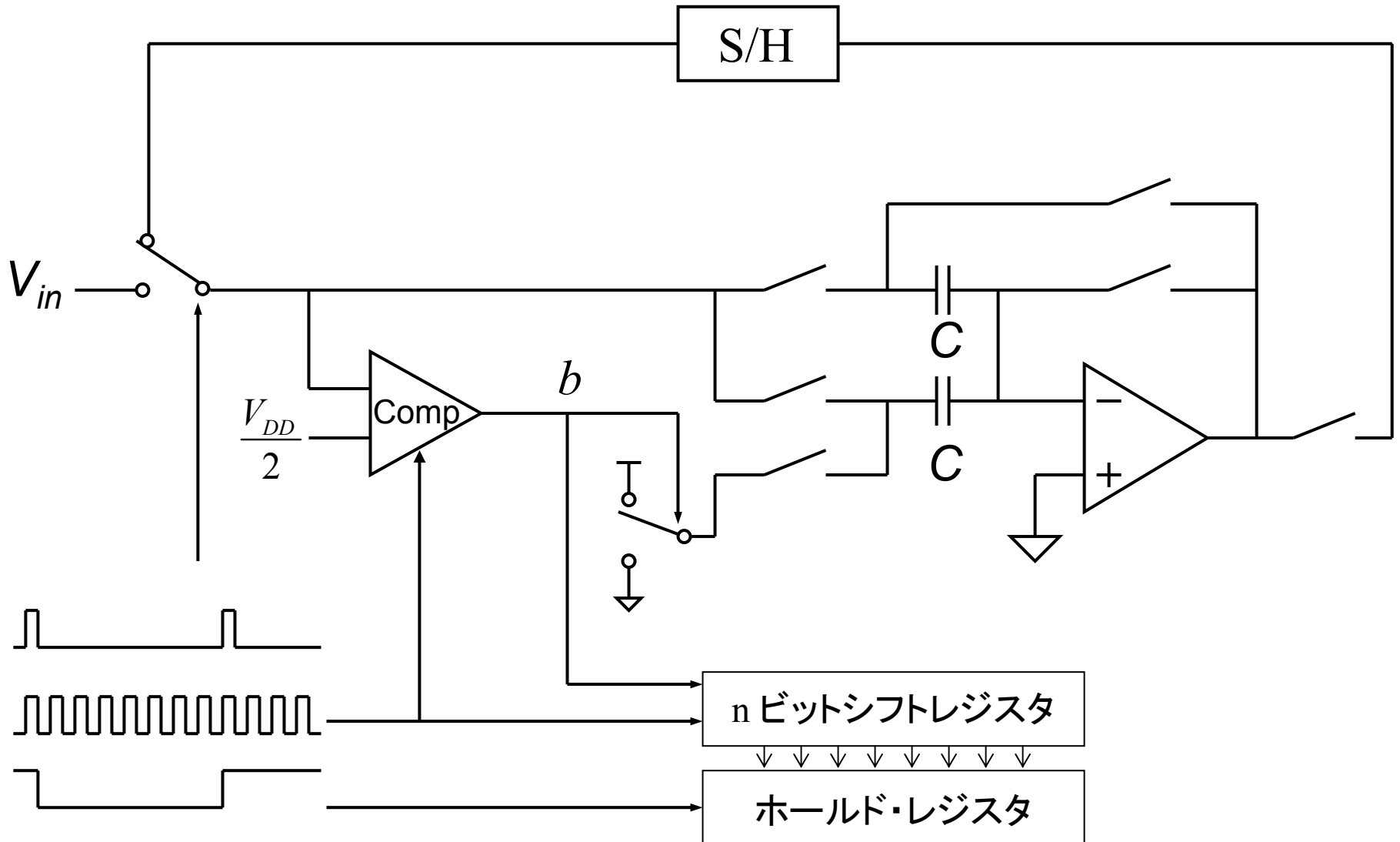
$$V_{out} = 2V_{in} - V_r$$



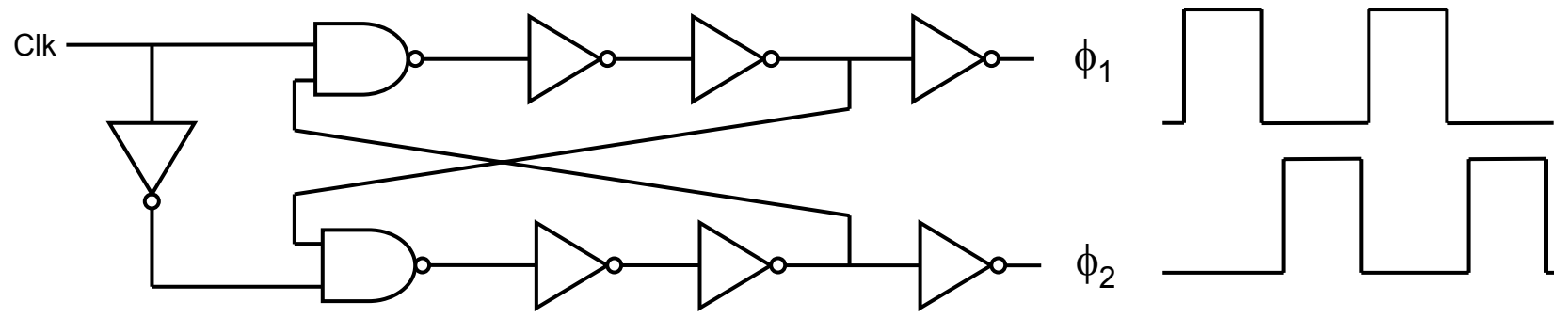
スイッチト・キャパシタ によるADCの実現



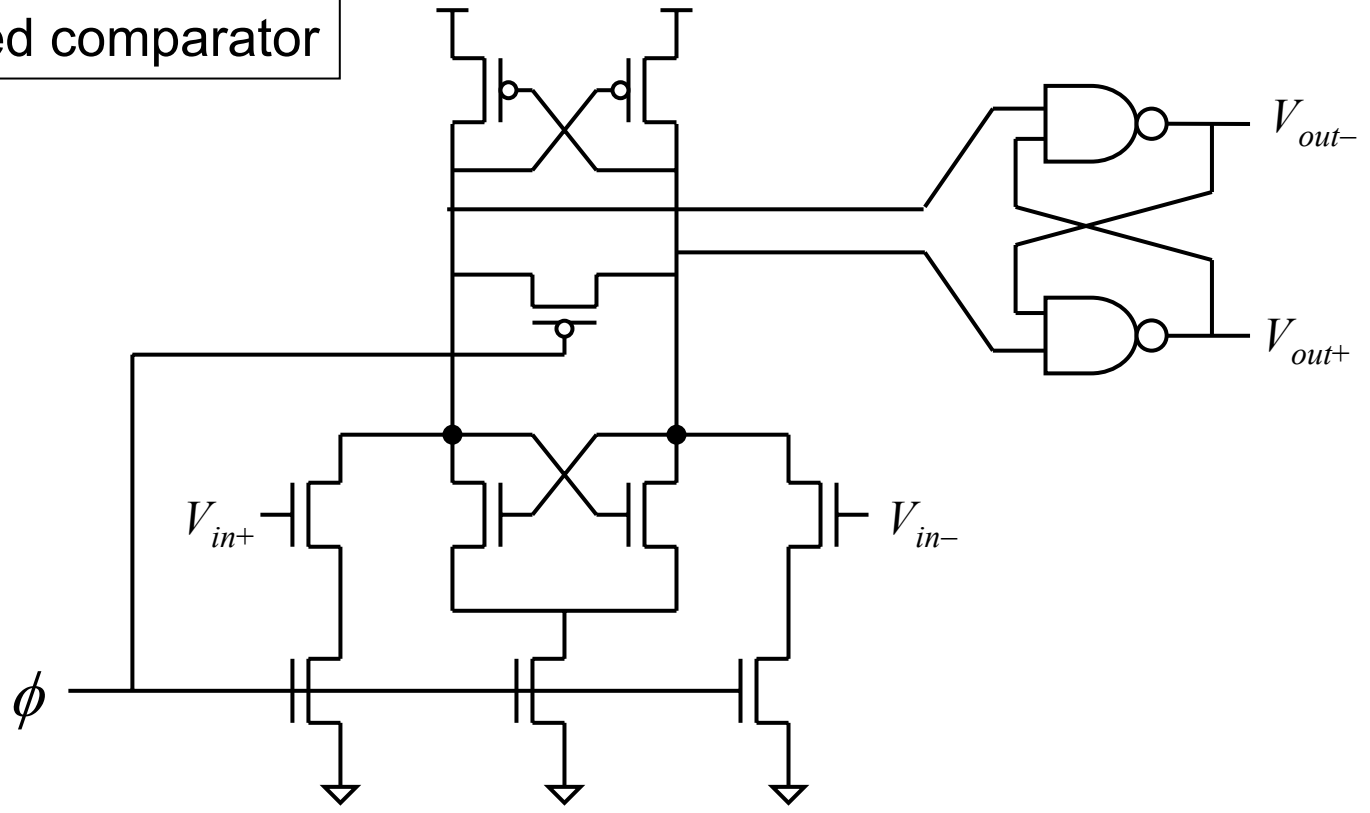
Cyclic ADC



Nonoverlapping clock generation circuit



Clocked comparator



ADC 差動化

