

情報デバイス工学特論

第7回

CMOSロジック集積回路 (1)

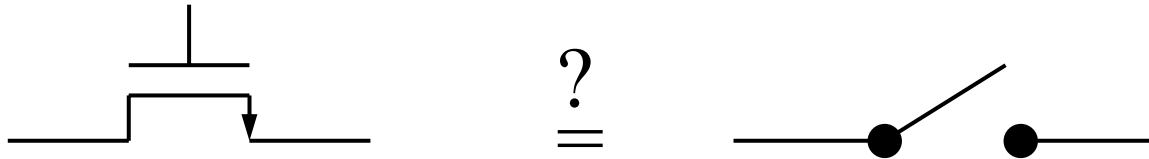
ロジック回路

フル・スイングが基本

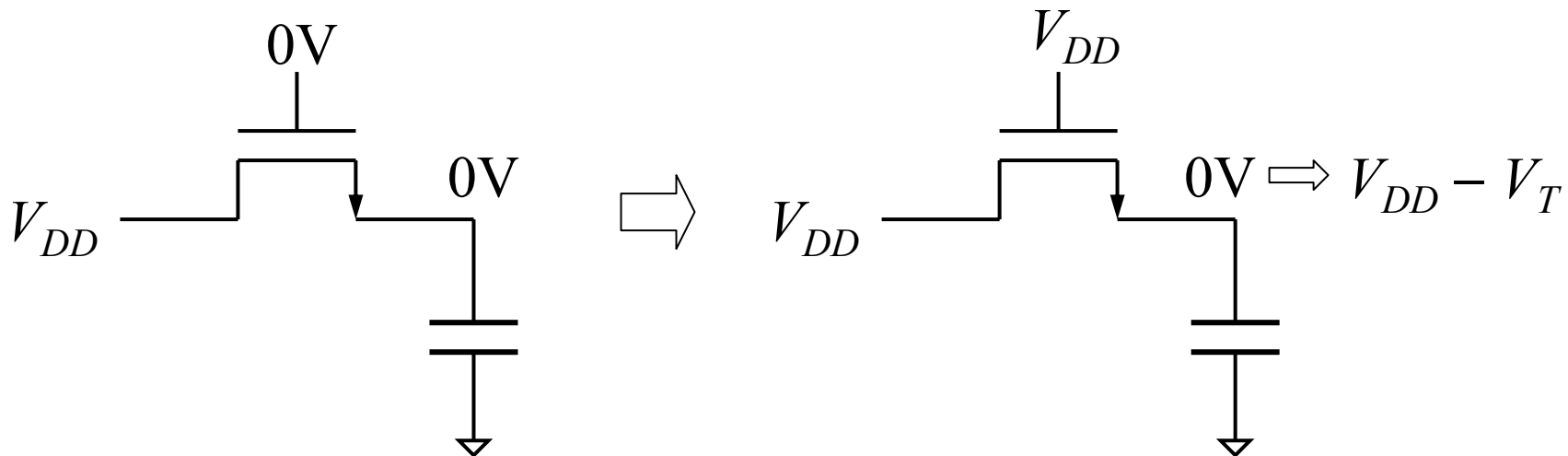
High V_{DD} (電源電圧)

Low V_{SS} (= GND = 0V)

スイッチ



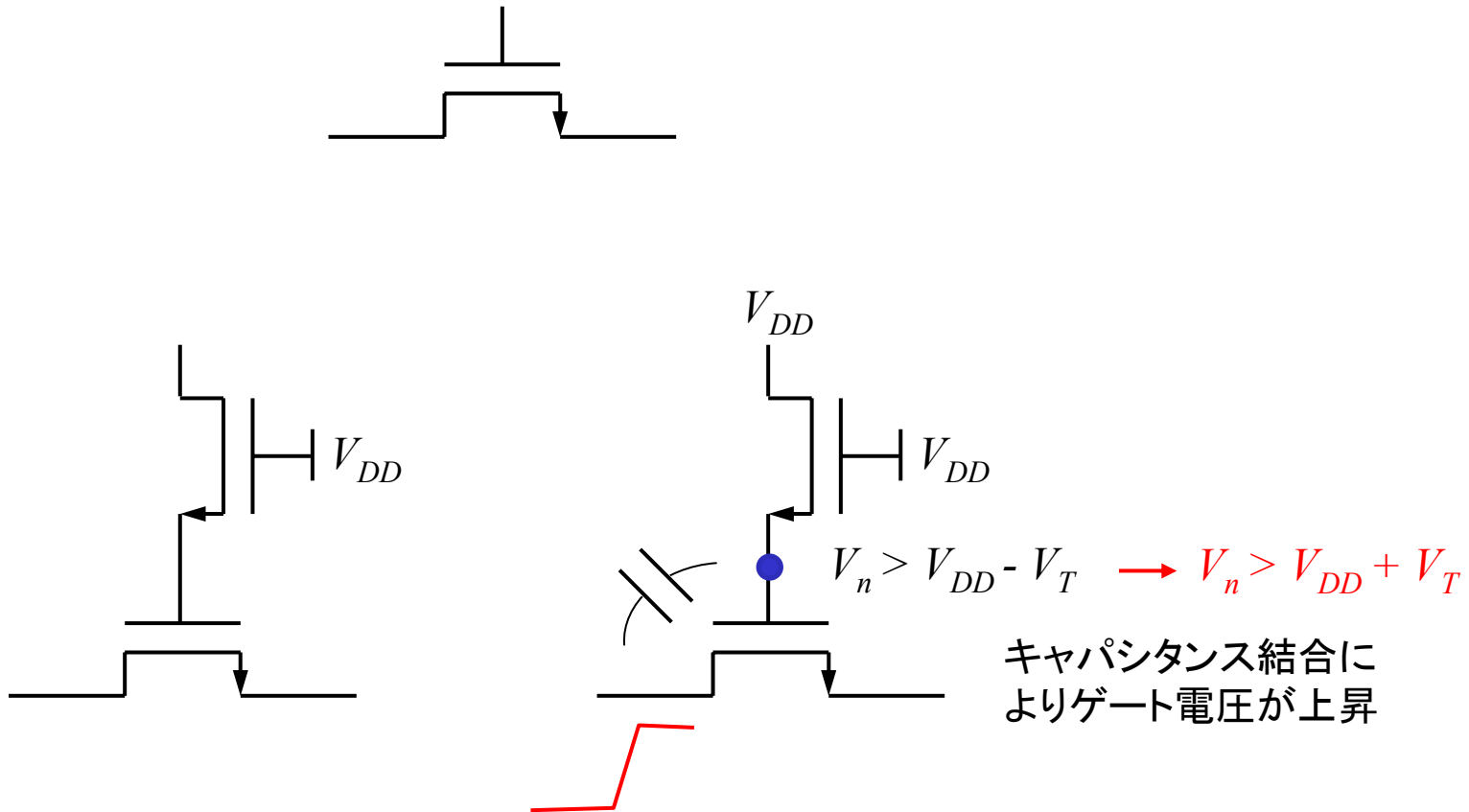
問題点: $V_{DD} \sim V_{SS}$ までの領域をカバーできない



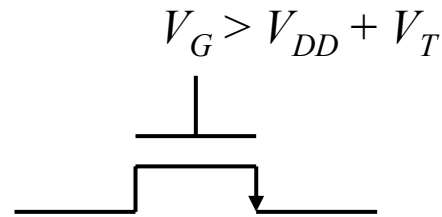
解決方法(1)

Bootstrap

ゲート電圧に $V_{DD} + V_T$ 以上の電圧をかける

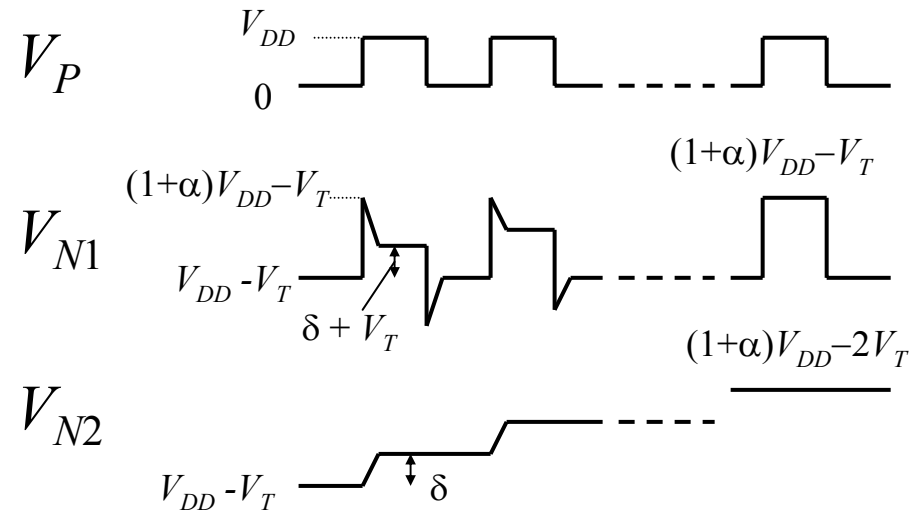
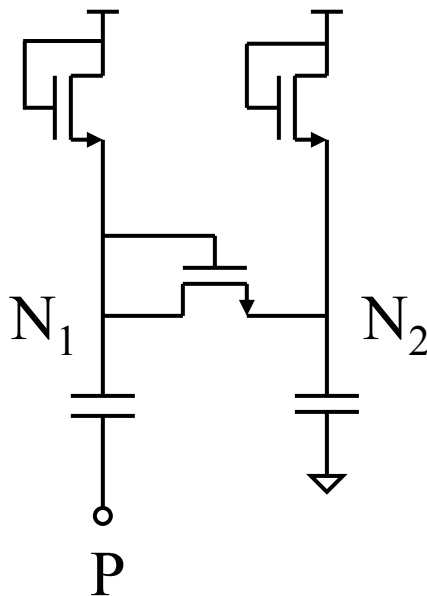


Bootstrap



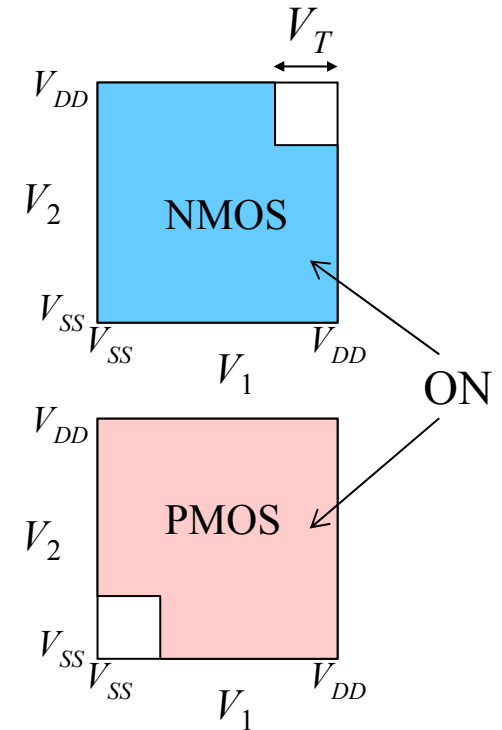
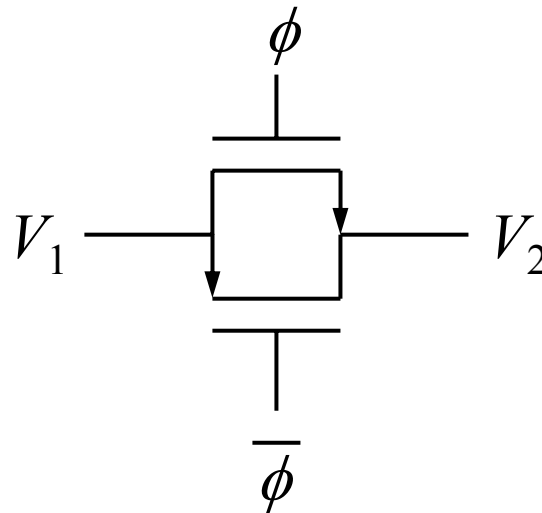
昇圧電源回路により、 $V_{DD} + V_T$ 以上の電圧を作る

チャージ・ポンプ回路



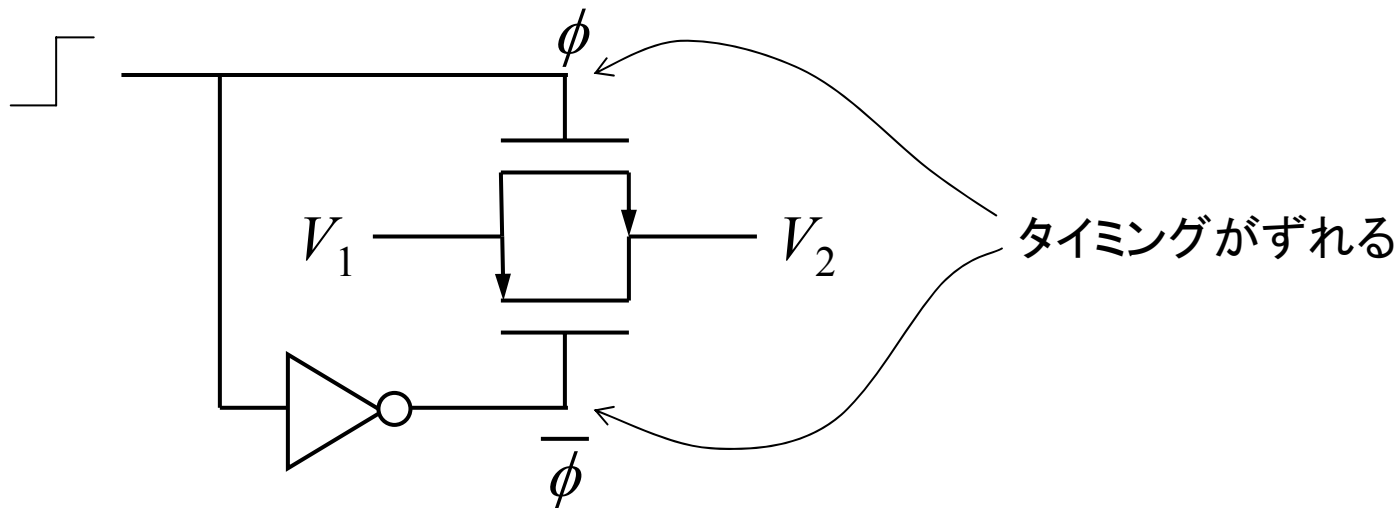
解決方法(2)

Complementary Switch

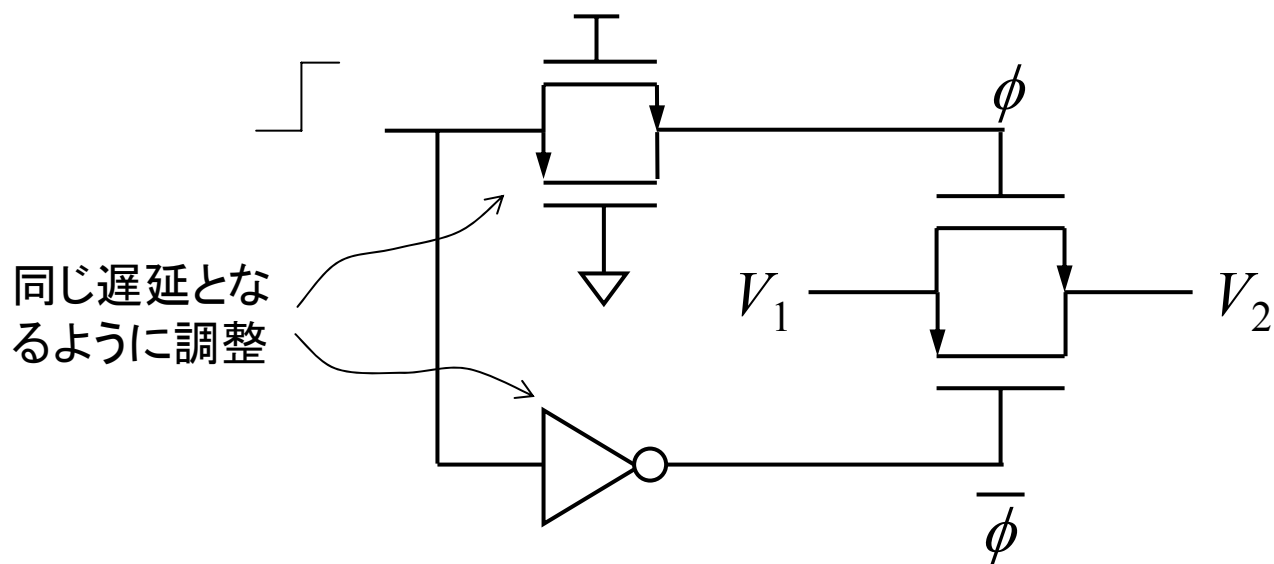


欠点: ϕ と $\bar{\phi}$ の2つの信号を用意しなければならない

Complementary Switch

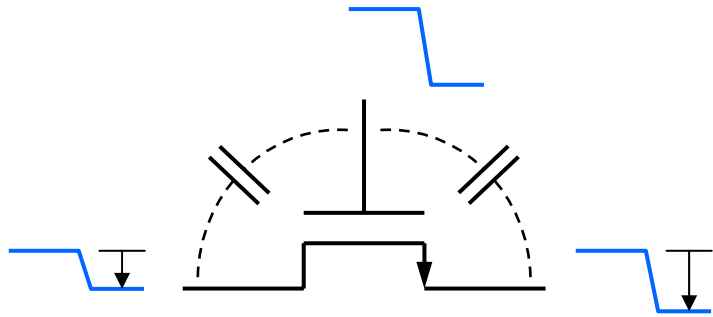


ϕ と $\bar{\phi}$ の2つの信号にずれがないようにしたい

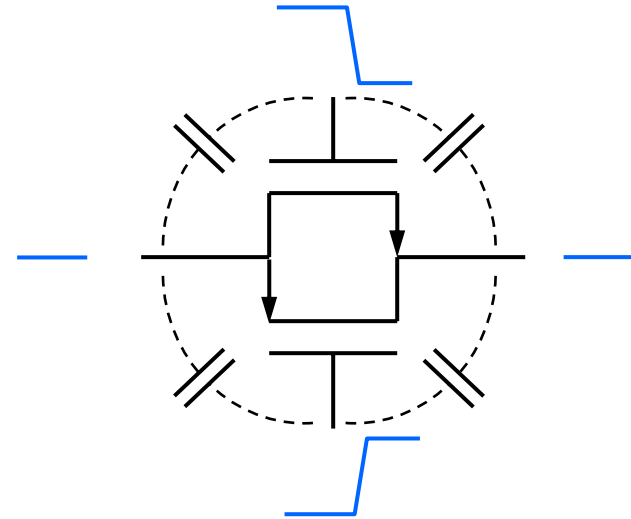


Complementary Switch の利点

Clock feedthrough

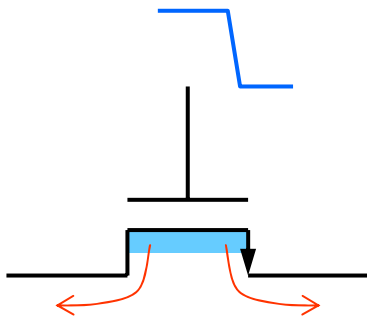


ゲート電圧を振るとソース、ドレイン電圧がキャパシタンス結合により変化

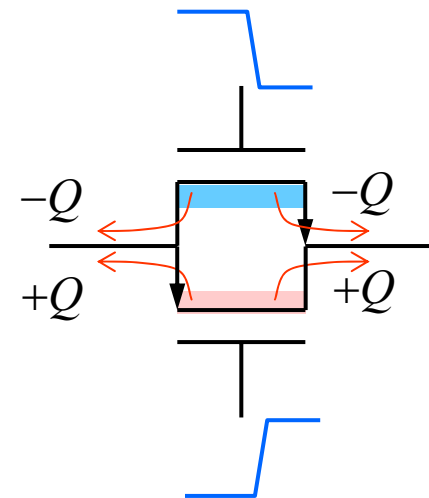


2つのキャパシタンス結合でキャンセル

Charge injection

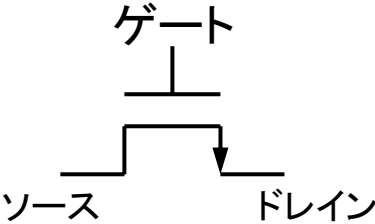
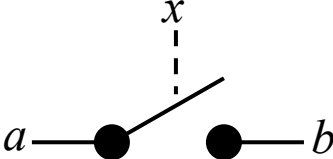
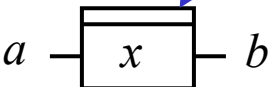
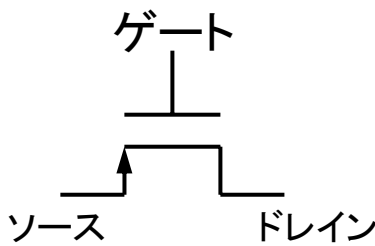
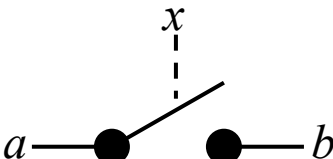
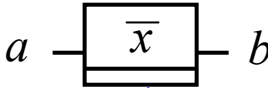


チャンネルに溜まった電荷がソース、ドレインに流出

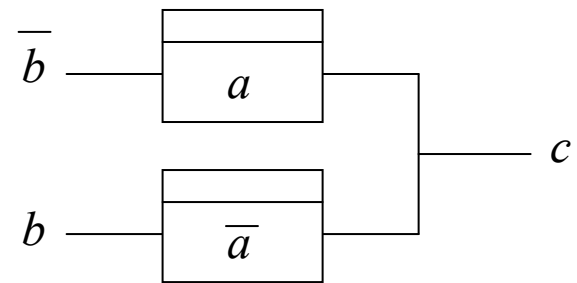
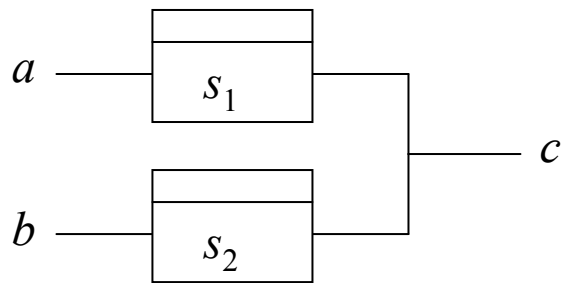
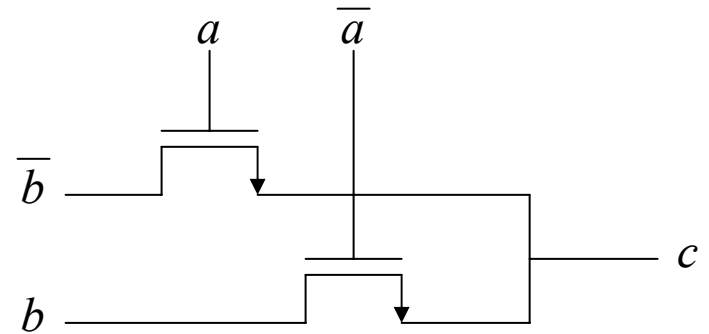
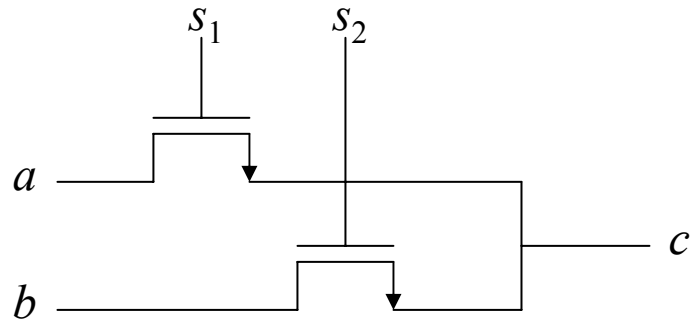


電子と正孔でキャンセル

ただし、多くの回路でトランジスタをスイッチとして用いることができる

NMOSFET	 <p>ゲート ソース ドレイン</p>	 <p>a b</p> <p style="text-align: center;">x</p>	<p>High を通さない</p>  <p>a b</p> <p style="text-align: center;">x</p>
PMOSFET	 <p>ゲート ソース ドレイン</p>	 <p>a b</p> <p style="text-align: center;">x</p>	<p>Low を通さない</p>  <p>a b</p> <p style="text-align: center;">\bar{x}</p>

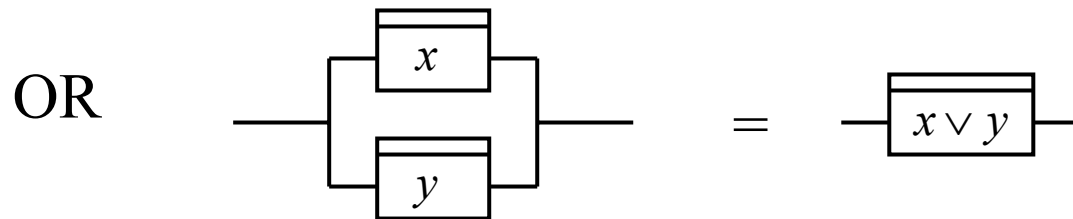
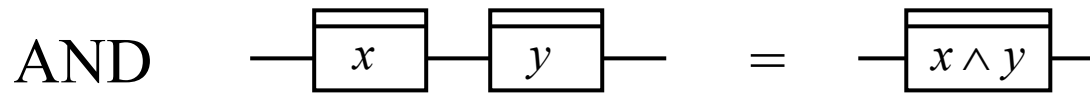
スイッチによりいろいろなロジック回路が可能



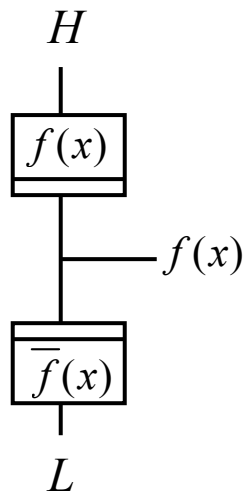
Multiplexer

Exclusive OR (XOR)

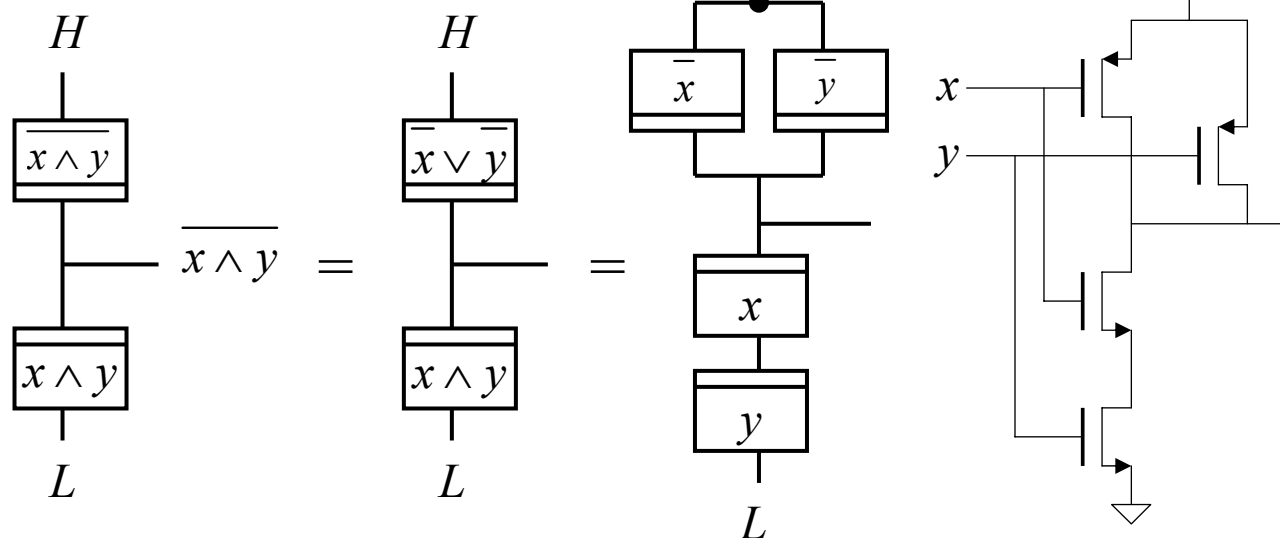
スイッチによりいろいろなロジック回路が可能



static CMOS ゲート

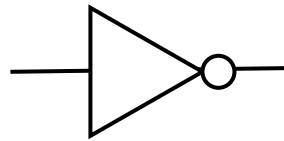
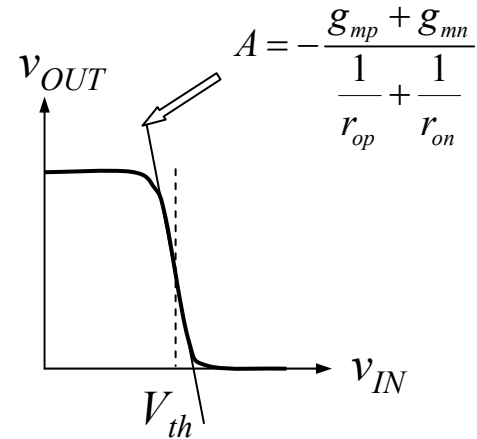
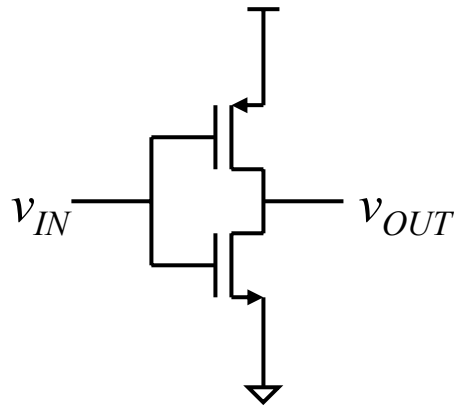


例: CMOS NAND



インバータ

5回目の講義で行った解析の復習



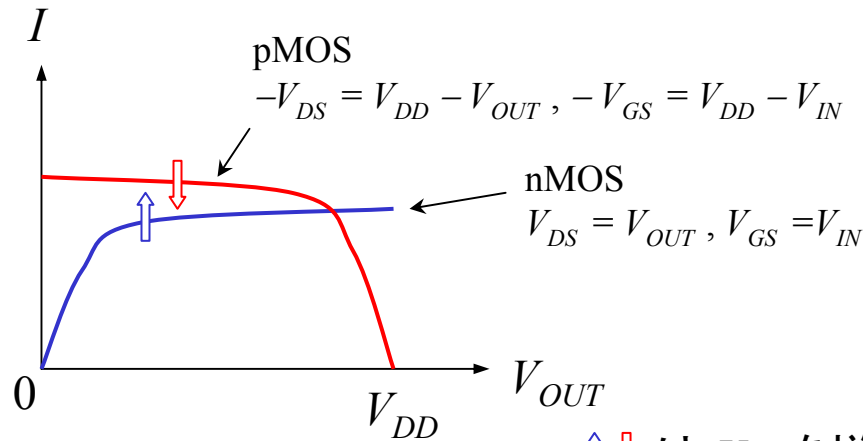
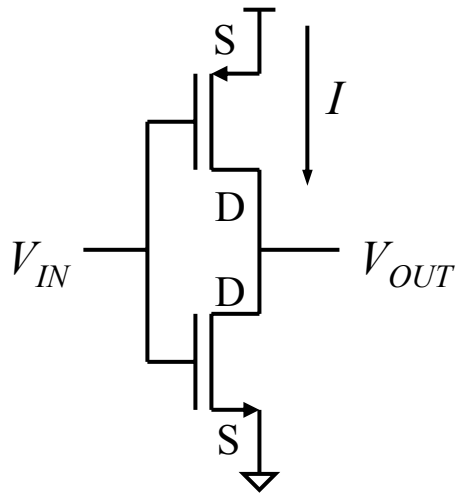
インバータ閾値

$$V_{th} = \frac{V_{DD} - |V_{Tp}| + \sqrt{\frac{\beta_n}{\beta_p}} V_{Tn}}{1 + \sqrt{\frac{\beta_n}{\beta_p}}}$$

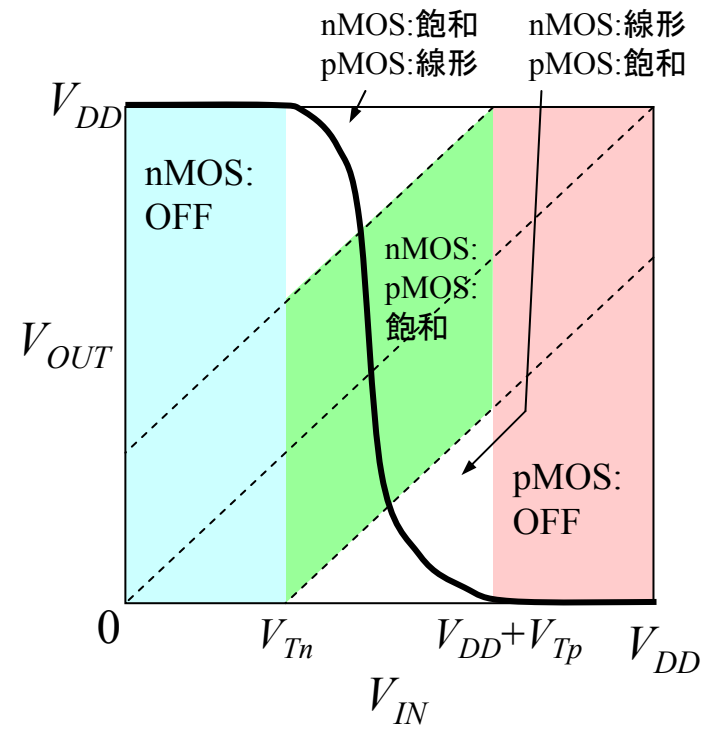
出カインピーダンス

$$R_O = r_{op} // r_{on}$$

インバーターの詳しいDC解析

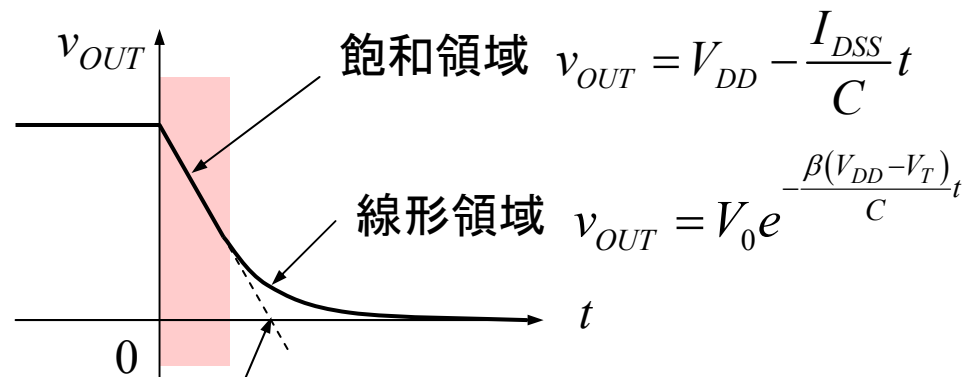
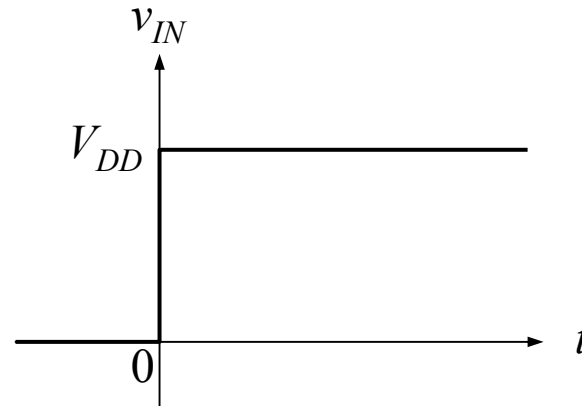
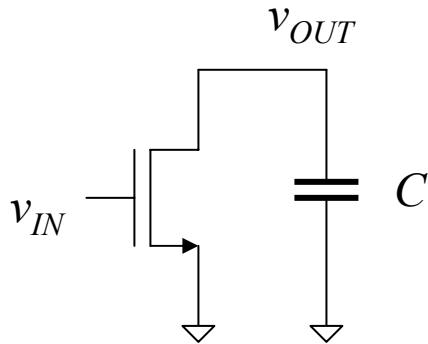


↑ ↓ は V_{IN} を増加させた時の変化



MOSFET	動作領域		インバーター
nMOSFET	OFF	$V_{GS} - V_{Tn} < 0$	$V_{IN} < V_{Tn}$
	線形領域	$V_{DS} < V_{GS} - V_{Tn}$	$V_{OUT} < V_{IN} - V_{Tn}$
	飽和領域	$0 < V_{GS} - V_{Tn} < V_{DS}$	$V_{IN} > V_{Tn}$ $V_{OUT} > V_{in} - V_{Tn}$
pMOSFET	OFF	$V_{GS} - V_{Tp} > 0$	$V_{IN} > V_{DD} + V_{Tp}$
	線形領域	$V_{DS} > V_{GS} - V_{Tp}$	$V_{OUT} > V_{IN} - V_{Tp}$
	飽和領域	$0 > V_{GS} - V_{Tp} > V_{DS}$	$V_{IN} < V_{DD} + V_{Tp}$ $V_{OUT} < V_{IN} - V_{Tp}$

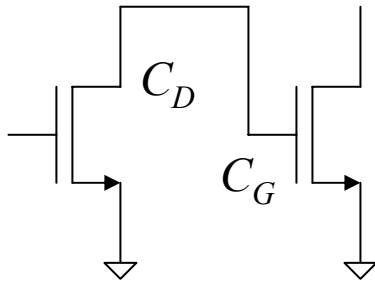
過渡応答



$$\tau = \frac{V_{DD}C}{I_{DSS}}$$

I_{DSS} : 飽和動作でのドレイン電流

ロジック回路の遅延時間



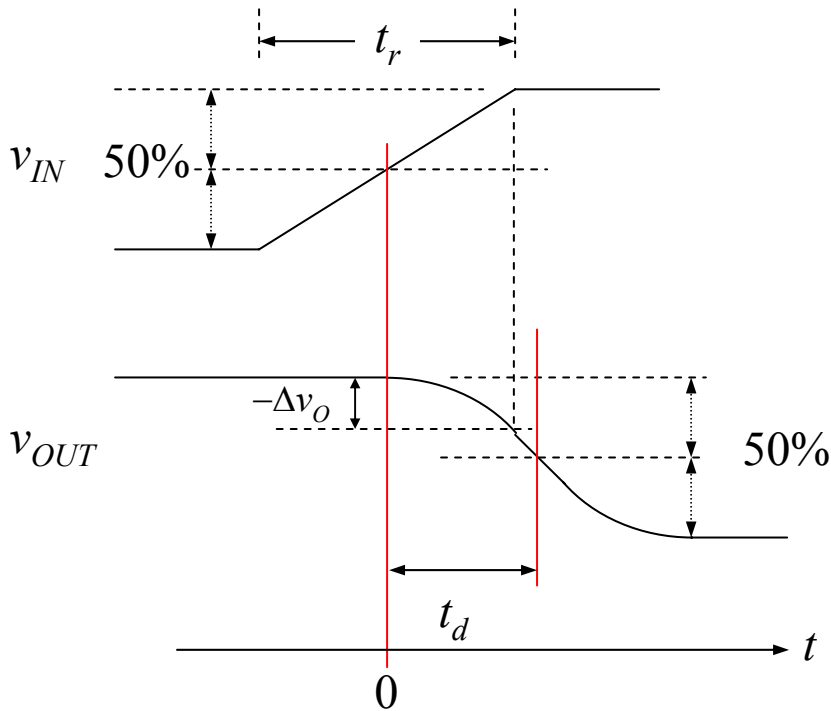
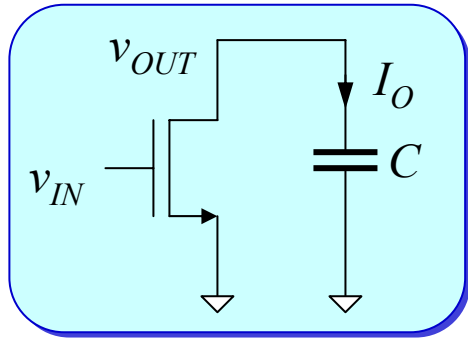
$$C = C_G + C_D$$

$$\tau = \frac{V_{DD} (C_G + C_D)}{I_{DSS}}$$

	Inverter driving inverter	2-input NAND gates	2-input NOR gates
ロジック回路			
遅延時間	3τ	4τ	5τ
logical effort	1	$4/3$	$5/3$

(Sutherland & Sproull 1991)

トランジスタに付随した数値はチャネル幅の比



$$I_O \text{ の近似 } I_O = \begin{cases} 0 & (t \leq 0) \\ -I_{DSS} \frac{2t}{t_r} & (0 \leq t \leq \frac{t_r}{2}) \\ -I_{DSS} & (\frac{t_r}{2} \leq t) \end{cases}$$

$t = \frac{t_r}{2}$ での出力電圧降下

$$\Delta v_O = \frac{1}{C} \int_0^{t_r/2} I_O dt = -\frac{I_{DSS} t_r}{4C} = -\frac{V_{DD} t_r}{4\tau}$$

その後は I_{DSS} による時定数で出力電圧が降下

$$t_d = \frac{t_r}{2} + \frac{\frac{V_{DD}}{2} + \Delta v_O}{V_{DD}} \tau$$

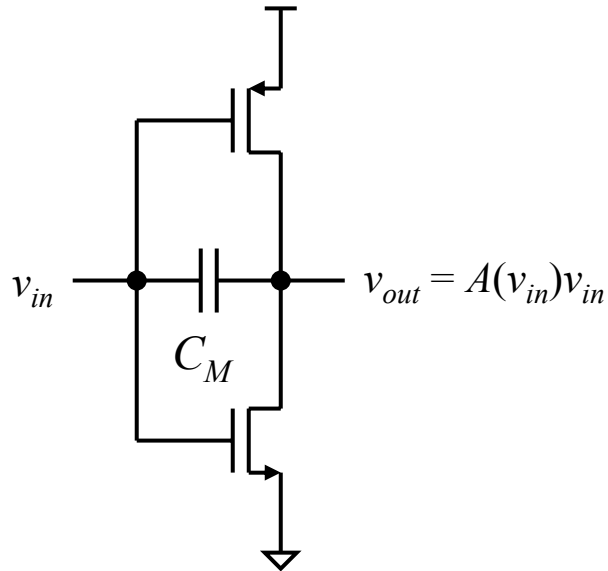
$$\Rightarrow \boxed{t_d = \frac{t_r}{4} + \frac{\tau}{2} \quad \left(\frac{t_r}{2} \leq t_d \text{ の場合} \right)}$$

$$\frac{t_r}{2} > t_d \text{ の場合は } \Delta v_O = \frac{1}{C} \int_0^{t_d} I_O dt = -\frac{V_{DD}}{2}$$

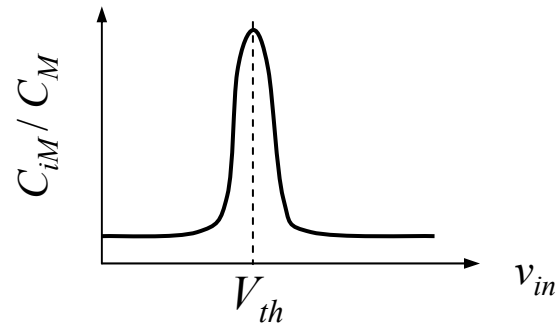
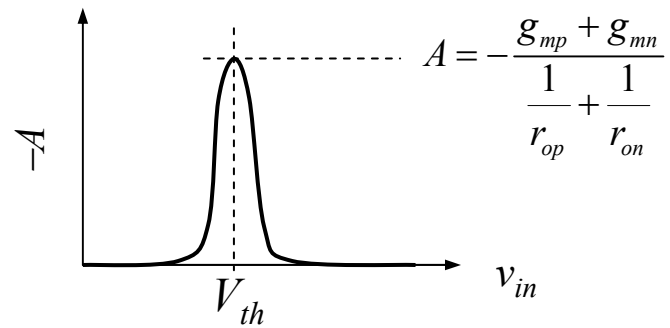
を解いて

$$\boxed{t_d = \sqrt{\frac{\tau t_r}{2}} \quad \left(\frac{t_r}{2} > t_d \text{ の場合} \right)}$$

ミラー・キャパシタンス

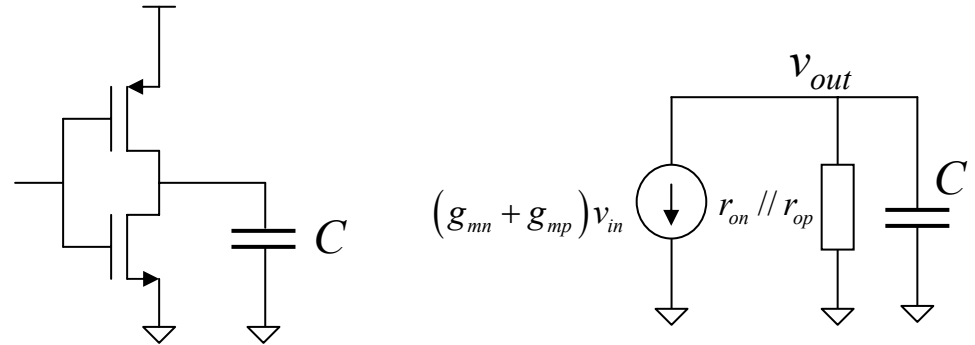
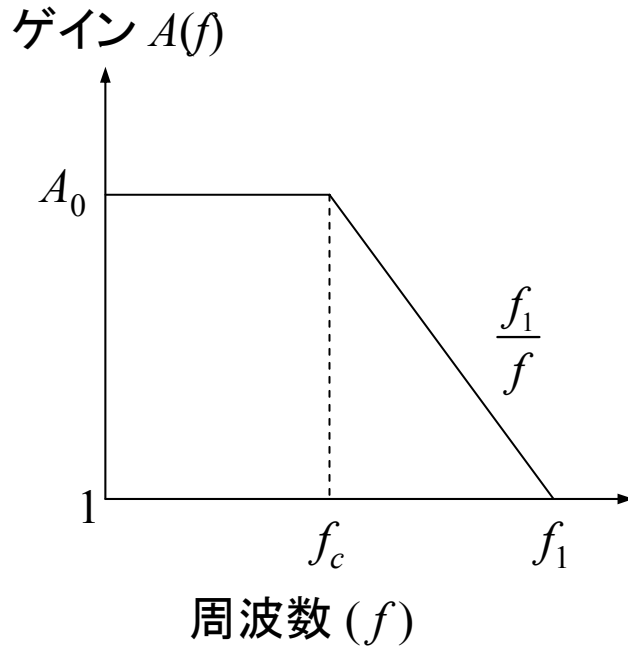


$$C_{iM}(v_{in}) = \frac{\delta Q_M}{\delta v_{in}} = C_M [1 - A(v_{in})]$$



入力側のインピーダンスが大きく変動

利得帯域幅積



$$(g_{mn} + g_{mp})v_{in} + \frac{v_{out}}{r_{on} // r_{op}} = C \frac{dv_{out}}{dt} = C s v_{out}$$

$$\Rightarrow A = \frac{v_{out}}{v_{in}} = - \frac{(g_{mn} + g_{mp})(r_{on} // r_{op})}{1 + C(r_{on} // r_{op})s}$$

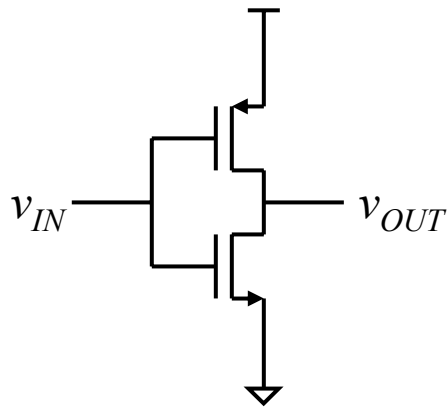
f_c : カットオフ周波数

f_1 : ユニティ・ゲイン周波数

$$s = 2\pi f \sqrt{-1}$$

$$f_1 = \frac{g_{mn} + g_{mp}}{2\pi C} \sim \frac{1}{2\pi\tau}$$

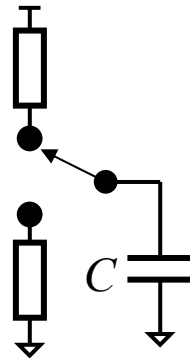
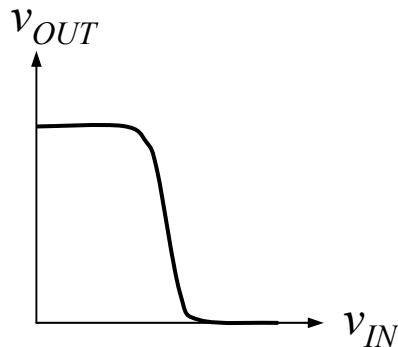
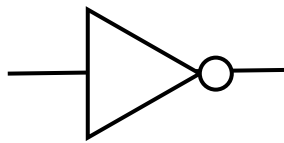
インバータの消費電力



定常状態 どちらかのトランジスタがOFF

⇒ 消費電力小 (サブスレッショルド電流 × 電源電圧)

ON ⇔ OFF の切り替え時に電力を消費



出力 Low → High のエネルギー消費量

$$\int (V_{DD} - v_{OUT}) Idt = \int_0^{V_{DD}} (V_{DD} - v_{OUT}) C dv_{OUT} = \frac{CV_{DD}^2}{2}$$

= 出力 ON → OFF のエネルギー消費量

⇒ 1サイクルのエネルギー消費量 = CV_{DD}^2

$$\text{消費電力} = C V_{DD}^2 K_D f_{ck}$$

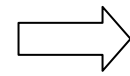
K_D : duty factor ~ 0.15

f_{ck} : clock frequency

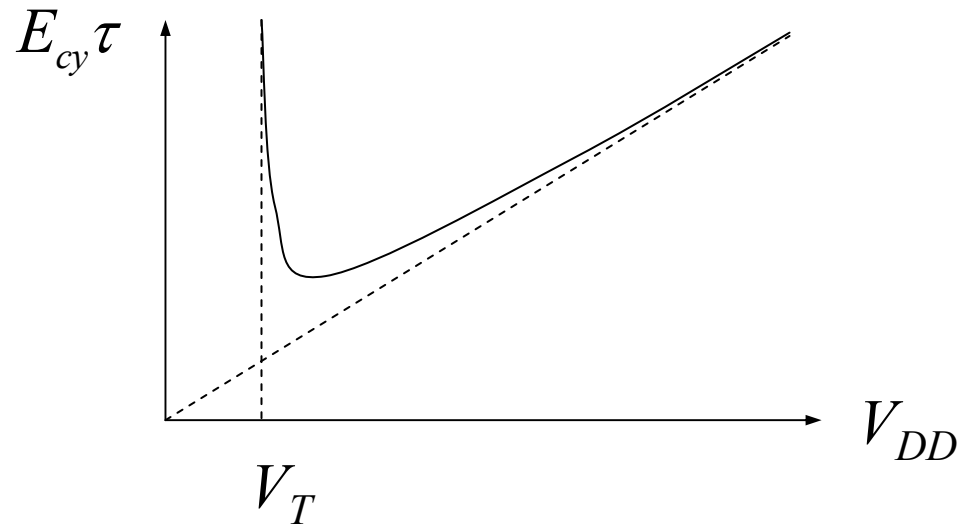
エネルギー・遅延積

$$\tau = \frac{V_{DD} C}{I_{DSS}} = \frac{2C}{\beta} \frac{V_{DD}}{(V_{DD} - V_T)^2}$$

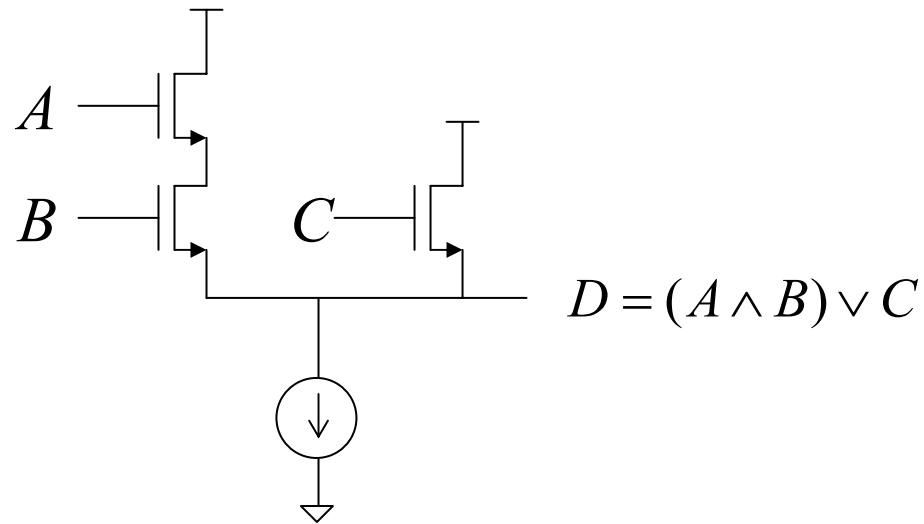
$$E_{cy} = CV_{DD}^2$$



$$E_{cy} \tau = \frac{2C^2}{\beta} \frac{V_{DD}^3}{(V_{DD} - V_T)^2}$$



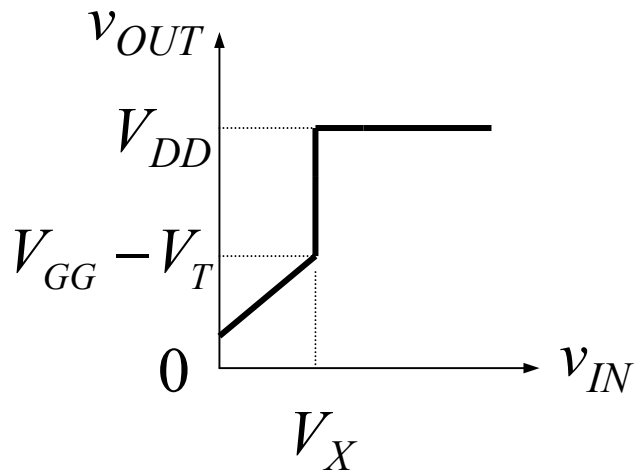
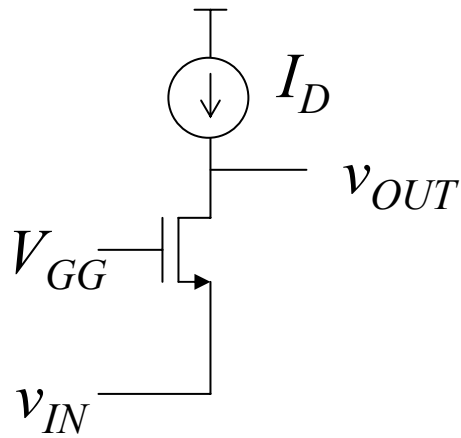
ソース・フォロワ ロジック



繋げて回路を組むには、出力をレベル・シフトする必要がある

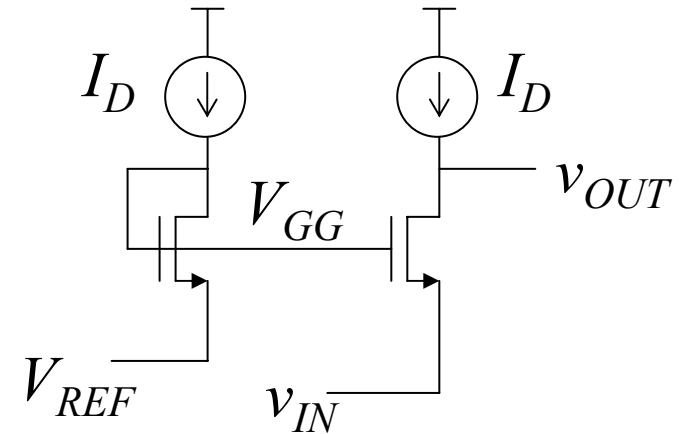
他の回路との組み合わせとして使う

カスコード・ロジック



$$V_X = V_{GG} - V_T - \sqrt{\frac{2I_D}{\beta}}$$

レプリカ・バイアス回路



$v_{IN} = V_{REF}$ のとき $v_{OUT} = V_{GG}$

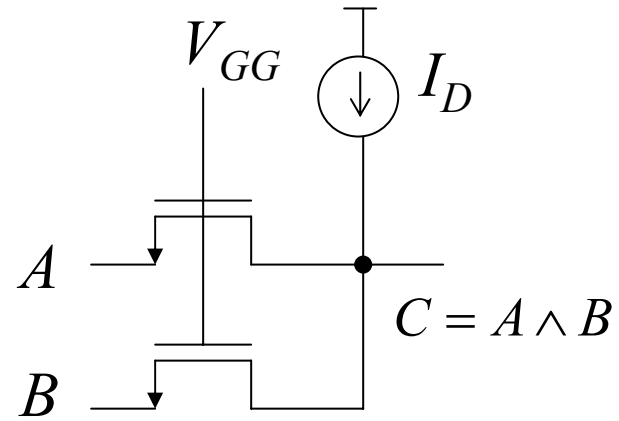
このとき左図より $v_{IN} = V_X$ が成り立つ

よって

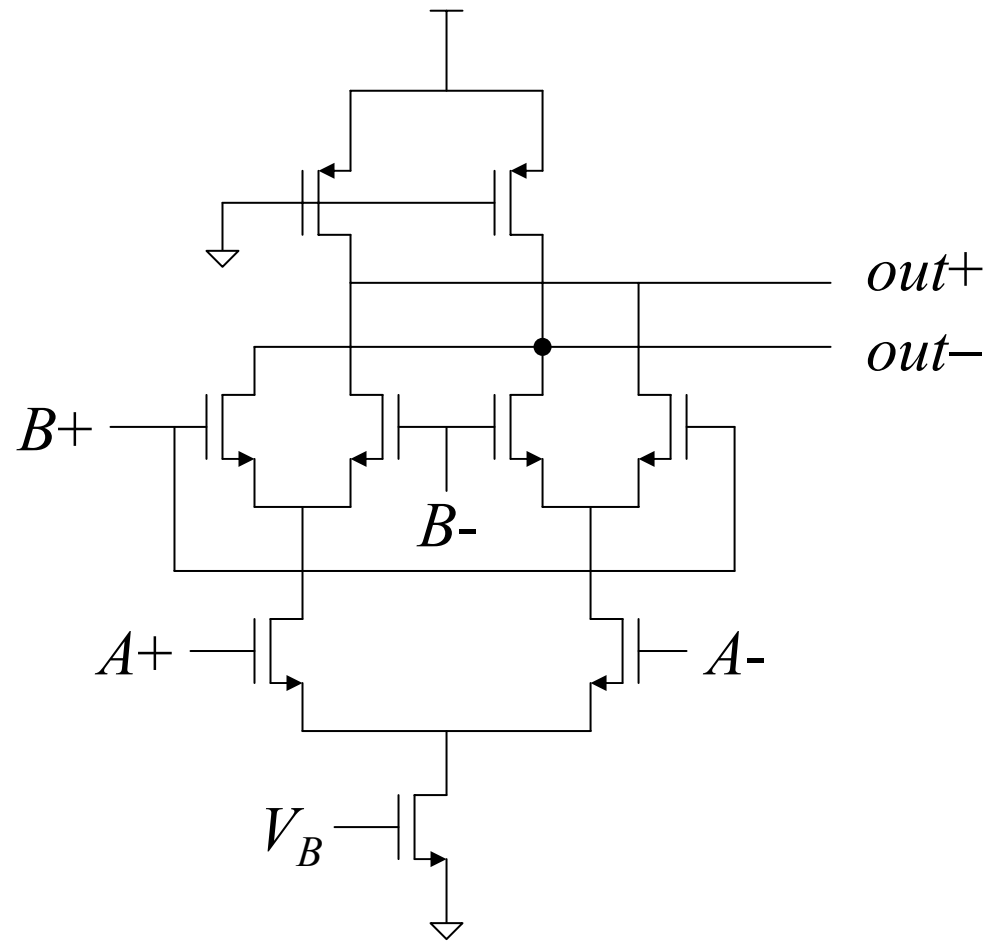
$$V_X = v_{REF}$$

ロジックの閾値 V_X を外部電圧 V_{REF} で設定できる

カスコード・ロジック



Source Coupled FET Logic



XOR