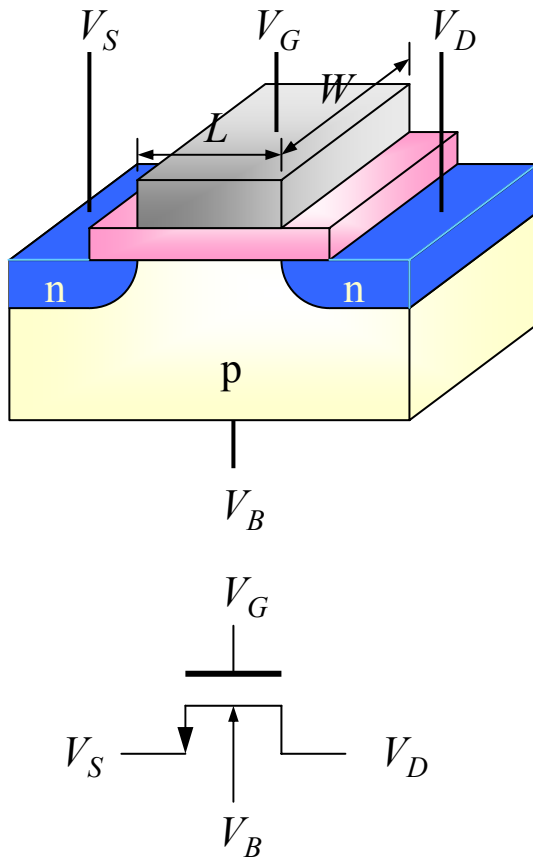


# 情報デバイス工学特論

## 第3回

### CMOSFETの更に進んだ特性

# nMOSFET 基本直流特性



線形領域  $V_{GS} - V_T > V_{DS}$

$$I_D = \beta \left[ (V_{GS} - V_T) V_{DS} - \frac{1}{2} V_{DS}^2 \right]$$

飽和領域  $V_{DS} > V_{GS} - V_T > 0$

$$I_D = \frac{\beta}{2} (V_{GS} - V_T)^2 (1 + \lambda V_{DS})$$

理想トランジスタ・モデル

$$\beta = \frac{W \mu_n C_{ox}}{L}$$

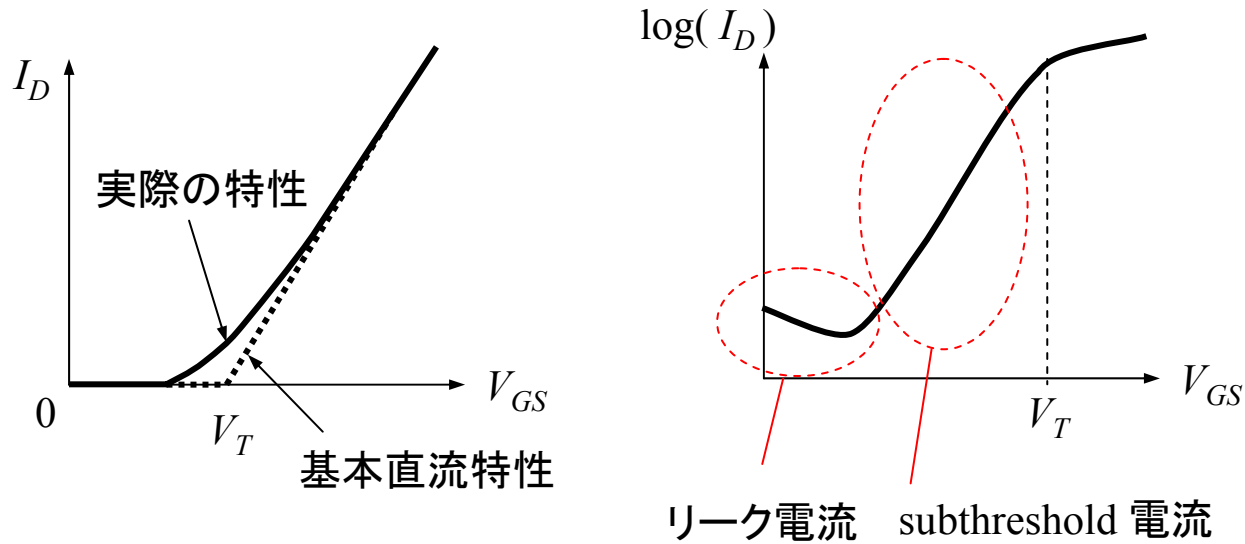
$$V_T = V_{FB} + 2\phi_F + \frac{\sqrt{2qN_A \epsilon_S (2\phi_F - V_{BS})}}{C_{ox}}$$

$$V_{FB} = \Phi_M - \chi - \phi_F - \frac{E_C - E_{Fi}}{q}$$

ソース・ドレインの内、電位の低い方をソースと定義する

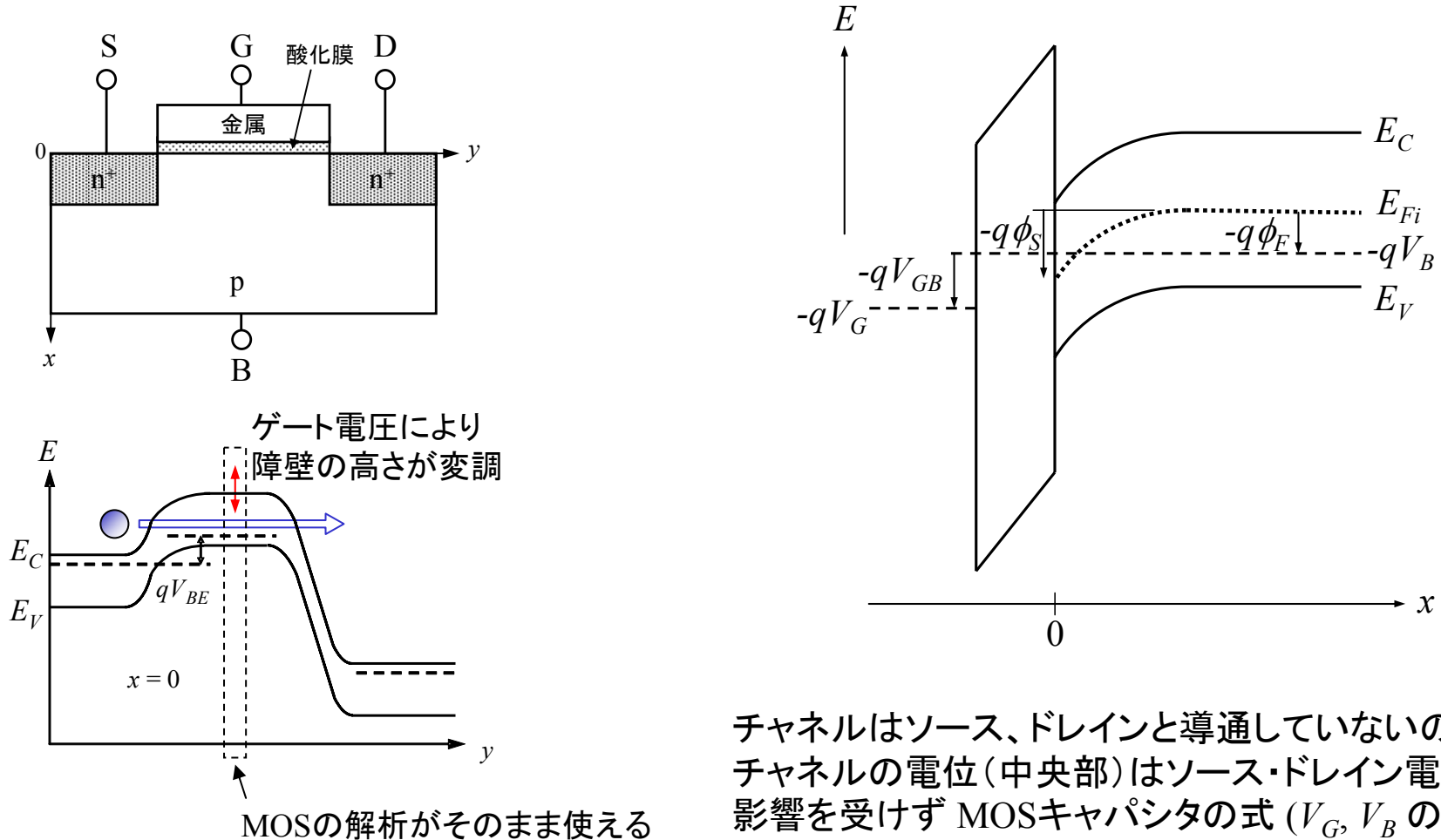
ソース・ドレインは構造上同じであるが動作上では大きく異なる

$V_{GS} - V_T < 0$  でわずかながら電流が流れる



# $V_{GS} - V_T < 0$ サブスレッショルド電流

ゲート直下、ソースからドレインまで  
どこにも反転層が形成されていない状態



チャンネルはソース、ドレインと導通していないので、  
チャンネルの電位(中央部)はソース・ドレイン電圧の  
影響を受けず MOSキャパシタの式 ( $V_G, V_B$  のみ)  
で決まる

# $V_{GS} - V_T < 0$ サブスレッショルド電流

ドレイン電流は伝導電子の拡散により決まる  
動作は npn トランジスタ

npn コレクタ電流

$$I_C = A \frac{qD_n n_i^2}{W_B N_A} \left[ \exp\left(\frac{qV_{BE}}{k_B T}\right) - \exp\left(\frac{qV_{BC}}{k_B T}\right) \right]$$

	npn	nMOS
$I_C$	コレクタ電流	ドレイン電流 $I_D$
$A$	接合面積	$W \cdot d$
$W_B$	ベース幅	$L$
$N_A$	ベース濃度	基板濃度 $N_A = n_i \exp(q\phi_F/k_B T)$
$V_{BE}$	ベース・エミッタ間電圧	$\phi_S + V_{BS}$
$V_{BC}$	ベース・コレクタ間電圧	$\phi_S + V_{BD}$

$d$  の評価

$$n = n_i \exp\left(\frac{q}{k_B T}(\phi - \phi_F)\right) \quad \Rightarrow \quad d \cong \frac{\int_0^\infty n dx}{n(x=0)} = -\frac{k_B T \epsilon_S}{q Q_S}$$

$$\phi \cong \phi_S + \frac{d\phi}{dx}\Big|_{x=0} x = \phi_S + \frac{Q_S}{\epsilon_S} x$$

# $V_{GS} - V_T < 0$ サブスレッショルド電流

$$Q_S \cong -\sqrt{2qN_A \epsilon_S \phi_S} \quad , \quad C_S = -\frac{\partial Q_S}{\partial \phi_S} \cong -\frac{Q_S}{2\phi_S} \quad , \quad D_n = \frac{k_B T}{q} \mu_n \quad \text{を用いて}$$

$$I_D = \beta \frac{C_S}{C_{ox}} \left( \frac{k_B T}{q} \right)^2 \exp \left( \frac{q}{k_B T} (\phi_S - 2\phi_F + V_{BS}) \right) \left[ 1 - \exp \left( -\frac{qV_{DS}}{k_B T} \right) \right]$$

閾値付近を考え  $Q_S(\phi_S) \cong Q_S(2\phi_F) - C_S(\phi_S - 2\phi_F)$  と近似する

$$V_{GS} = V_{FB} + \phi_S + V_{BS} - \frac{Q_S}{C_{ox}} \cong V_{T0} + V_{BS} + \left( 1 + \frac{C_S}{C_{ox}} \right) (\phi_S - 2\phi_F)$$

$$n = 1 + \frac{C_S}{C_{ox}} \quad \text{と置くと}$$

$V_{T0}$  は強反転の閾値  $V_T$  において  $V_{BS} = 0$  と置いたもの

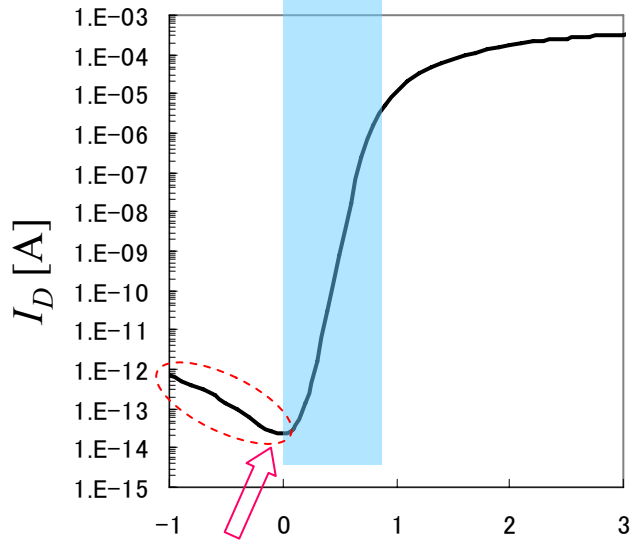
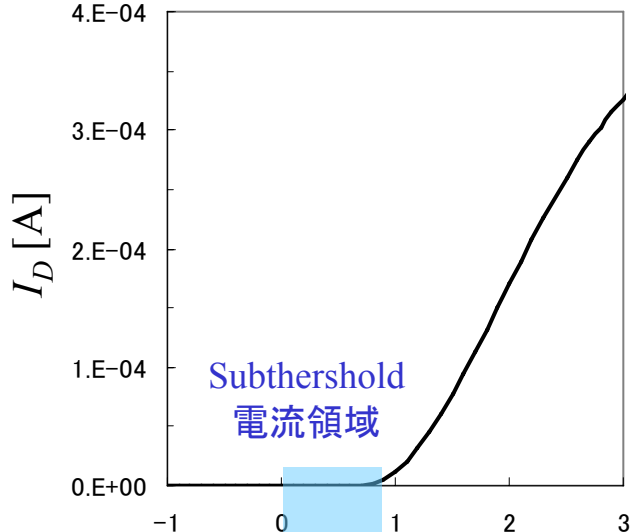
$$I_D = \beta (n-1) \left( \frac{k_B T}{q} \right)^2 \exp \left( \frac{q}{nk_B T} (V_{GS} - V_{T0}) + \frac{n-1}{n} \frac{q}{k_B T} V_{BS} \right) \left[ 1 - \exp \left( -\frac{qV_{DS}}{k_B T} \right) \right]$$

subthreshold 係数

電流が1桁変化するゲート電圧変化

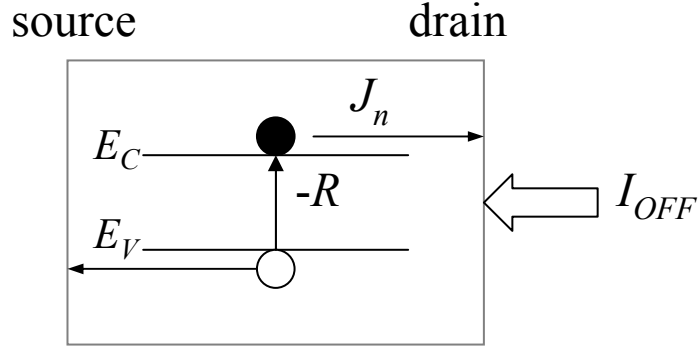
$$s = n \frac{kT}{q} \ln(10)$$

# リーク電流



リーク電流  $V_{GS}$  [V]

電子・正孔対形成による電流



$$\vec{\nabla} \cdot \vec{J}_n = qR$$

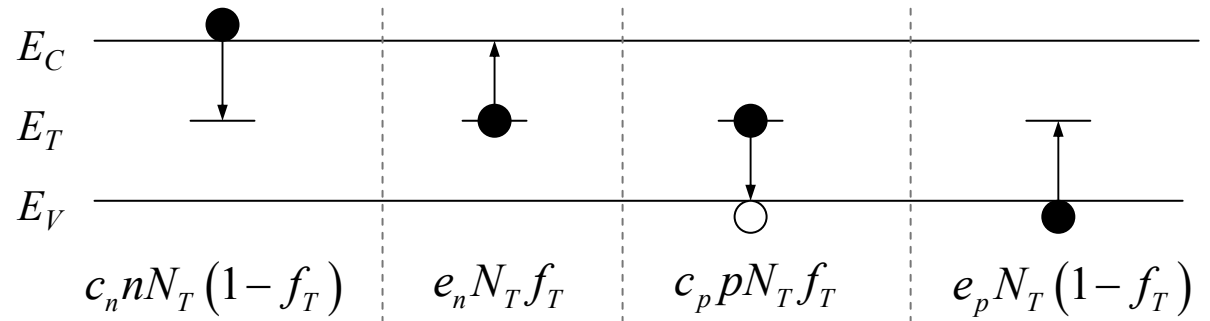
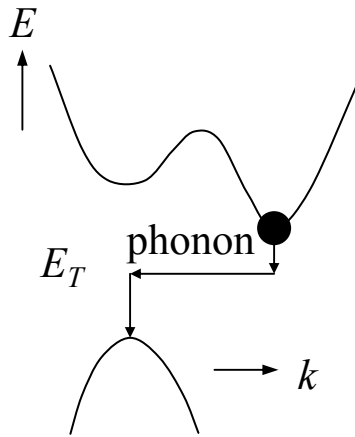


$$I_{OFF} \propto -q \int R dV$$

$R$  : 単位体積・単位時間あたりの再結合数

$-R$  : 単位体積・単位時間あたりの対形成数

# Shockley-Read-Hall (SRH) 再結合 3-8



$f_T$ : トラップに電子がある確率  
電子減少率 = 正孔減少率

$$R = c_n n N_T (1 - f_T) - e_n N_T f_T$$

$$= c_p p N_T f_T - e_p N_T (1 - f_T)$$

$$\Downarrow$$

$$f_T = \frac{c_n n + e_p}{c_n n + c_p p + e_n + e_p}$$

$$\Downarrow$$

$$R = N_T \frac{c_n c_p n p - e_n e_p}{c_n n + c_p p + e_n + e_p}$$

熱平衡では更に(詳細釣り合いの法則)

$$c_n n N_T (1 - f(E_T)) = e_n N_T f(E_T)$$

$$c_p p N_T f(E_T) = e_p N_T (1 - f(E_T))$$

$$f(E) = \frac{1}{e^{(E - E_F)/k_B T} + 1}$$

$$\Downarrow$$

$$e_n = c_n n_i e^{(E_T - E_{Fi})/k_B T}$$

$$e_p = c_p n_i e^{-(E_T - E_{Fi})/k_B T}$$

$$\Downarrow$$

$$R = \frac{np - n_i^2}{\tau_p \left( n + n_i e^{(E_T - E_{Fi})/k_B T} \right) + \tau_n \left( p + n_i e^{-(E_T - E_{Fi})/k_B T} \right)}$$

$$\tau_p = (N_T c_p)^{-1} \sim 10^{-7} \text{ s} \quad \tau_n = (N_T c_n)^{-1} \sim 10^{-7} \text{ s}$$

$N_T$ : トラップ密度

$$c_n = \sigma_n v_{th}$$

$$c_p = \sigma_p v_{th}$$

$\sigma_n, \sigma_p$ : 散乱断面積

$$v_{th}: \text{熱速度} = \sqrt{3k_B T / m^*}$$



# SRH によるリーク電流 (暗電流)

3-9

OFF 領域 ゲート直下すべてに空乏層が形成

$$n, p \sim 0$$

$$R = - \frac{n_i N_T}{c_p^{-1} e^{(E_T - E_{Fi})/k_B T} + c_n^{-1} e^{-(E_T - E_{Fi})/k_B T}}$$

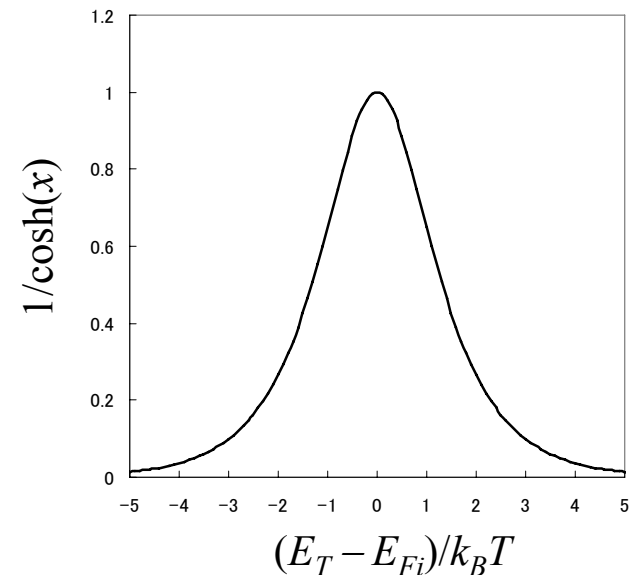
$$I_{OFF} = \int \frac{q n_i N_T}{c_p^{-1} e^{(E_T - E_{Fi})/k_B T} + c_n^{-1} e^{-(E_T - E_{Fi})/k_B T}} dV$$

$$c_n \sim c_p$$

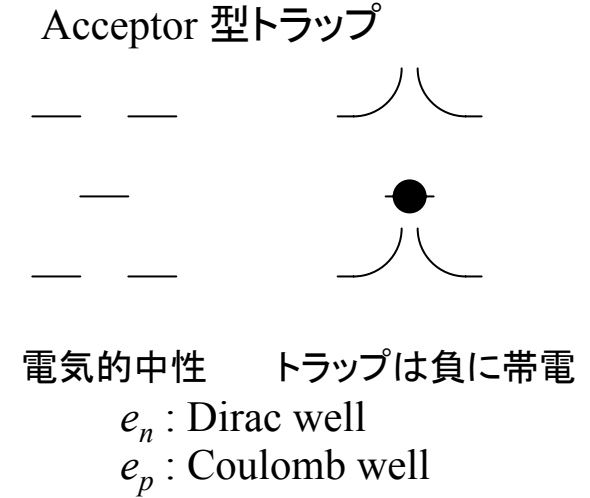
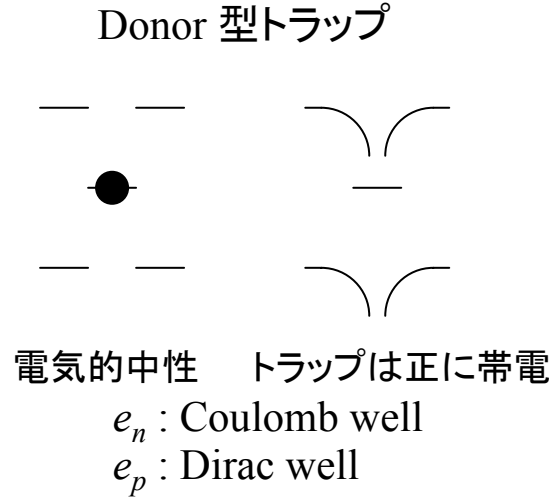
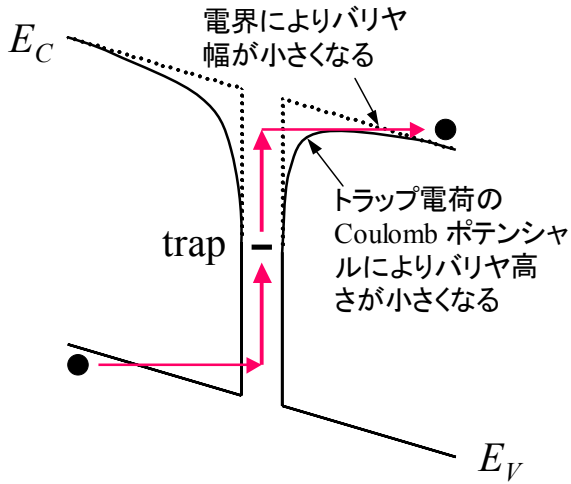
$$I_{OFF} = \int \frac{q c n_i N_T}{2 \cosh \left[ (E_T - E_{Fi})/k_B T \right]} dV$$

**バンドギャップ中央** ( $E_{Fi}$ ) における  
トラップの寄与が最も大きい

深い準位 (deep level)



# 電界効果 (trap-assisted band-to-band tunneling) 3-10



$$R = N_{AT} \frac{np - n_i^2}{\frac{n + n_i e^{(E_T - E_{Fi})/k_B T}}{c_p (\chi_F + \Gamma_p^{Coul})} + \frac{p + n_i e^{-(E_T - E_{Fi})/k_B T}}{c_n (1 + \Gamma_n^{Dirac})}} + N_{DT} \frac{np - n_i^2}{\frac{n + n_i e^{(E_T - E_{Fi})/k_B T}}{c_p (1 + \Gamma_p^{Dirac})} + \frac{p + n_i e^{-(E_T - E_{Fi})/k_B T}}{c_n (\chi_F + \Gamma_n^{Coul})}}$$

$$\chi_F = e^{\Delta E_{fp}/k_B T} \quad \Delta E_{fp} = q\sqrt{qF/\pi\epsilon_S}$$

$$\Gamma(a, b, K) = a \int_b^1 \exp\left[au - Ku^{3/2} \left\{1 - (b/u)^{5/3}\right\}\right] du$$

$$\Gamma_n^{Coul} = \Gamma\left(\frac{\Delta E_n}{kT}, \frac{\Delta E_{fp}}{\Delta E_n}, \frac{4\sqrt{2m_n^* \Delta E_n^3}}{3q\hbar E}\right) \quad \Gamma_p^{Coul} = \Gamma\left(\frac{\Delta E_p}{kT}, \frac{\Delta E_{fp}}{\Delta E_p}, \frac{4\sqrt{2m_p^* \Delta E_p^3}}{3q\hbar F}\right)$$

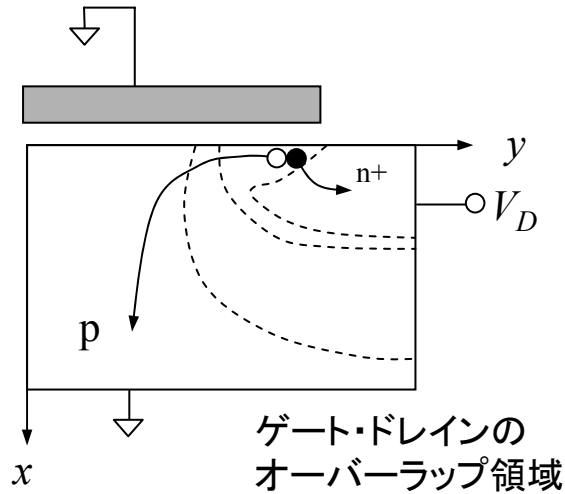
$$\Delta E_n = E_C - E_T$$

$$\Delta E_p = E_T - E_V$$

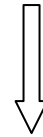
$$\Gamma_n^{Dirac} = \Gamma\left(\frac{\Delta E_n}{kT}, 0, \frac{4\sqrt{2m_n^* \Delta E_n^3}}{3q\hbar E}\right) \quad \Gamma_p^{Dirac} = \Gamma\left(\frac{\Delta E_p}{kT}, 0, \frac{4\sqrt{2m_p^* \Delta E_p^3}}{3q\hbar F}\right)$$

$F$  : 電界の絶対値 (エネルギー  $E$  と区別するため  $F$  を使う)

# バンド間トンネル



電界小 : トラップを介したバンド間トンネル  
(trap-assisted band-to-band tunneling)



電界大 : バンド間トンネル  
(band-to-band tunneling)

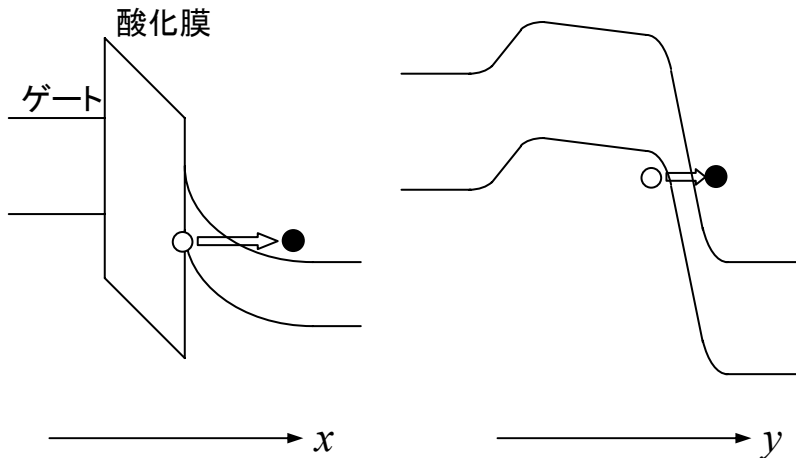
Si : 間接遷移 フォノン過程が伴う

$$R = -BF^\sigma e^{-F_0/F}$$

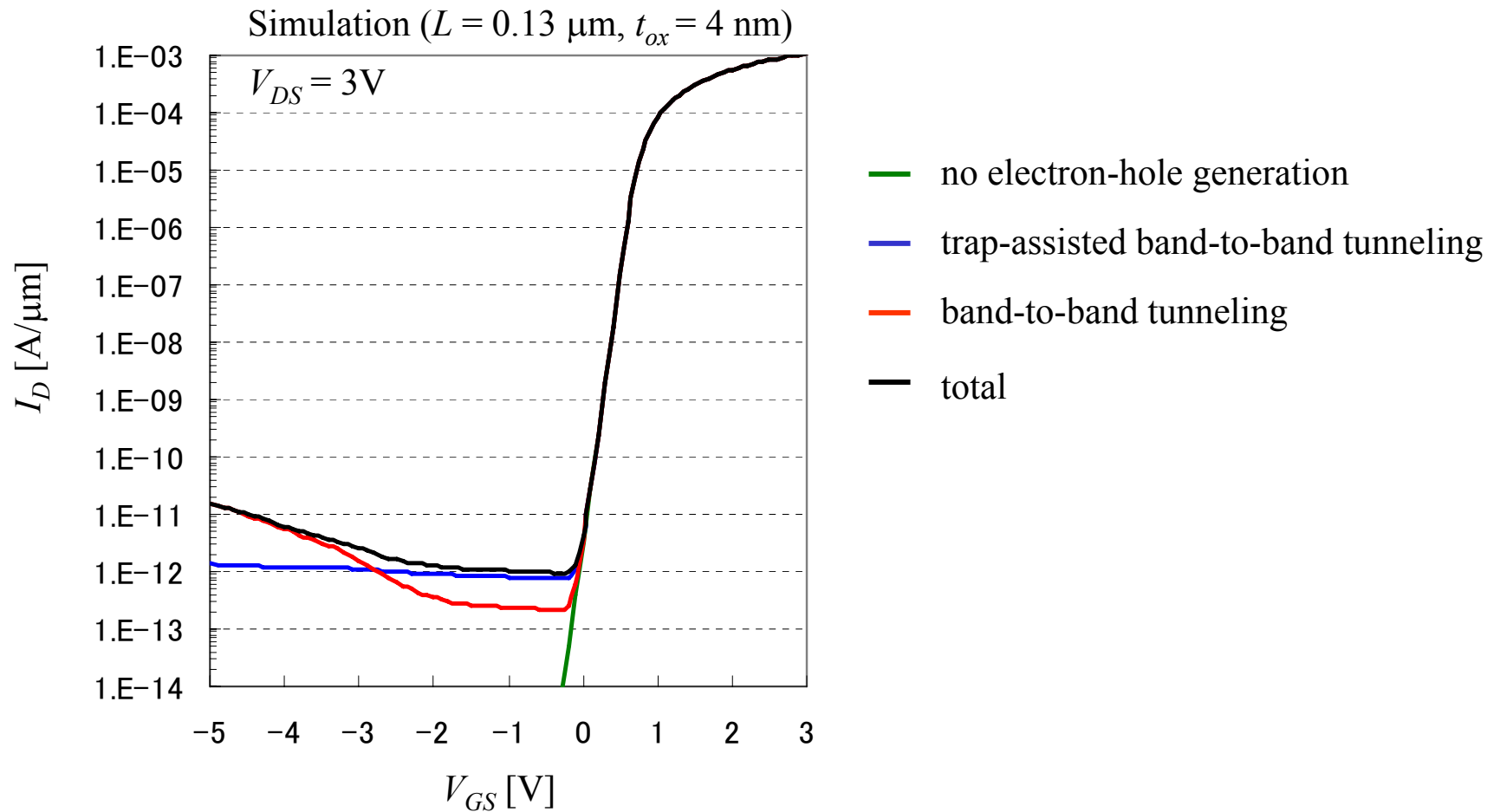
$$\sigma = 5/2$$

$$F_0 = 1.9 \times 10^7 \text{ V/cm}$$

$$B = 4 \times 10^{14} \text{ cm}^{-1/2} \text{V}^{-5/2} \text{s}^{-1}$$

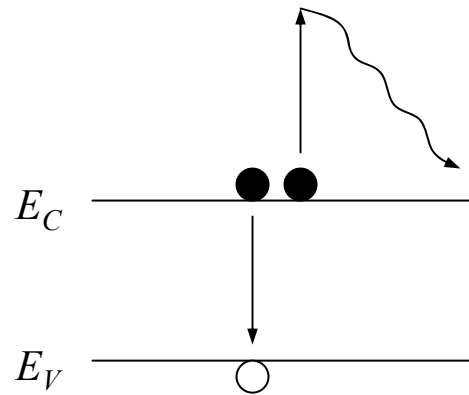


# GIDL (Gate Induced Drain Leakage) 電流



## その他の電子-正孔再結合過程

## Auger 再結合



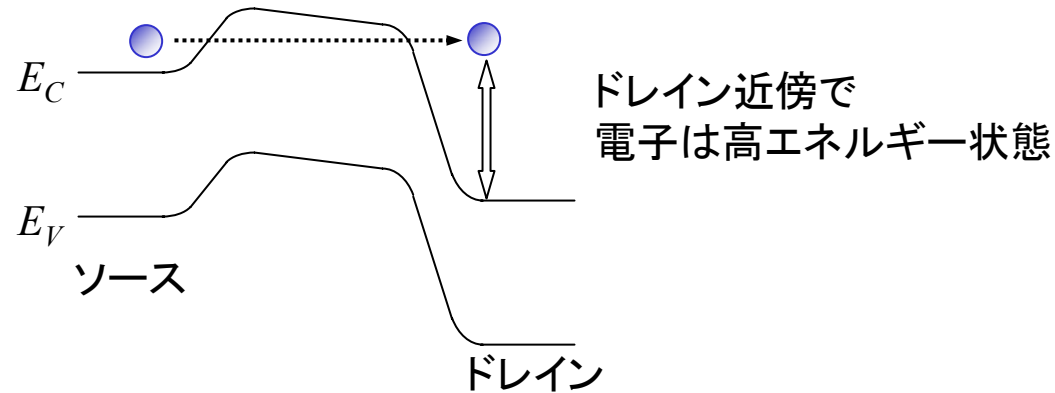
$$R = a_n n (np - n_i^2) + a_p p (np - n_i^2)$$

↑ ↑ 3キャリア・プロセス

$$a_n \sim 8.3 \times 10^{-32} \text{ cm}^6/\text{s}$$

$$a_p \sim 1.8 \times 10^{-31} \text{ cm}^6/\text{s}$$

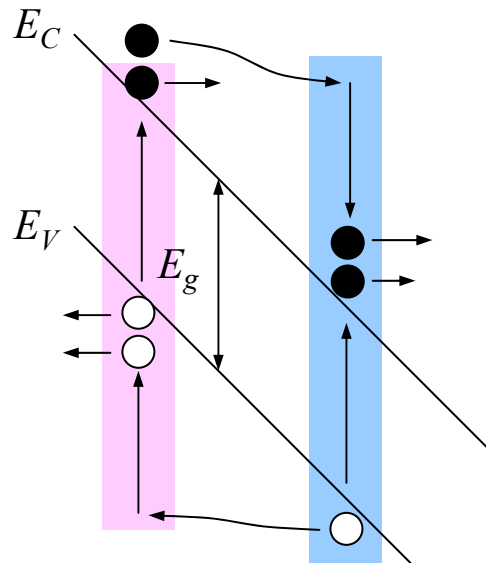
# ホットエレクトロン効果



## 高エネルギーの電子

- ⇒ ゲート酸化膜へのキャリア注入  
Impact ionization
- ⇒ 閾値シフト  
絶縁破壊  
ドレイン-ソース間 breakdown

# Impact Ionization



エネルギーのバランス

電子が電界により加速されてエネルギーを得る

電子が散乱(フォノン)によりエネルギーを失う

電界が強くなると、電子のエネルギーが  $E_g$  (バンドギャップエネルギー) を超え、impact ionization が起こる

伝導電子1個  $\Rightarrow$  伝導電子2個 + 正孔1個

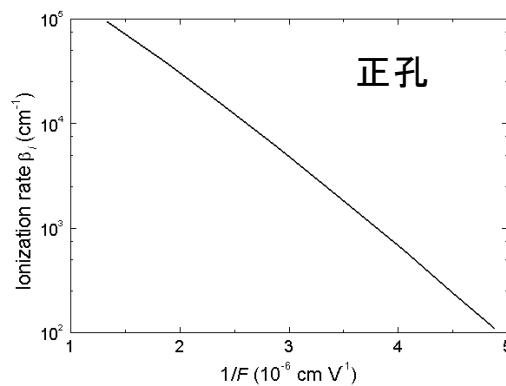
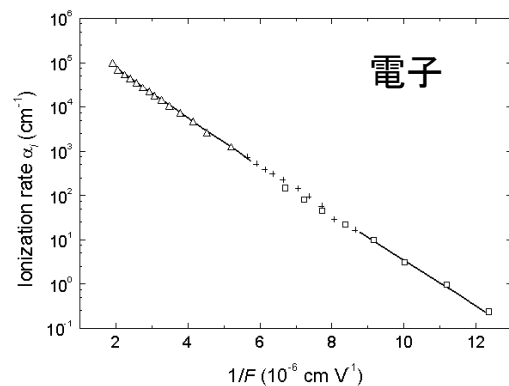
正孔1個  $\Rightarrow$  伝導電子1個 + 正孔2個

電子・正孔対形成率

$$G = \alpha_n J_n + \alpha_p J_p$$

$\alpha_n, \alpha_p$  : impact ionization 係数

$$\alpha_n = a_n e^{-b_n/E} \quad \alpha_p = a_p e^{-b_p/E}$$

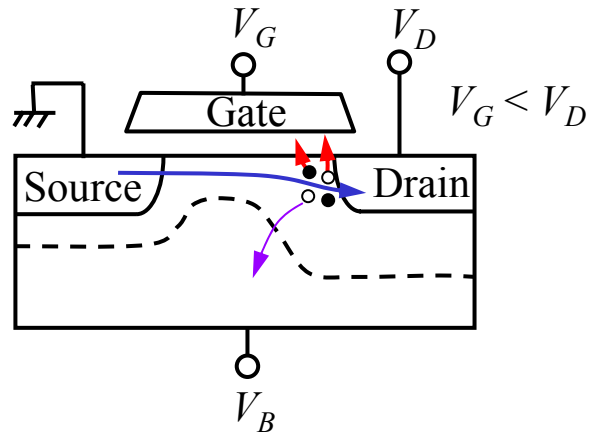


$F$ (V/cm)	$<2.4 \times 10^5$	$\longleftrightarrow$	$5.3 \times 10^5 <$
$a_n$ (cm <sup>-1</sup> )	$2.6 \times 10^6$	$6.2 \times 10^5$	$5.0 \times 10^5$
$b_n$ (V/cm)	$1.43 \times 10^6$	$1.08 \times 10^6$	$9.9 \times 10^6$
$a_p$ (cm <sup>-1</sup> )	$2.0 \times 10^6$		$5.6 \times 10^5$
$b_p$ (V/cm)	$1.97 \times 10^6$		$1.32 \times 10^6$

# ホットエレクトロン注入

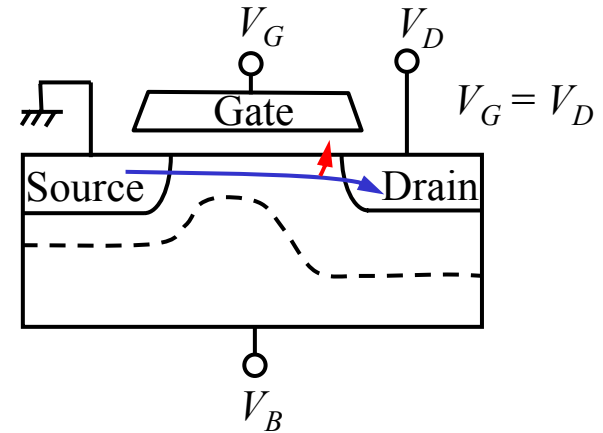
DAHC

Drain Avalanche Hot Carrier injection



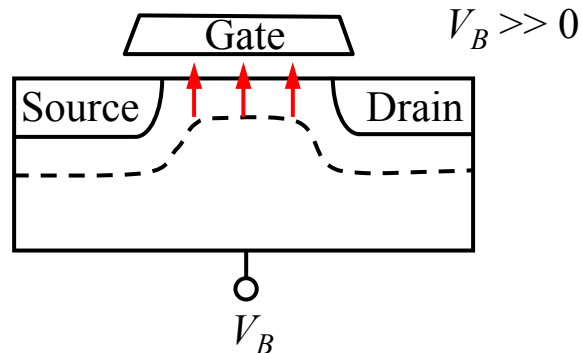
CHE

Channel Hot Electron injection



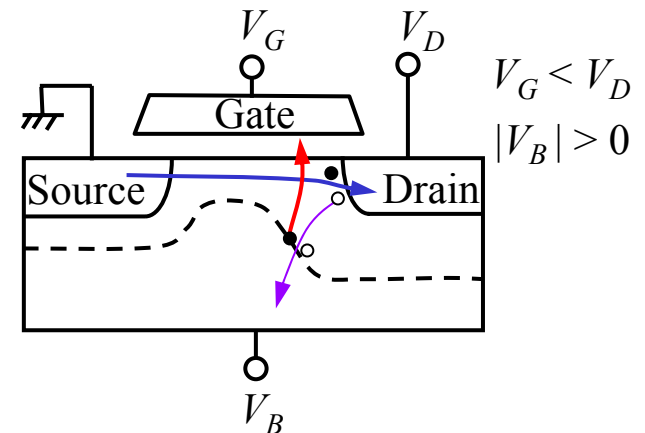
SHE

Substrate Hot Electron injection



SGHE

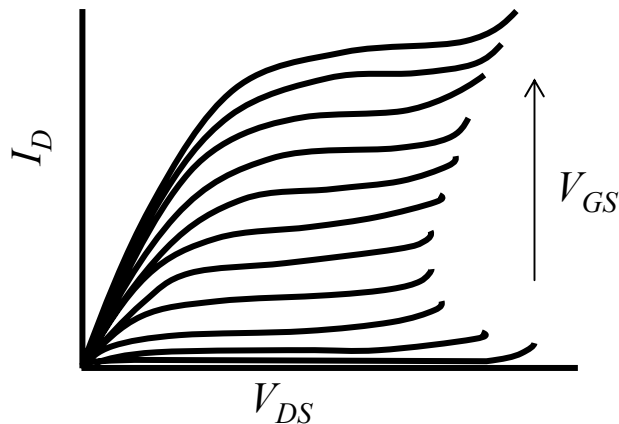
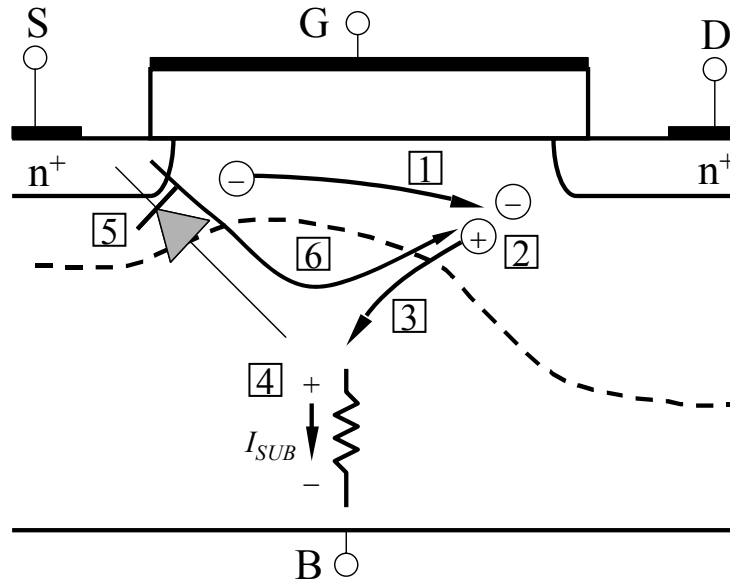
Secondary Generated Hot Electron injection





# 耐圧(Breakdown Voltage)

## Avalanche Breakdown (Bipolar Breakdown)



① チャンネル・ホット・エレクトロン ←



② Impact ionization



③ 正孔が基板に流れる



④ 基板電流により内部基板の電位が上昇



⑤ ソース・基板間ダイオードが順方向バイアスされる

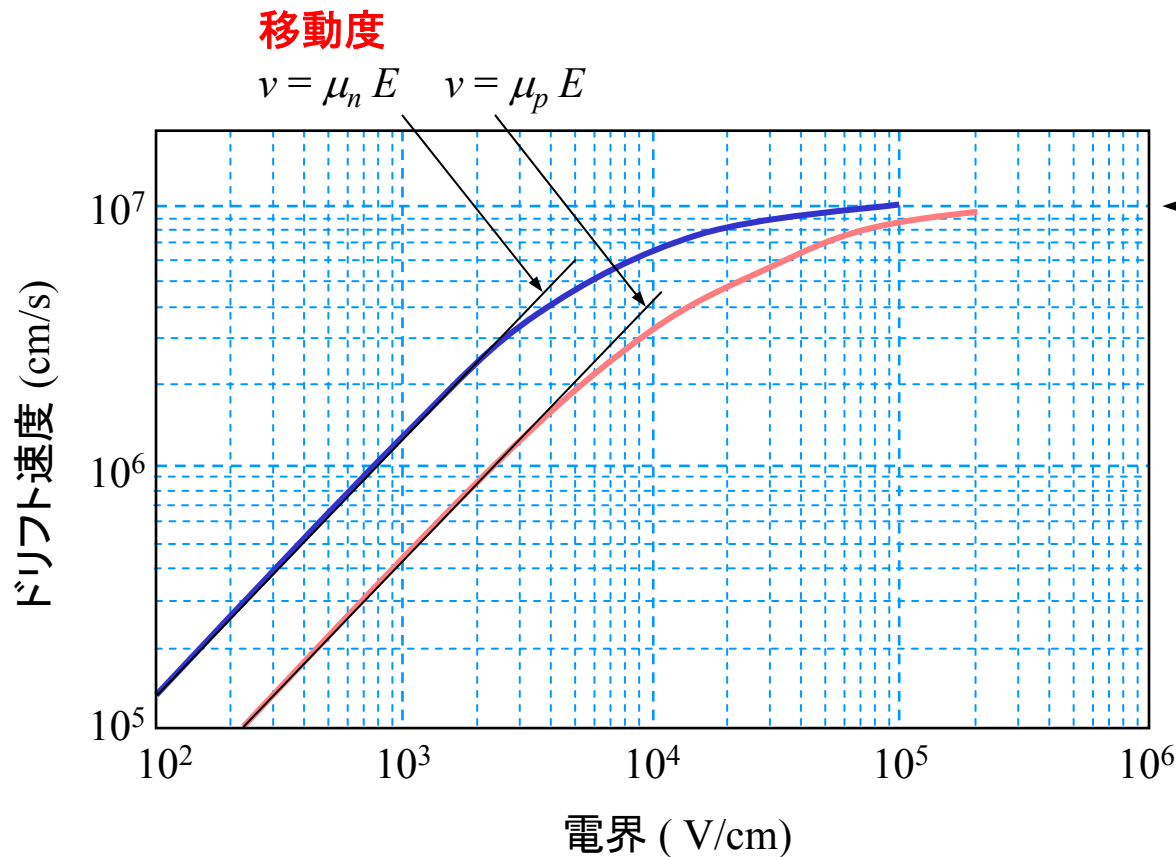


⑥ ダイオードを通して電子が基板に入り、ドレインに引き込まれる



Breakdown

# 飽和速度



飽和速度

$$v_s = \sqrt{\frac{8E_p}{3\pi m^*}}$$

電子エネルギー > 光学フォノン・  
エネルギー ( $E_p \sim 0.063$  eV)  
になると電子が光学フォノンを励  
起して電子速度が一定値に収束

飽和速度を起こす電界

$$E_C \sim 10^4 \text{ V/cm 電子}$$

$$\sim 5 \times 10^4 \text{ V/cm 正孔}$$

電子の方が飽和速度に達しやすい

# 速度飽和を考慮したドレイン電流の式

$$\mu_n(E) = \frac{\mu_{n0}}{1 + \frac{\mu_{n0}}{v_{sat}} E} \quad \left( \begin{array}{ll} \mu_n(E) = \mu_{n0} & E \text{ 小} \\ v = \mu_n(E)E = v_{sat} & E \text{ 大} \end{array} \right)$$

$$I_n = W \mu_n C_{ox} (V_{GS} - V_T - V) \frac{dV}{dy} \quad \Rightarrow \quad I_n = W \frac{\mu_{n0}}{1 + \frac{\mu_{n0}}{v_{sat}} \frac{dV}{dy}} C_{ox} (V_{GS} - V_T - V) \frac{dV}{dy}$$

↓

線形領域

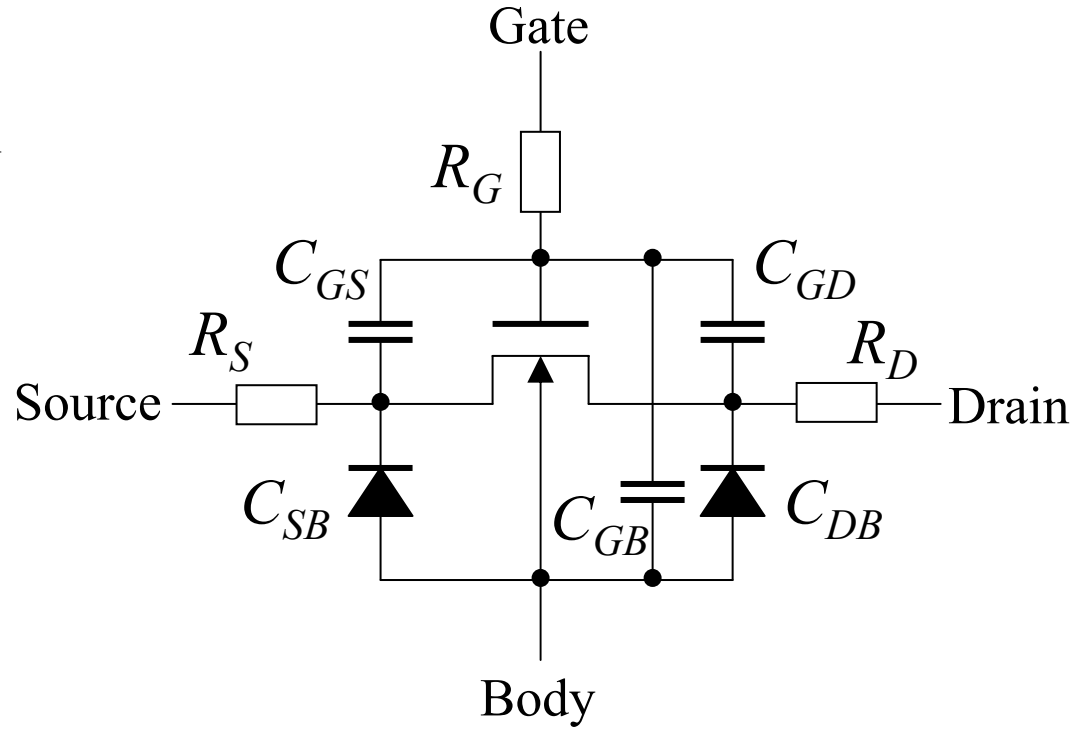
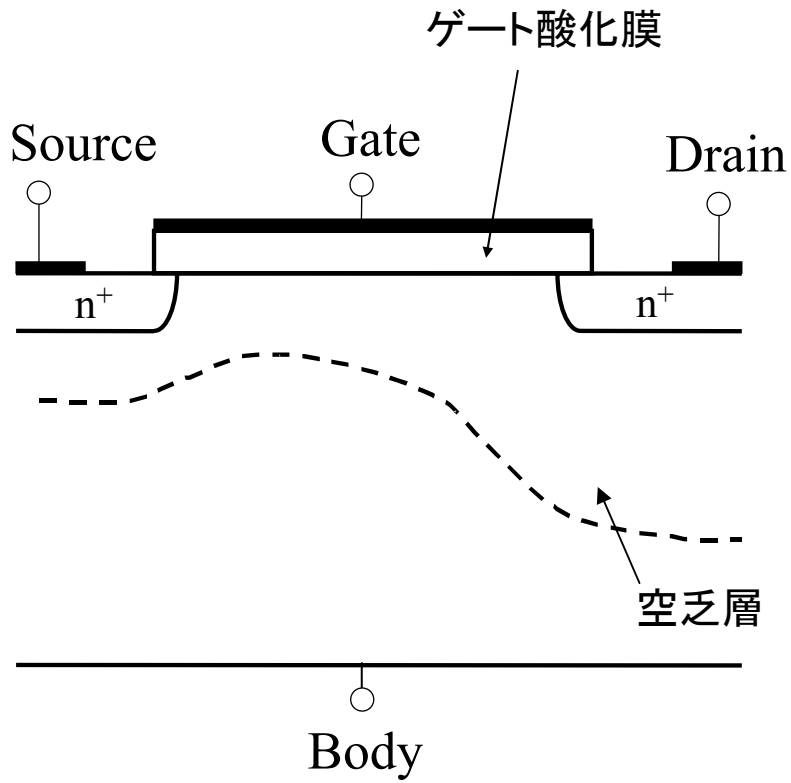
$$I_D = \frac{W \mu_{n0} C_{ox}}{L + \frac{\mu_{n0}}{v_{sat}} V_{DS}} \left[ (V_{GS} - V_T) V_{DS} - \frac{1}{2} V_{DS}^2 \right]$$

飽和領域の電流は  $\frac{\partial I_D}{\partial V_{DS}} = 0$  (最大値) から決まる

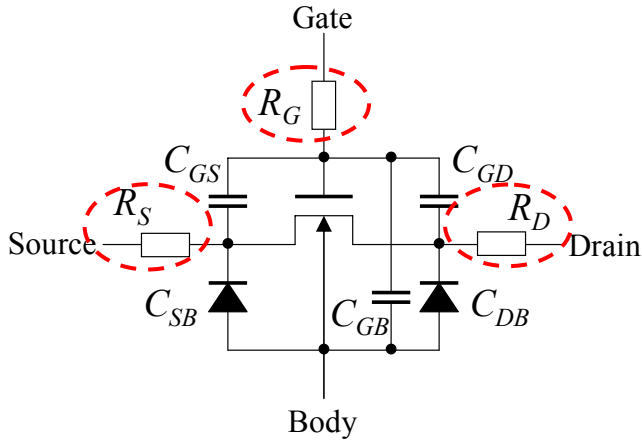
$$V_{Dsat} = \frac{V_{GS} - V_T}{\frac{1}{2} + \frac{1}{2} \sqrt{1 + 2 \frac{\mu_{n0}}{v_{sat}} L (V_{GS} - V_T)}} \cong \frac{V_{GS} - V_T}{1 + \frac{\mu_{n0}}{v_{sat}} L (V_{GS} - V_T)}$$

$$I_D = \frac{1}{2} \frac{W \mu_{n0} C_{ox}}{L} V_{Dsat}^2$$

# 寄生素子



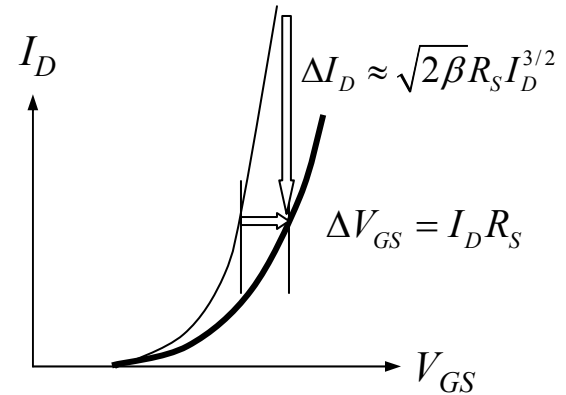
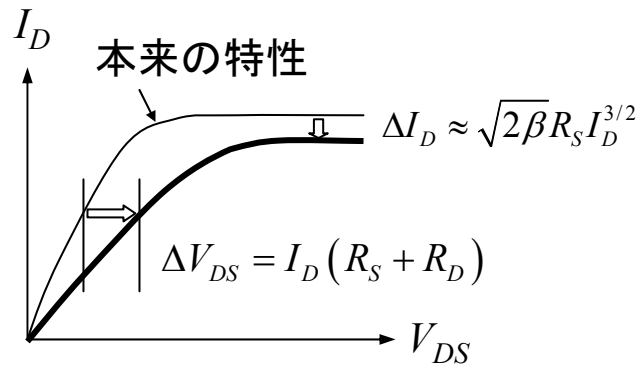
# 寄生抵抗



$$V_{DS} = V'_{DS} + I_D (R_S + R_D)$$

$$V_{GS} = V'_{GS} + I_D R_S$$

↑  
本来のトランジスタにかかる電圧

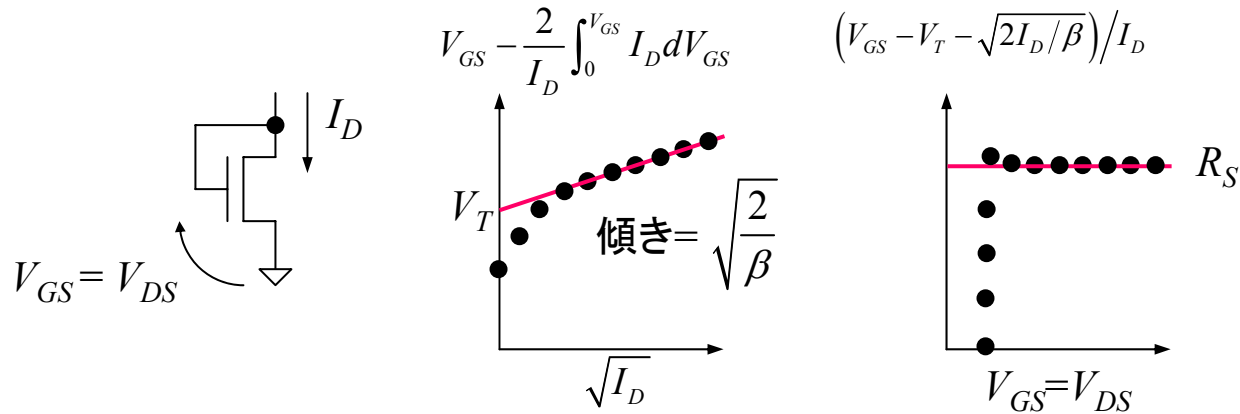


$R_D$  : 線形領域で重要  
 $R_S$  : すべての領域で重要  
 $R_G$  : 交流で重要

# 測定データから寄生抵抗を求める方法

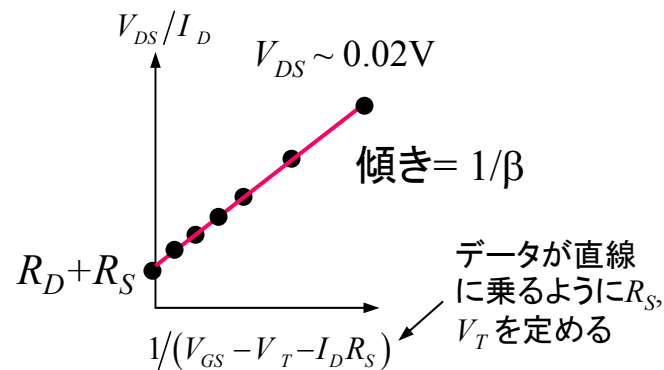
## 飽和領域を用いる方法

F. J. G. Sanchez, et al., *IEEE Trans. Electron Devices*, vol. 49, p. 82, 2002

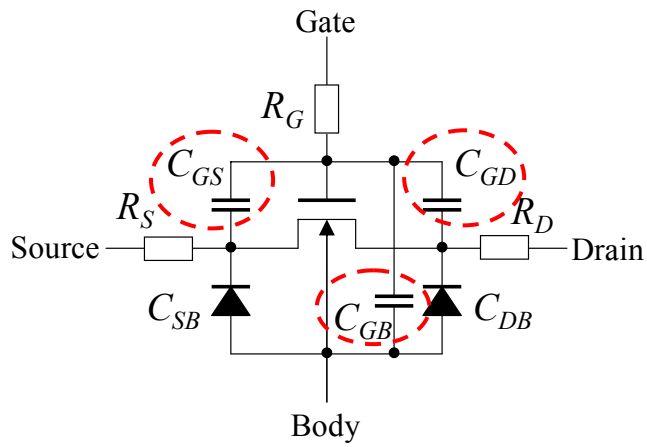


## 線形領域を用いる方法

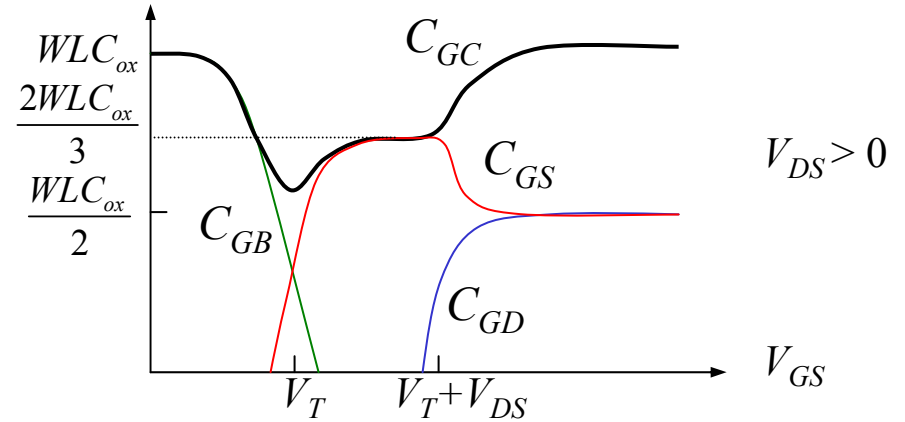
H. Katto, *IEEE Electron Device Lett.* vol. 18, p. 408, 1997



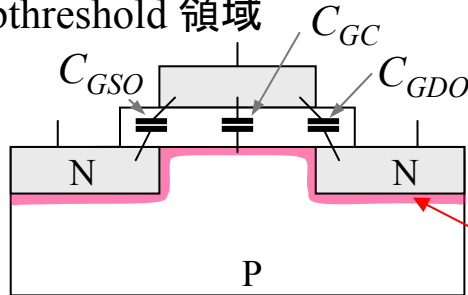
# 寄生容量



$C_{GC}$  (フリッジ容量  $C_{GSO}$ ,  $C_{GDO}$  を除く) の成分

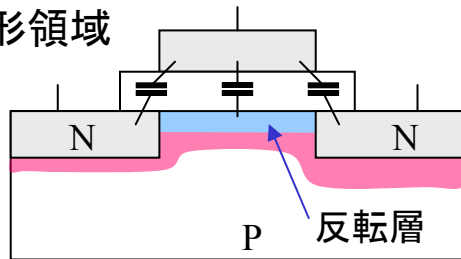


Subthreshold 領域



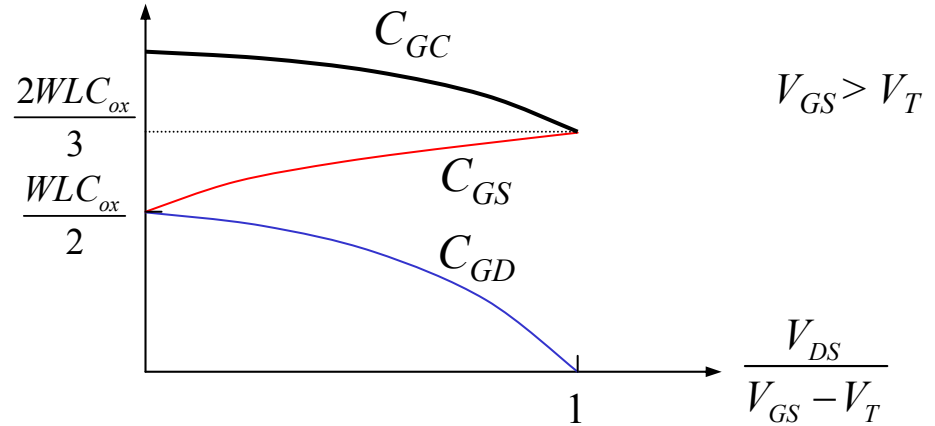
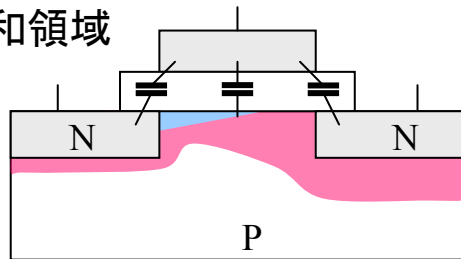
空乏層

線形領域



反転層

飽和領域



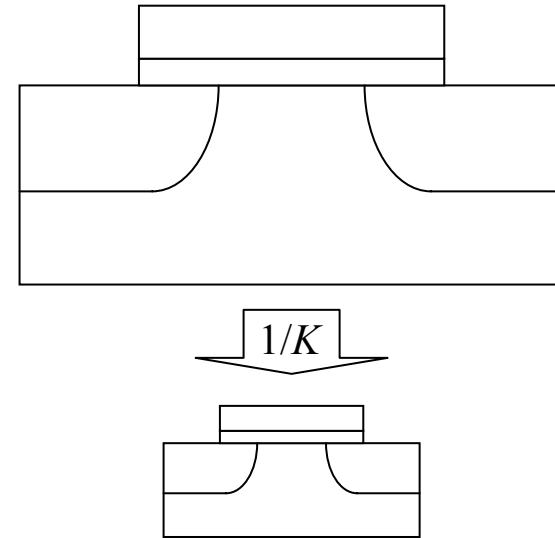
$$C_{GS} = \frac{2}{3} WLC_{ox} \left[ 1 - \left( \frac{1-X}{2-X} \right)^2 \right]$$

$$C_{GD} = \frac{2}{3} WLC_{ox} \left[ 1 - \left( \frac{1}{2-X} \right)^2 \right]$$

$$X = \frac{V_{DS}}{V_{GS} - V_T}$$

# スケーリング

電界 = 一定

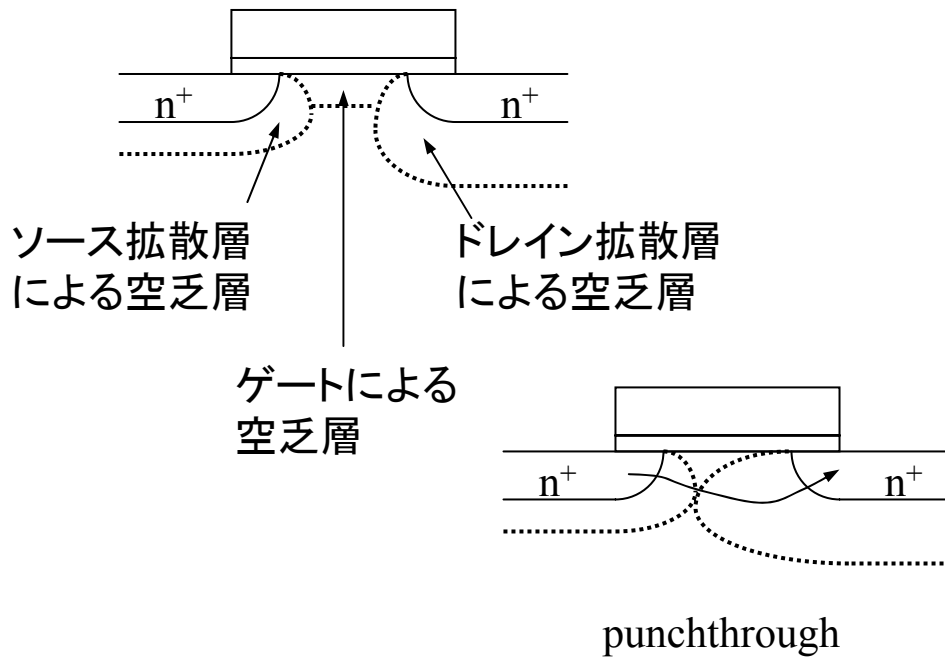
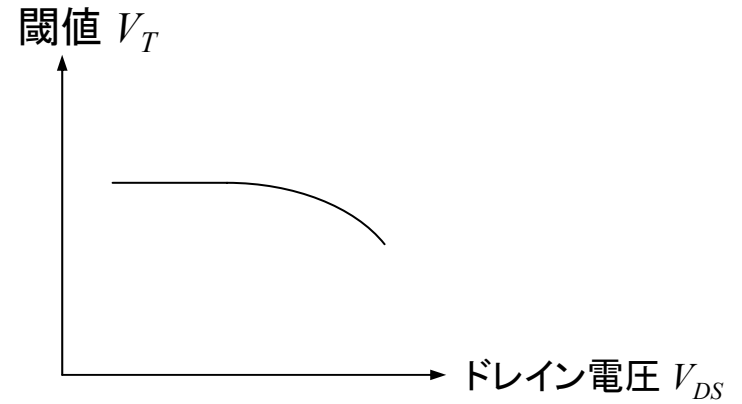
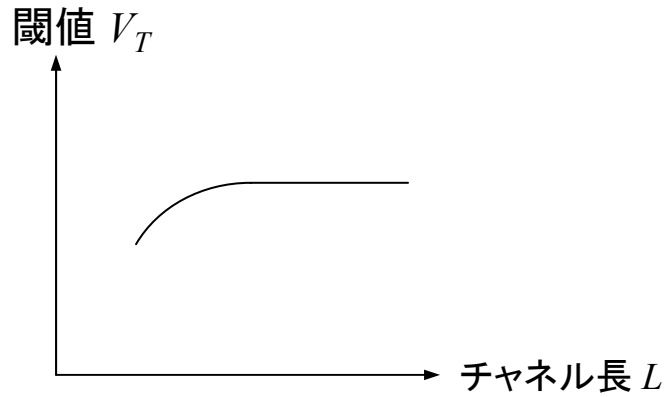


物理量	記号	factor	問題
長さ	$t_{ox}, L, W$	$1/K$	
電圧	$V$	$1/K$	Subthreshold 係数縮小不可
基板濃度	$N_A$	$K$	
素子電流	$I$	$1/K$	
素子容量	$C$	$1/K$	
素子遅延時間	$t_d$	$1/K$	
素子消費電力	$P_d$	$1/K^2$	
抵抗	$R$	$K$	時定数
電流密度	$j$	$K$	electro- migration

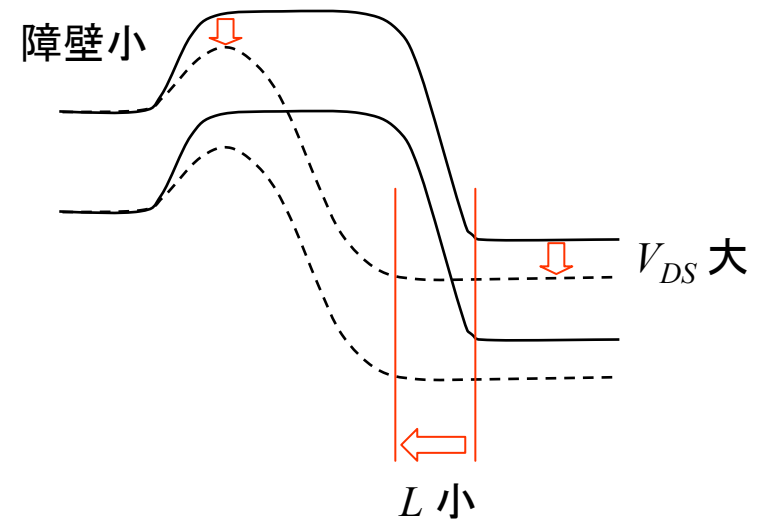
	1970	1980	1990	2000
素子数/チップ	$10^3$	$5 \times 10^4$	$10^6$	$5 \times 10^7$
ゲート遅延 (ns)	25	1	0.05	0.01
電源電圧 (V)	12	5	3.55-5	0.9-1.8
チャンネル長 ( $\mu\text{m}$ )	10	5	1	0.25
$t_{ox}$ (nm)	120	50	15	5



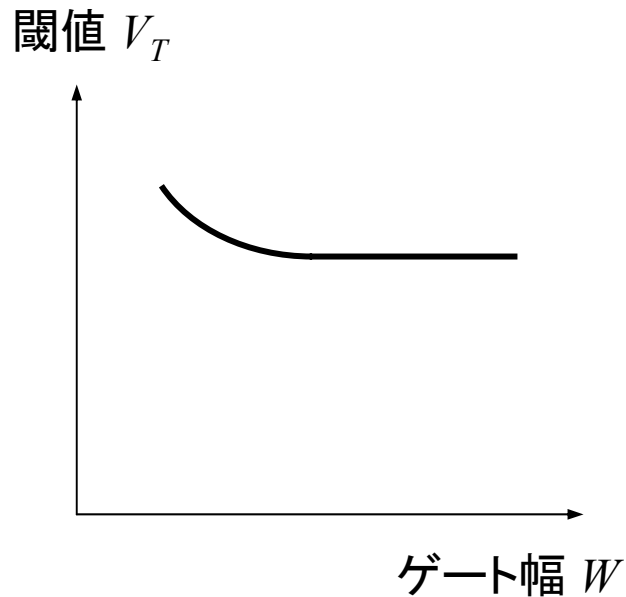
# 短チャネル効果



Drain Induced Barrier Lowering (DIBL)

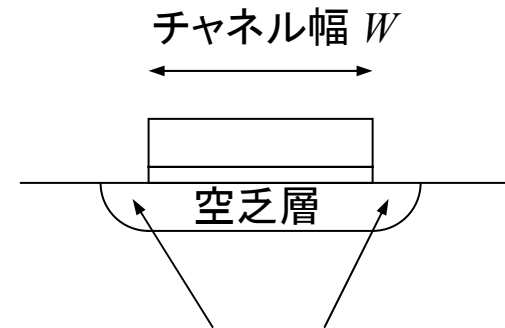


# 狭チャネル効果



$$V_T = V_{fb} + 2\phi_F - \frac{Q_{BT}}{C_{ox}}$$

$Q_{BT}$  は単位面積当たりの(最大)空乏層電荷  
 $Q_{BT} < 0$  (nMOSの場合)

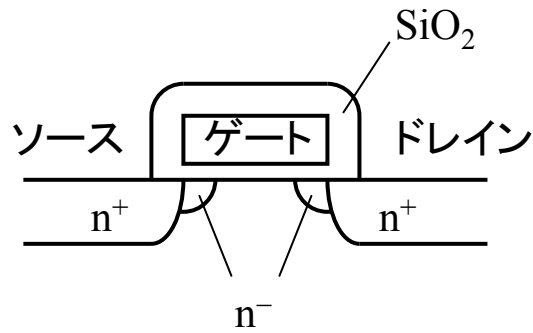


フリンジの空乏層電荷  
 の比重が大きくなる

$$Q_{BT} = \frac{Q_B WL + Q_W L}{WL} = Q_B + \frac{Q_W}{W}$$

$$Q_{BT}, Q_B, Q_W < 0$$

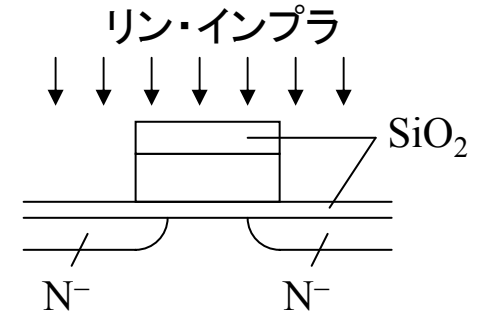
# LDD (lightly doped drain)



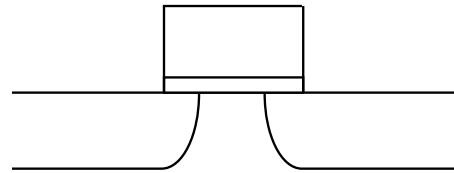
ドレイン側の電界緩和



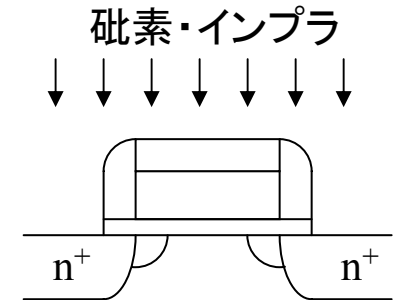
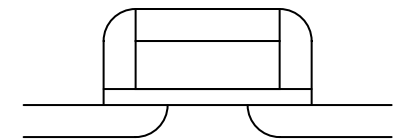
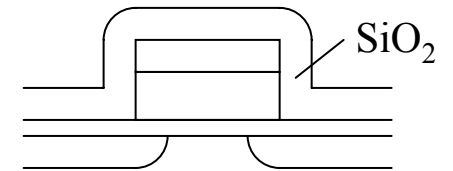
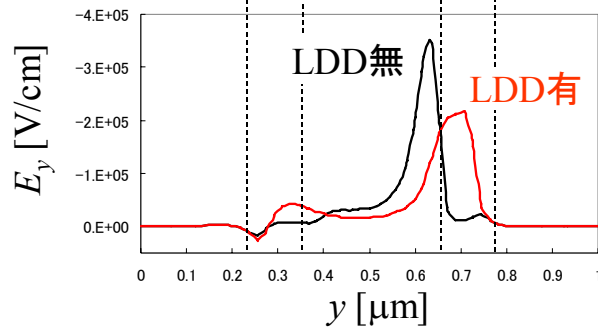
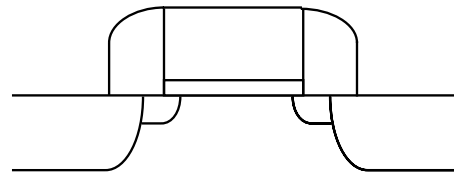
ホットエレクトロン効果の緩和  
GIDL低減



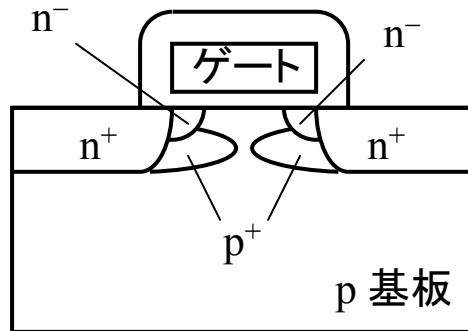
LDD無



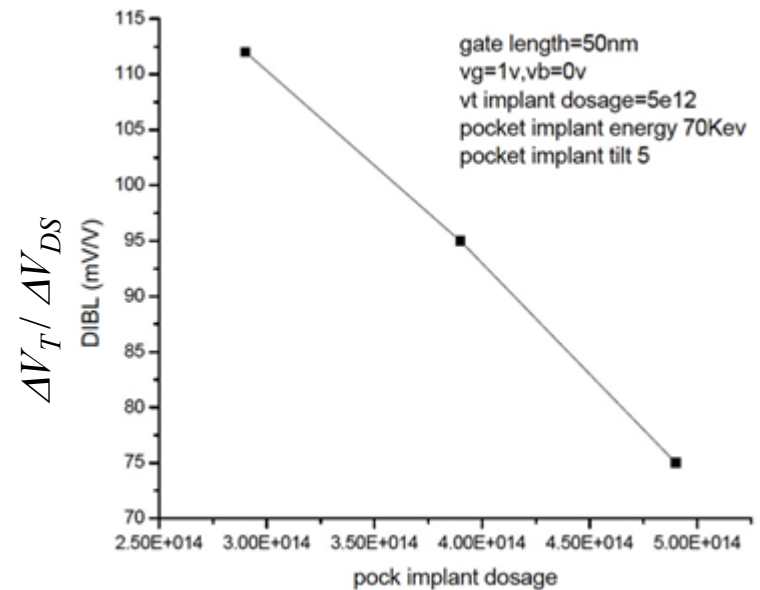
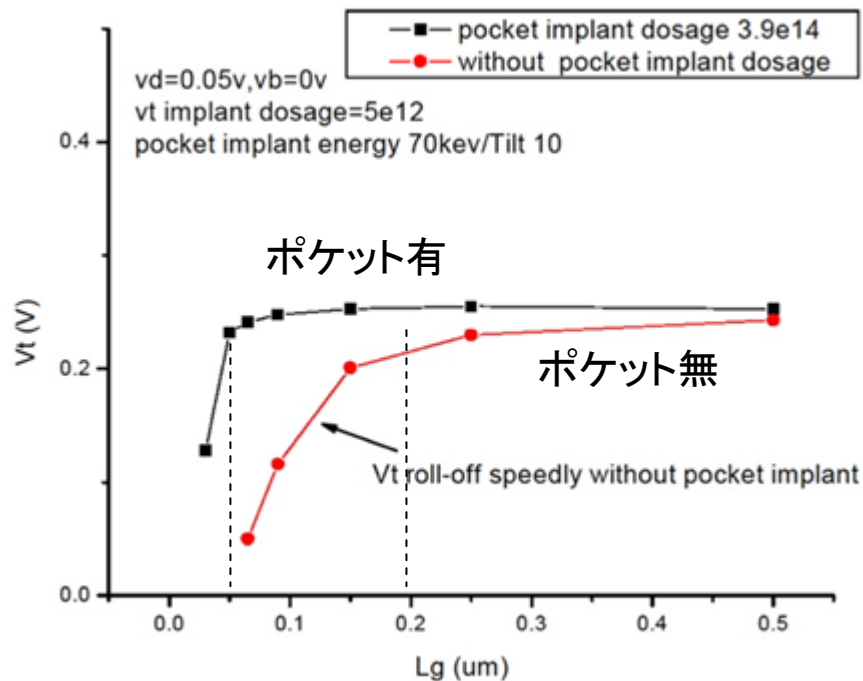
LDD有



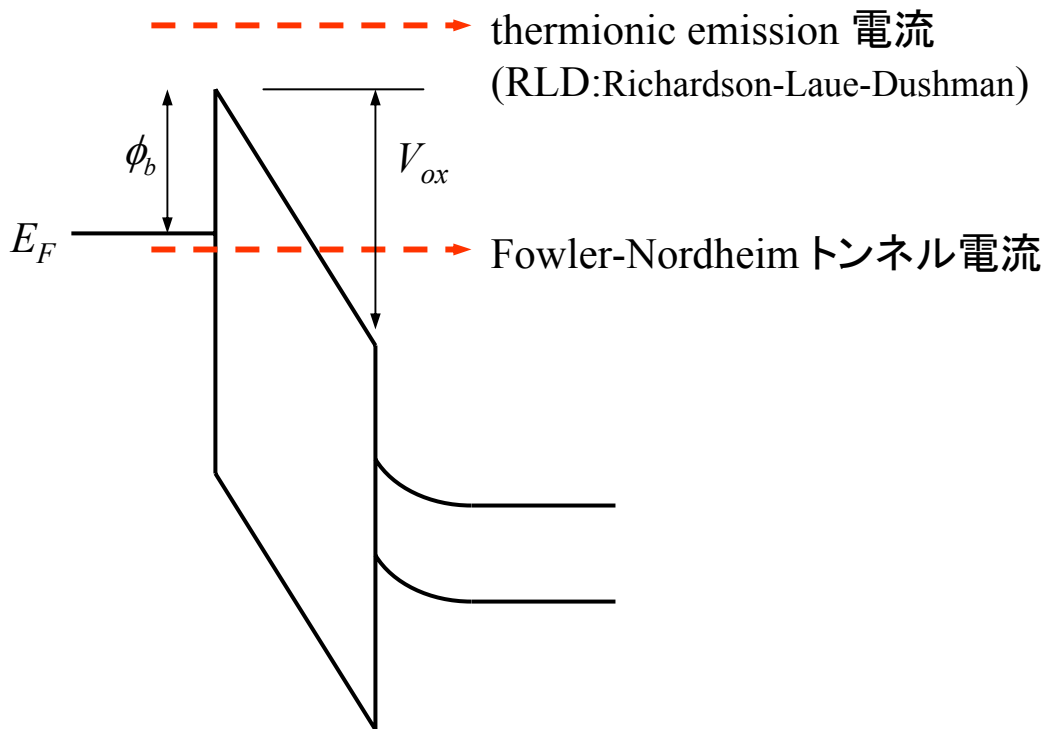
# ポケット (Halo)



ソース・ドレインの近くに  $p^+$  を入れることによりショート・チャンネル効果を抑制



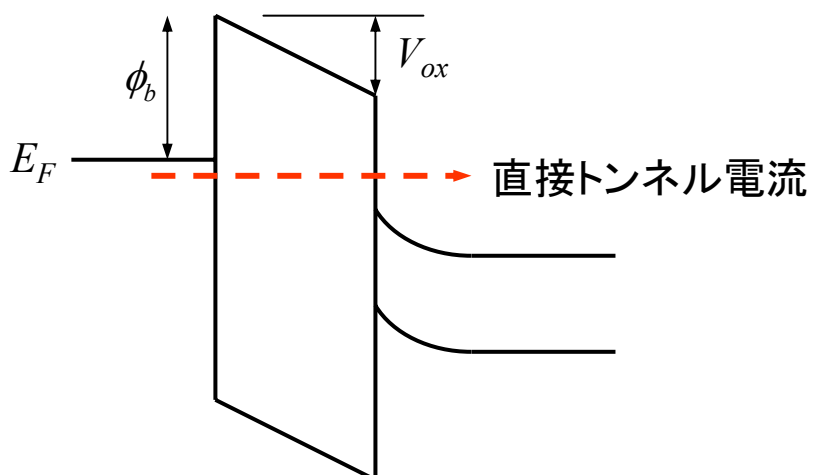
# ゲート酸化膜を通じた伝導



$$j = \frac{mqk_B^2 T^2}{2\pi^2 \hbar^3} e^{-\frac{\phi_b}{k_B T}}$$

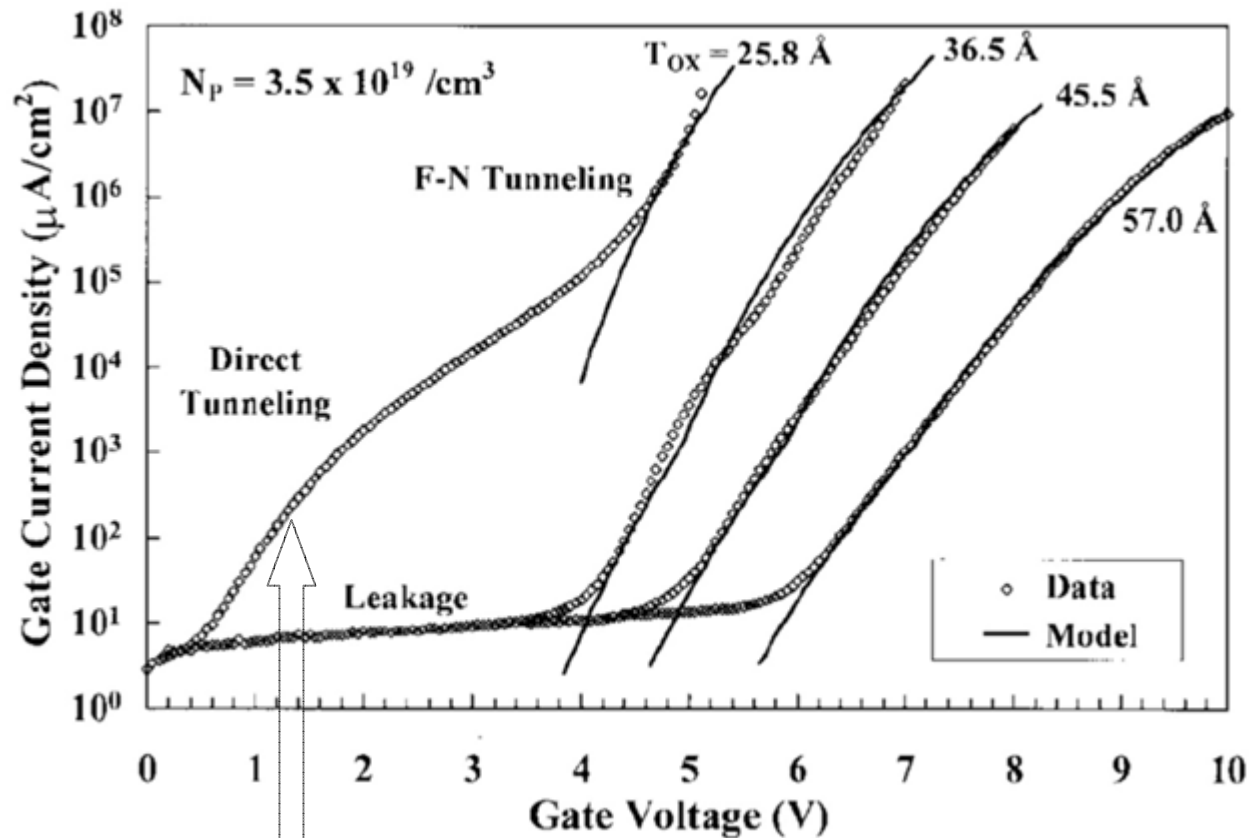
$$j = \frac{q^2 E_{ox}^2}{16\pi^2 \hbar \phi_b} e^{-\frac{4\sqrt{2mq}\phi_b^{3/2}}{3\hbar E_{ox}}}$$

$$E_{ox} = \frac{V_{ox}}{t_{ox}}$$



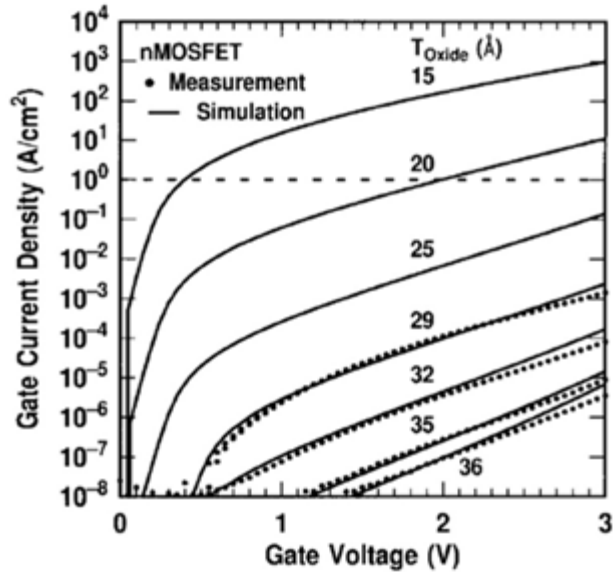
$$j = \frac{q^2 E_{ox}^2}{16\pi^2 \hbar \phi_b} e^{-\frac{4\sqrt{2mq}\phi_b^{3/2}}{3\hbar E_{ox}} \left\{ 1 - (1 - V_{ox}/\phi_b)^{3/2} \right\}}$$

# ゲート電流



$t_{\text{ox}}$  が薄くなると直接トンネル領域に入る

# High-k ゲート絶縁膜



dielectric	permittivity	band gap (eV)	Ec barrier
SiO2	3.9	9	3.5
Si3N4	7	5.3	2.4
Al2O3	9	8.8	2.8
TiO2	80	3.5	0
Ta2O5	26	4.4	0.3
Y2O3	15	6	2.3
La2O3	30	6	2.3
HfO2	25	6	1.5
ZrO2	25	5.8	1.4
ZrSiO4	15	6	1.5
HfSiO4	15	6	1.5

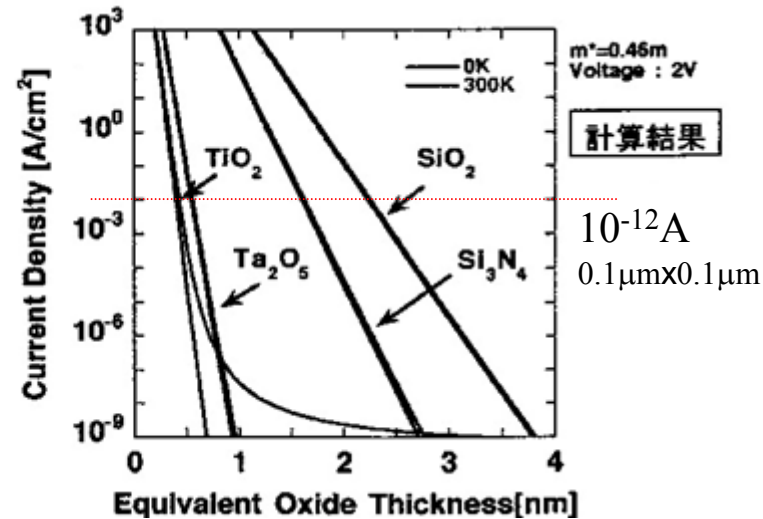
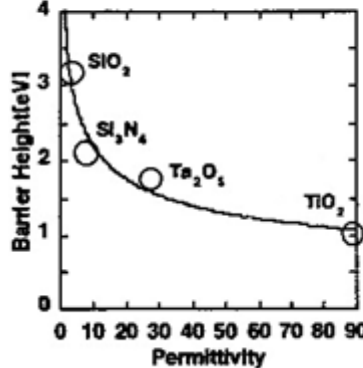
S. H. Lo et al., IEEE Electron Device Lett. Vol. 18, No. 5, p. 209, 1997

ゲート酸化膜厚さ  $t_{ox}$  減少 →  
ゲート・リーク電流(トンネル電流)増大

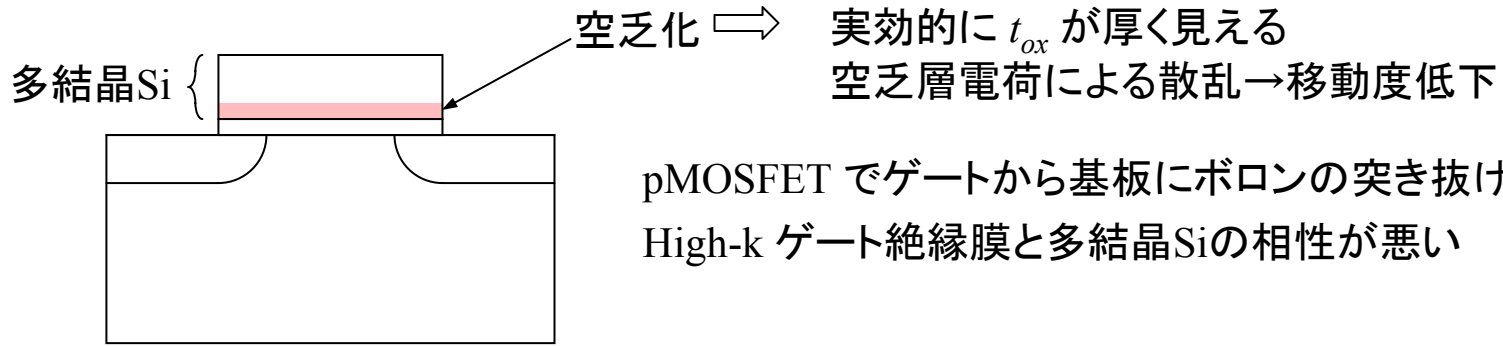
$$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}}$$

$t_{ox}$  を小さくする代わりに誘電率の  
大きな材料を使用

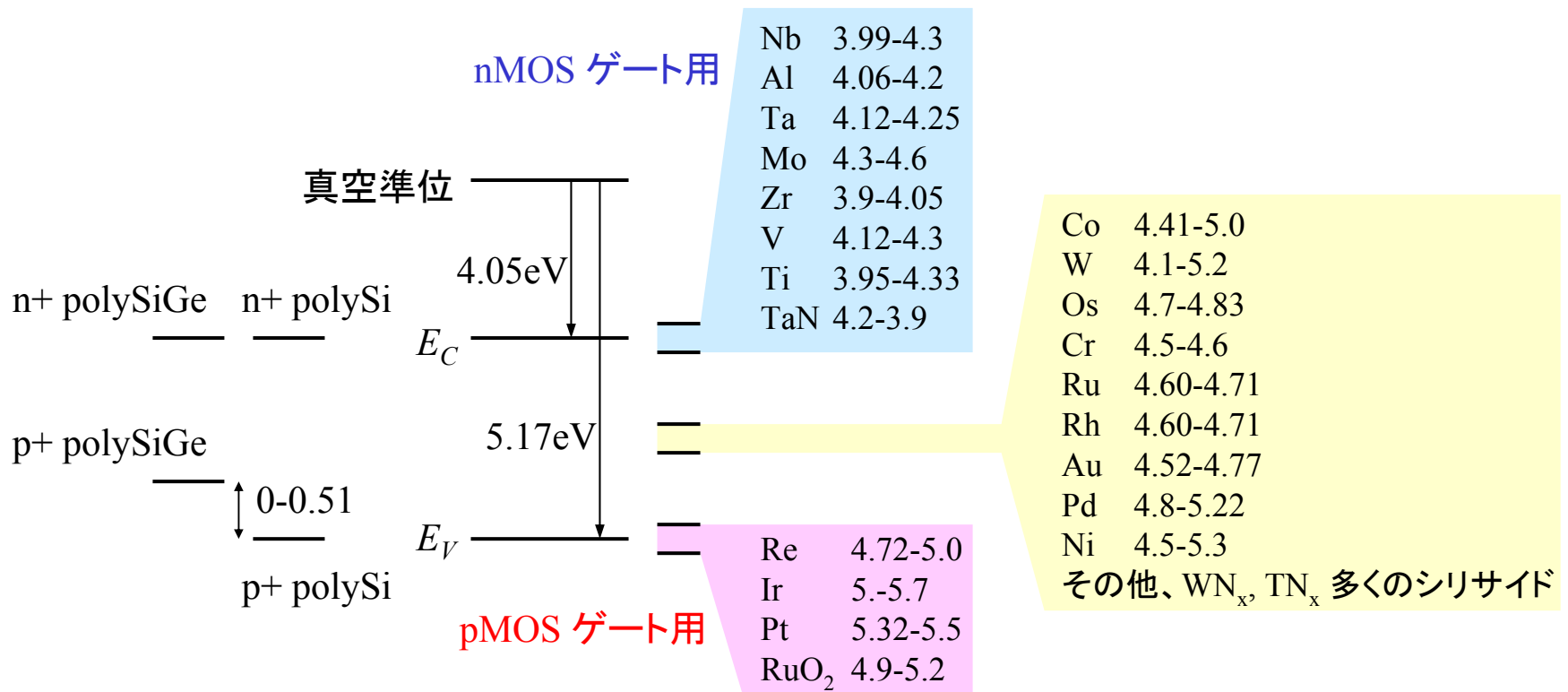
(小池正浩、安田直樹: 1998年春季  
応用物理学関係連合講演会 p.762)



# ゲート材料

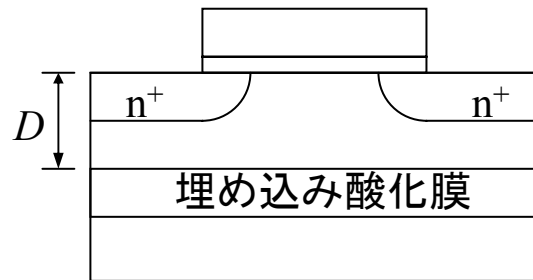


理想的には金属ゲート





# SOI (silicon on insulator)



$$D < W_{max} = \text{最大空乏層幅}$$

完全空乏型  
Fully-depleted

$$D > W_{max}$$

部分空乏型  
Partially-depleted

利点: 寄生容量の低減  
欠点: 基板浮遊効果  
発熱

熱伝導率 (W/Km)

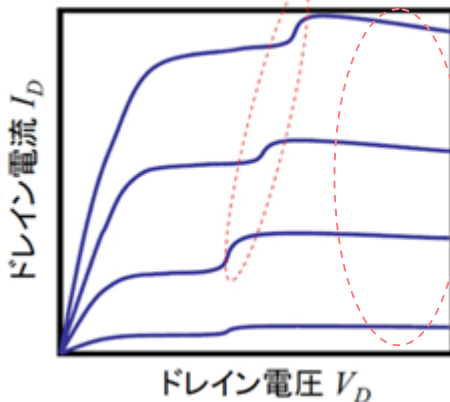
Si 140

SiO<sub>2</sub> 1.1

完全空乏型

- ・理想的な subthreshold 係数
- ・閾値を基板濃度で設定できない  
(ゲート材料の仕事関数で設定)

正孔蓄積効果

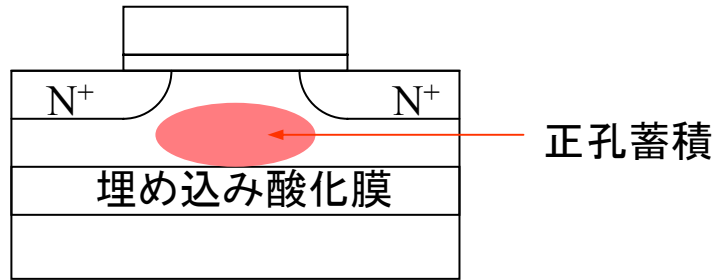


発熱による  
電流減少

部分空乏型

- ・閾値を基板濃度で設定可能
- ・基板浮遊効果が大きくなる

# SOI 基板浮遊効果



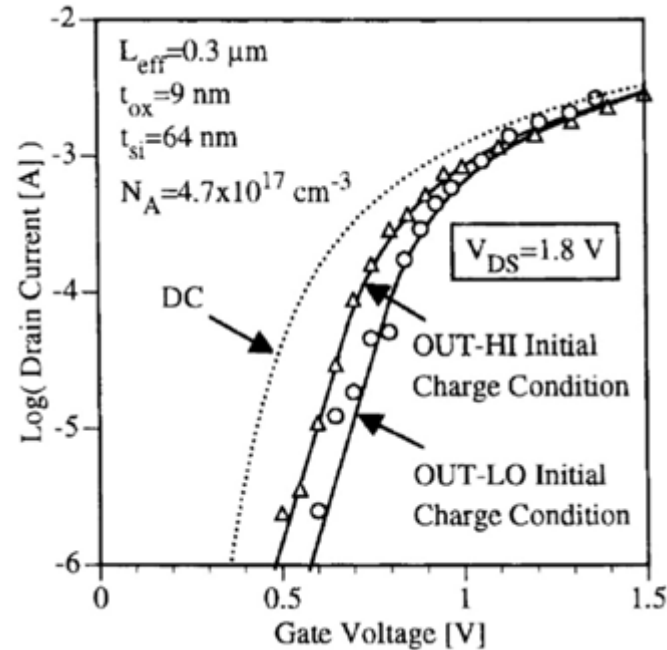
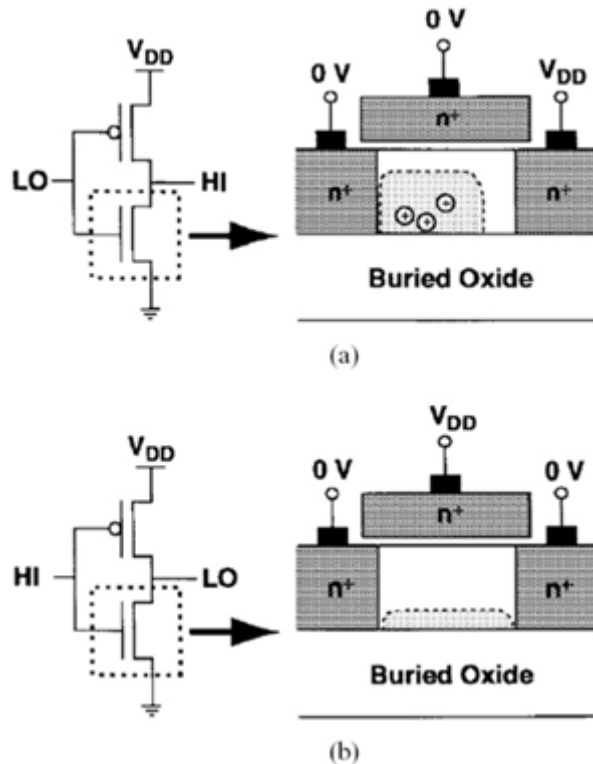
基板が接地されていない



基板電位が定まらない

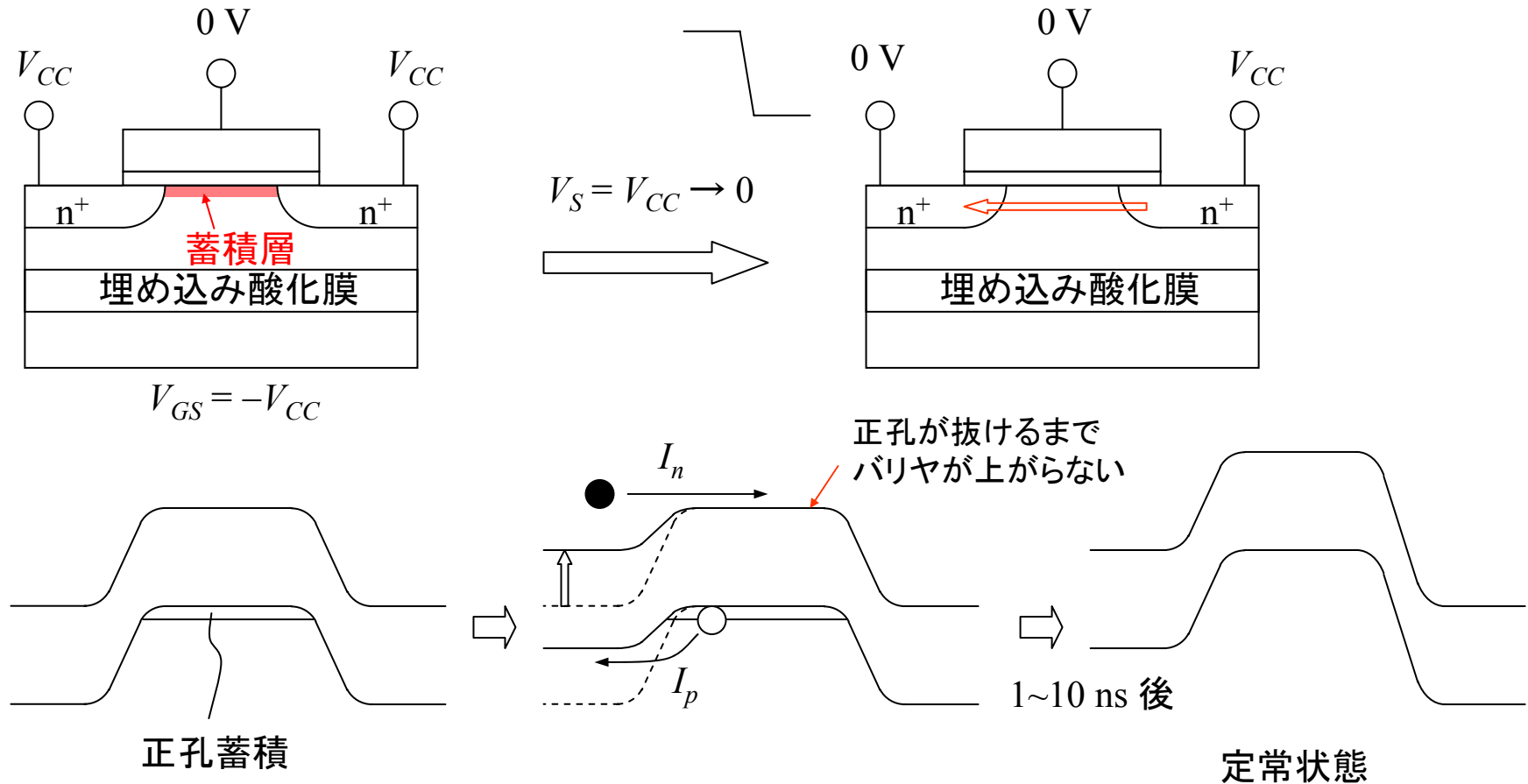


閾値が定まらない



A. Wei, M. Sherony, and D. A. Antoniadis,  
*IEEE Trans. Electron Devices*, vol. 45, p. 430, 1998.

## SOI Dynamic Pass Gate Leakage



MOS 効果

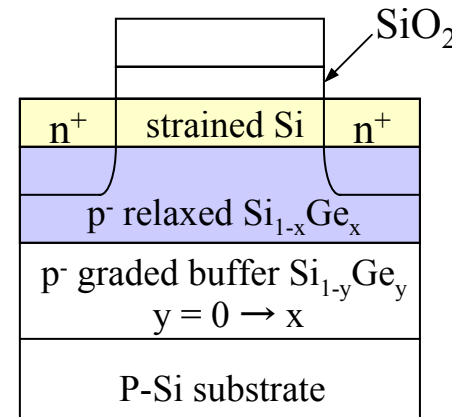
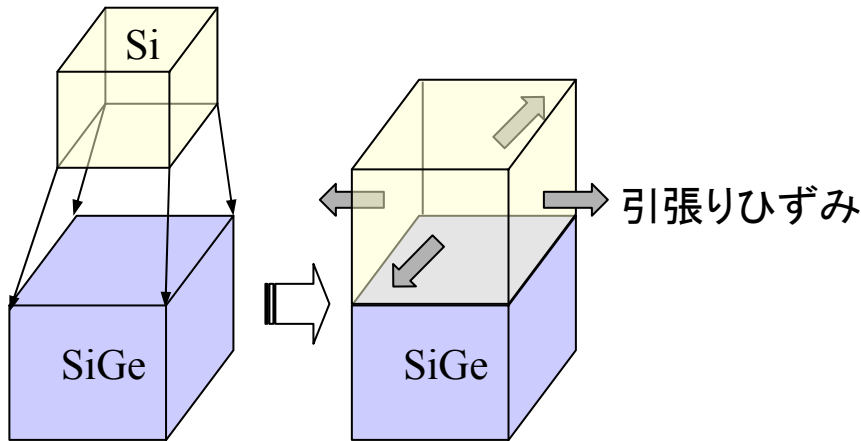
バリア低下 → subthreshold 電流

Bipolar 効果

$$I_D \sim h_{FE} I_p$$

通常のMOSであれば  
基板電極から正孔が  
直ちに抜き取られる

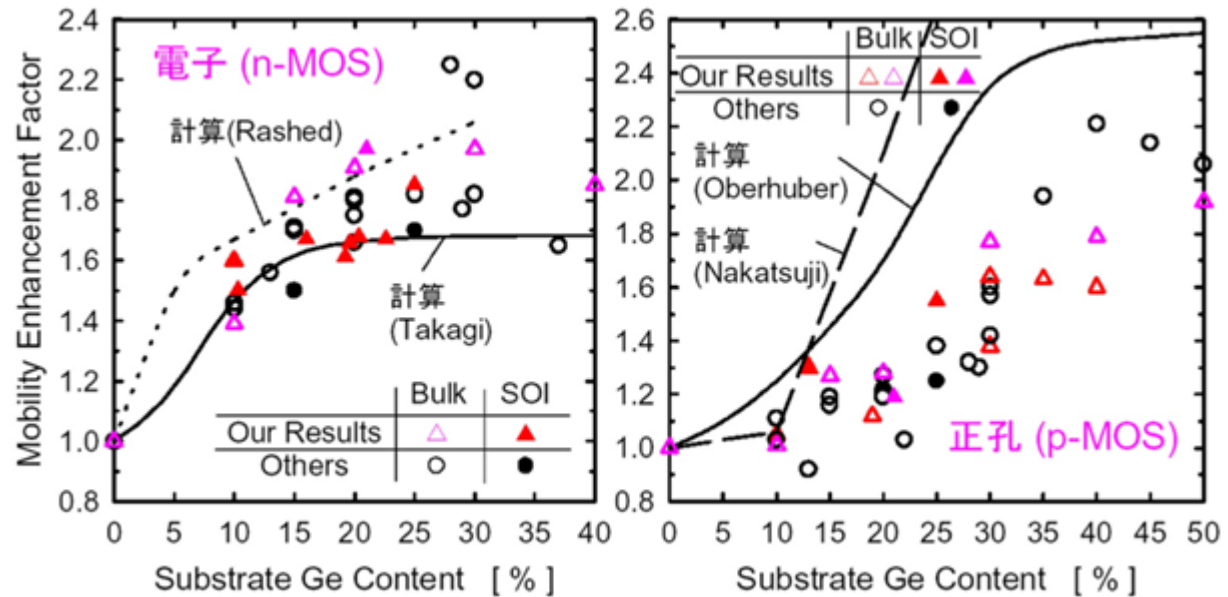
# ひずみ Si



ゲート界面はSi  
〔少ない界面準位〕  
〔SiO<sub>2</sub>の形成〕

Si 結晶ひずみ

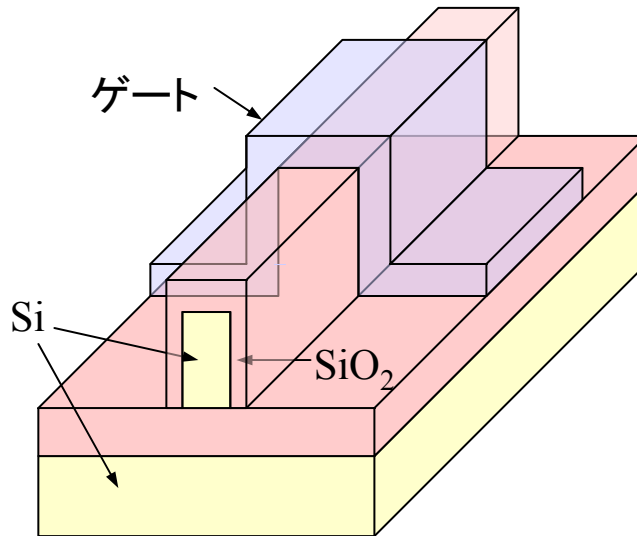
- ⇒ バンド構造変化  
フォノン散乱↓  
有効質量↓
- ⇒ 移動度↑



# 3次元チャネル構造

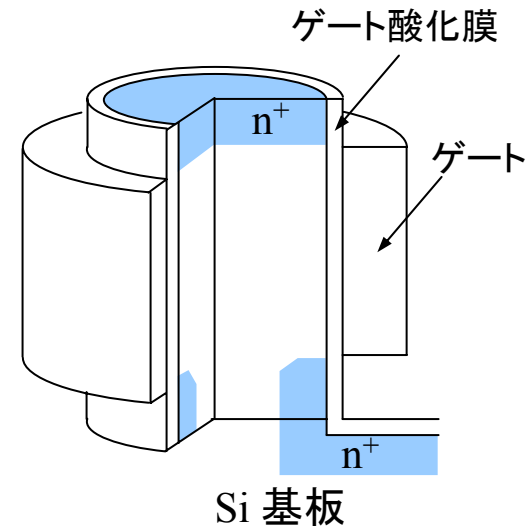
平面積が同じままでチャネル幅  $W$  をかせぐ  
ゲート電位の影響を大きくする(サブスレッショルド係数)

## Double-gate FIN-FET



日立  
UC Berkeley

## Surrounding gate



東芝

縦型構造の問題点  
LDD構造が困難