

情報デバイス工学特論

第1回

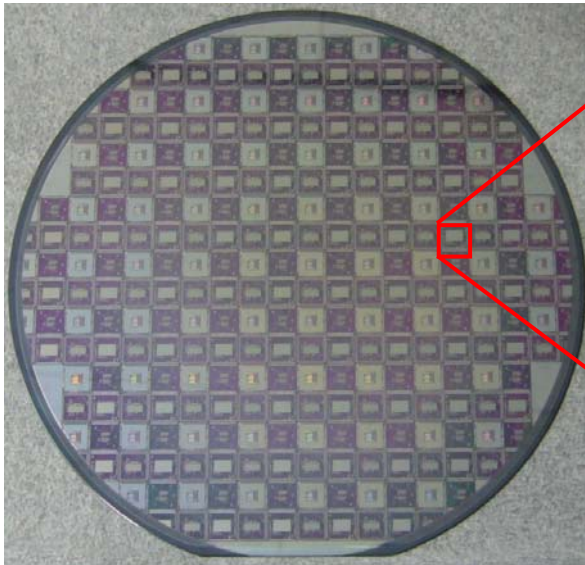
CMOS集積回路概観

目的

- ・現在のLSIの主流デバイスであるシリコンCMOS集積回路を理解する。
- ・素子の製法(プロセス)から動作原理(デバイス)、素子の使い方(回路)まで総合的に理解する。

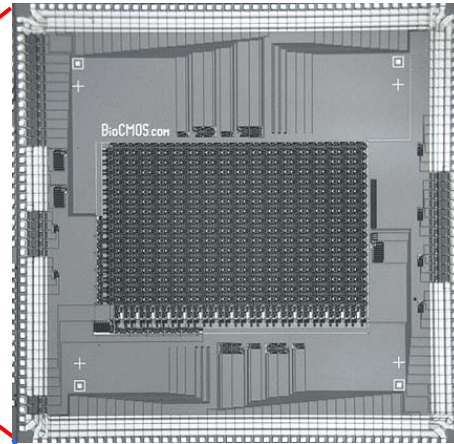
半導体集積回路

LSI : Large Scale Integrated Circuit

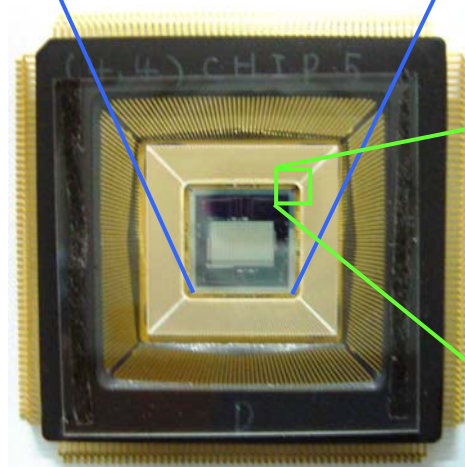


ウエハ

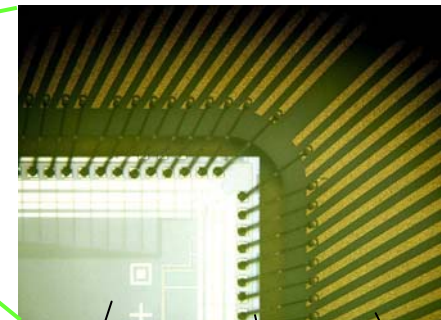
現在は直径12インチ(30cm)
のウエハが用いられている



チップ



パッケージ

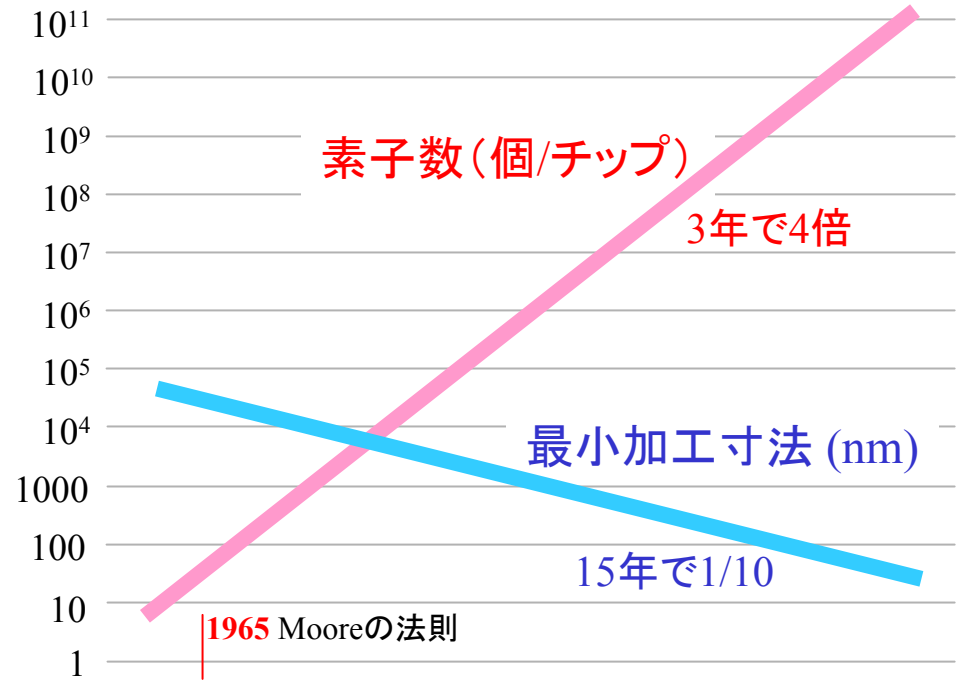


チップ

ワイヤ

パッケージ

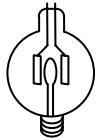
半導体集積回路の歴史



pMOS nMOS CMOS

バイポーラ・トランジスタ

真空管



1906 3極真空管

1946 ENIAC

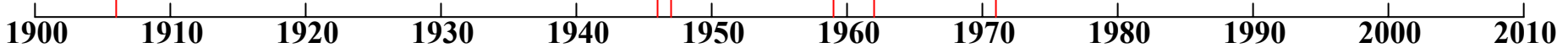


1947 トランジスタ

1959 プレーナ技術

1962 MOSFET

1971 メモリ・マイクロプロセッサ



トランジスタの最初の目標は電界効果型トランジスタ(FET: Field Effect Transistor)にあった



偶然バイポーラ・トランジスタを発明 (1947)

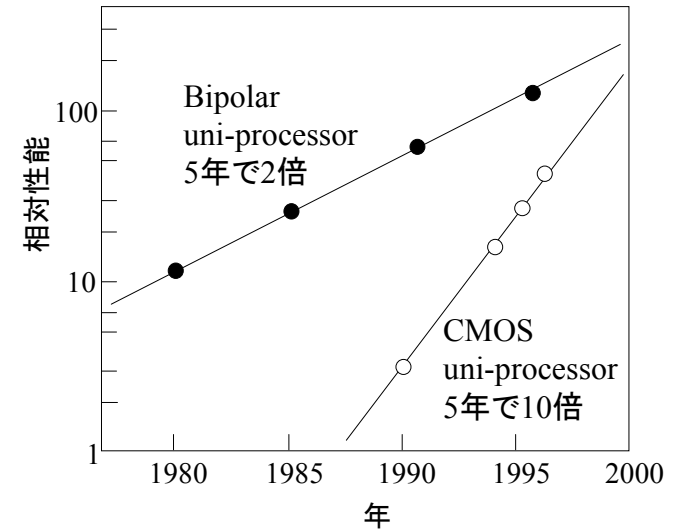


プロセスの進歩により FET の性能が向上

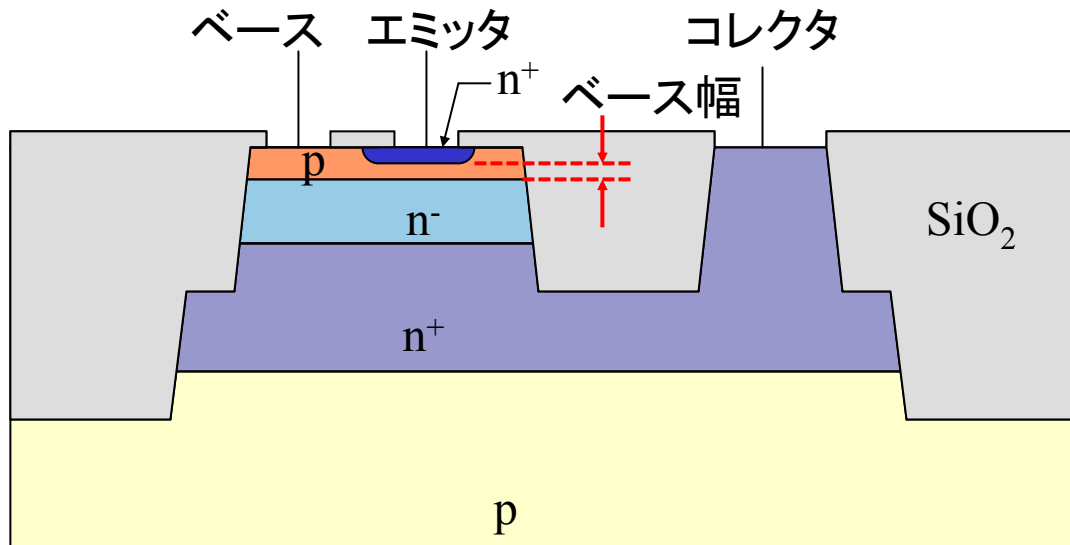


LSI としてのバイポーラ・トランジスタが終焉 (1990年代)

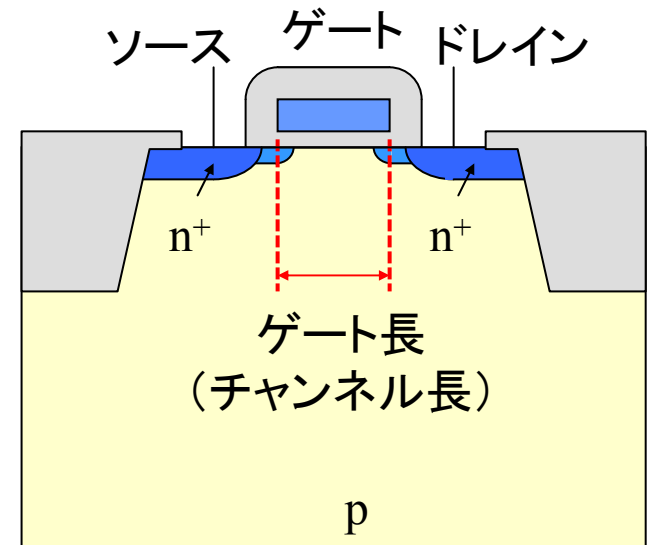
現在は、ロジック回路・アナログ回路ともに LSI のトランジスタは CMOSFET



大型計算機の性能推移



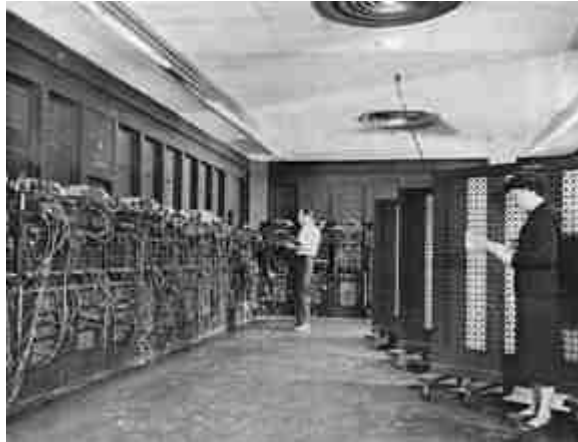
バイポーラ・トランジスタ



MOSFET

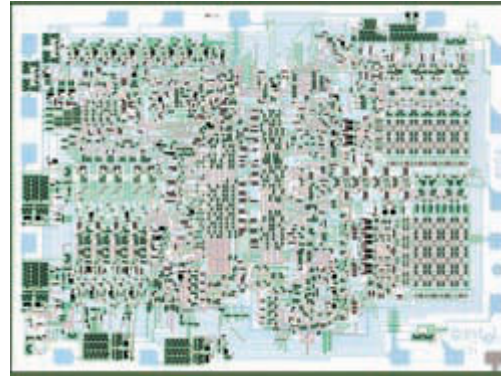
n⁺: 高濃度 n 型半導体。半導体としてよりも導体の特性が用いられる

最初のコンピュータ ENIAC



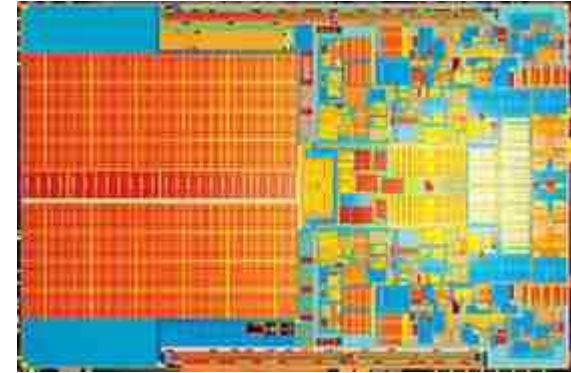
<http://en.wikipedia.org/wiki/ENIAC>

最初のマイクロプロセッサ 4004



<http://www.4004.com/>

現在のマイクロプロセッサ Core 2 (Penryn)



http://www.intel.co.jp/technology/45nm/index.htm?iid=tech_sil+45nm

発表年

1946

1971

2007

素子数

真空管18,800 本

トランジスタ 2,300 個

トランジスタ 410,000,000 個

面積

1,000,000 cm² (60畳)

0.12 cm²

1.07 cm²

消費電力

150,000 W

1 W

65W

処理速度

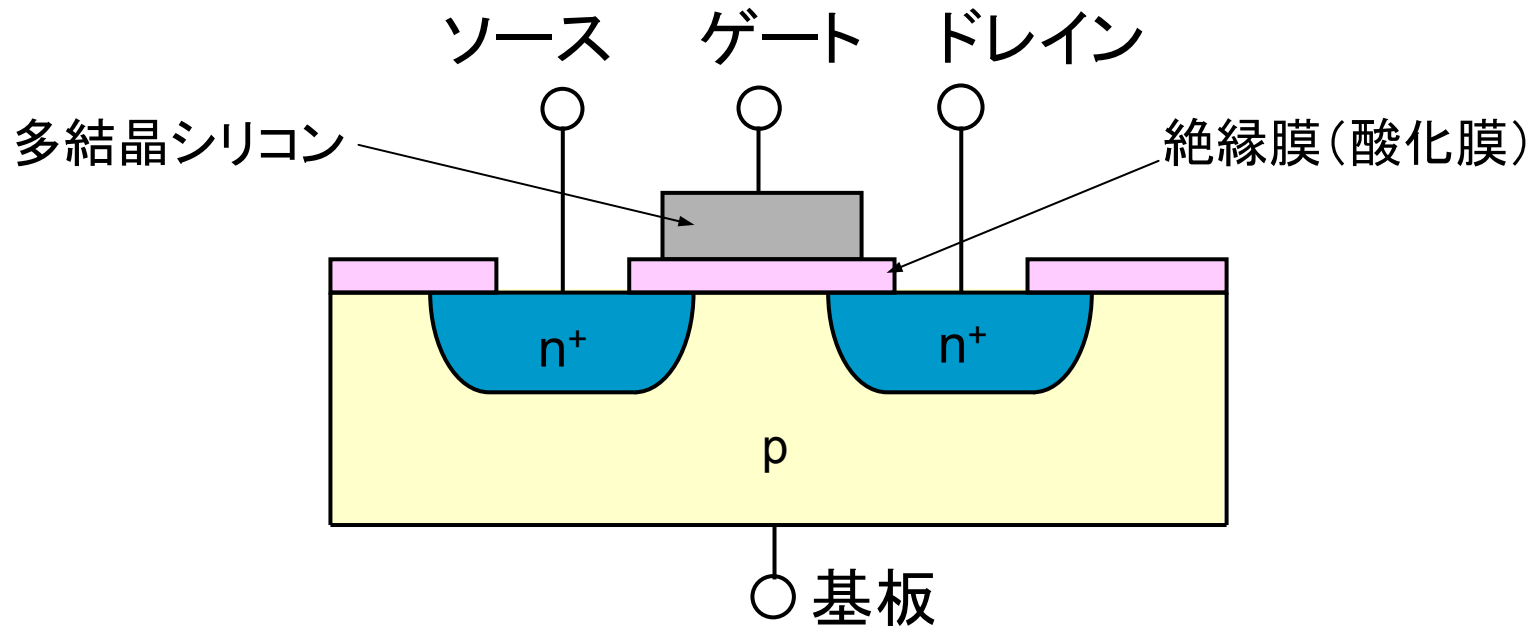
~ 0.05 MIPS

0.06 MIPS

12500 MIPS

n型MOSFET

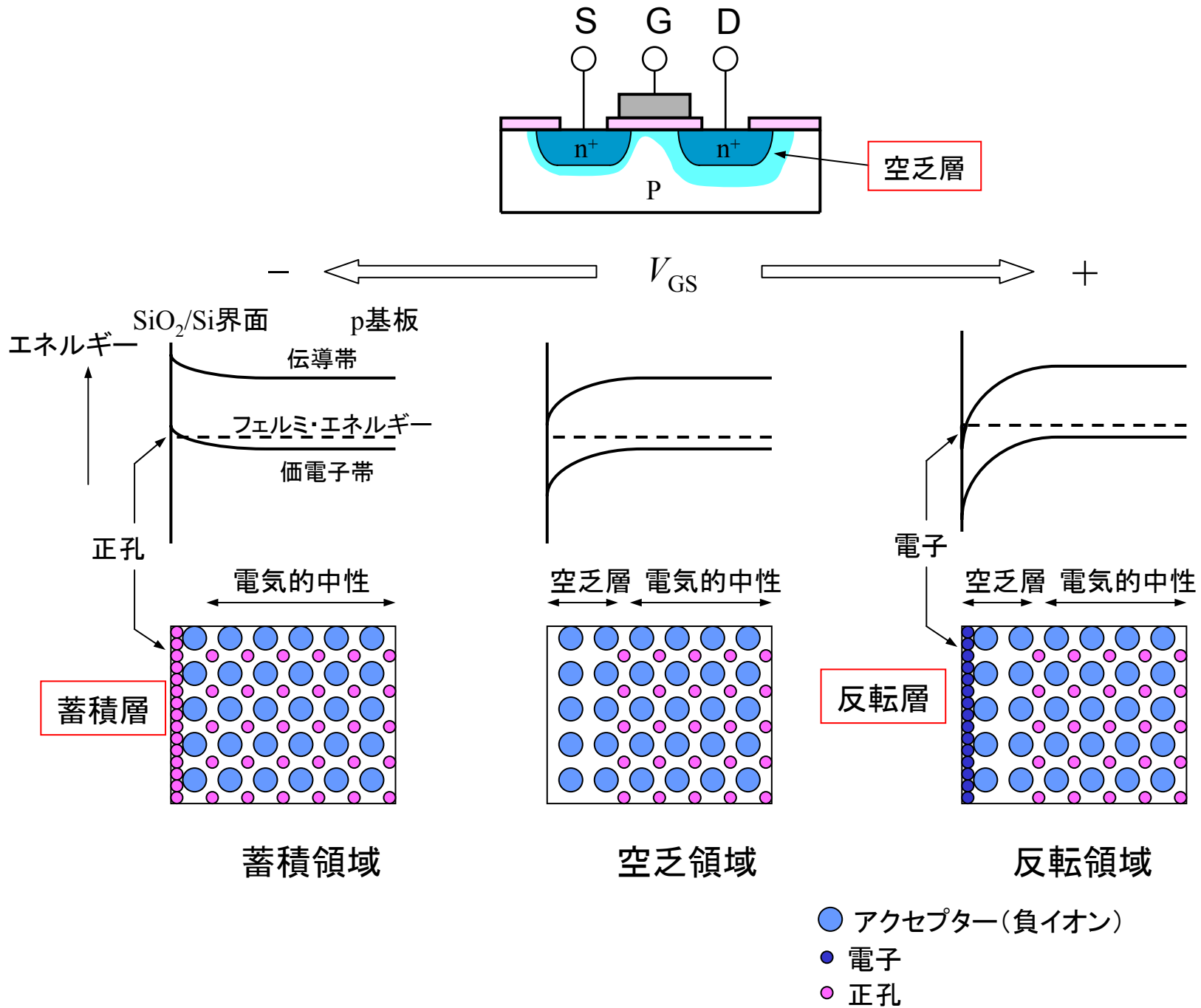
Metal-Oxide-Semiconductor Field Effect Transistor

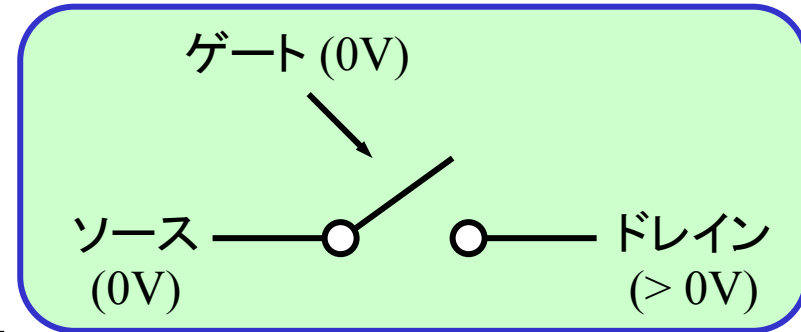
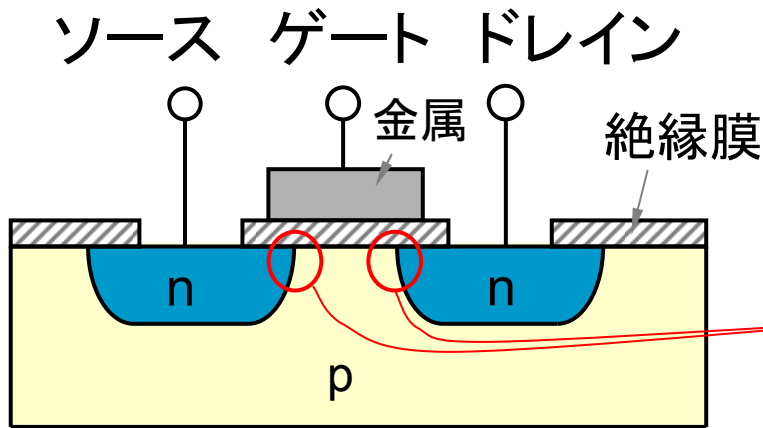


ソース : 電子を供給 (source=源)

ゲート : 扉 (gate) を開く

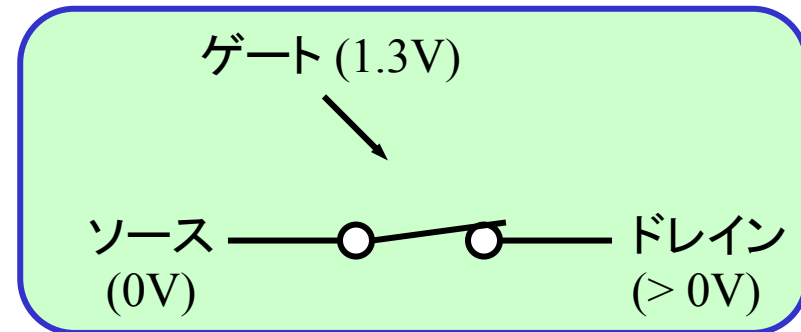
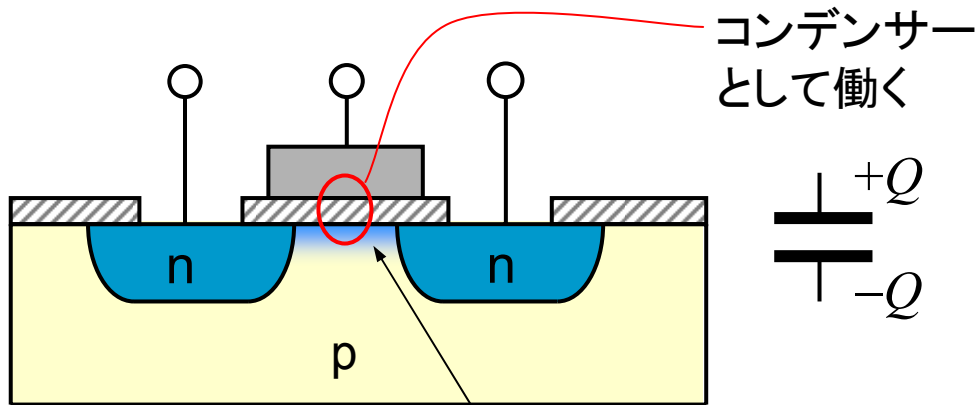
ドレイン : 電子を導く (drain=とい・下水管)





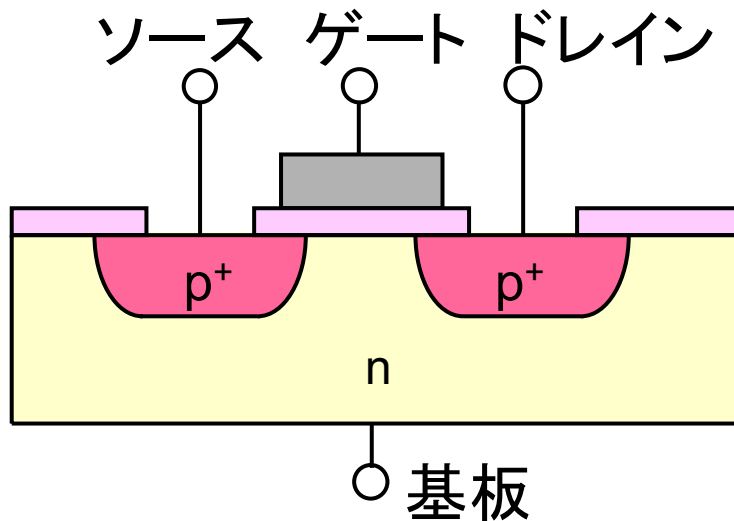
どちらかのダイオードが逆バイアスとなるのでソース・ドレイン間に電流が流れない

ゲートに正の電圧を加えると半導体表面に電子が誘起される



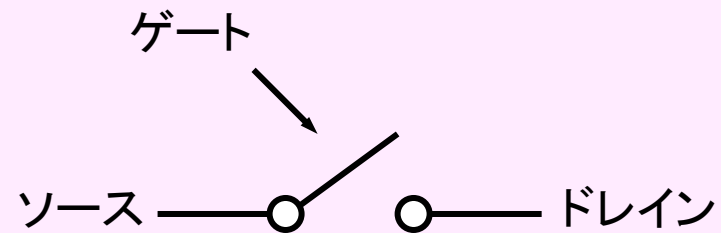
ソース・ドレイン間に電流が流れるようになる

p型MOSFET

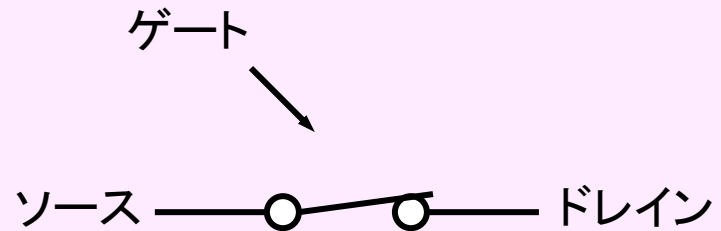


ゲートに負電圧を加えることにより界面に正孔が誘起

ゲート-ソース間電圧 = 0V

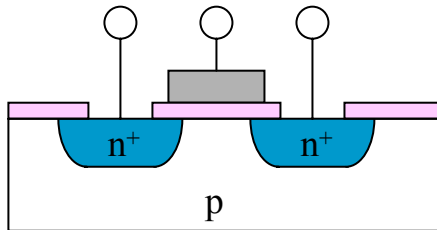


ゲート-ソース間電圧 = 負電圧



ソース、ドレイン どっちがどっち？

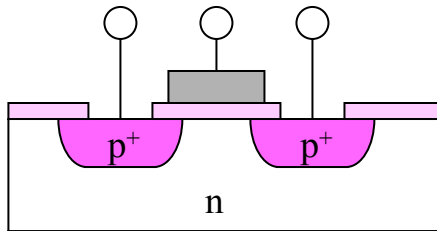
電流はゲート-ソース間電圧で決まり、ゲート-ドレイン間電圧にほとんど依らない



- 形は対称
- 動作は全く違う

nMOSFET の場合、電圧が高い方を ドレイン、低い方がソース

$$V_D > V_S$$

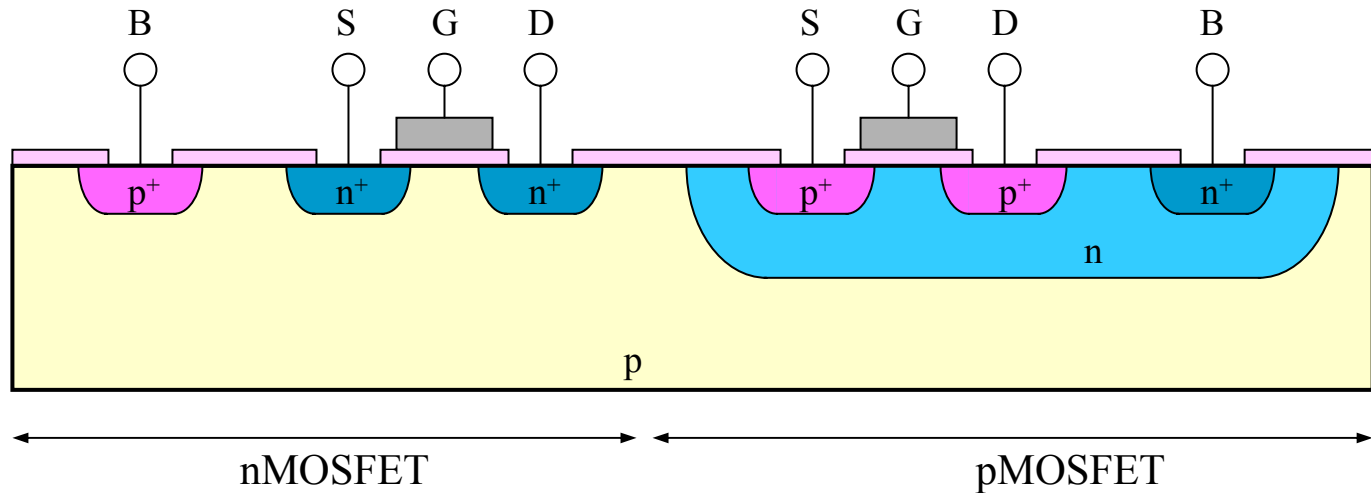


pMOSFET の場合、電圧が低い方を ドレイン、高い方がソース

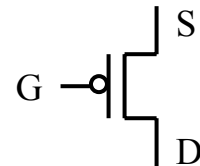
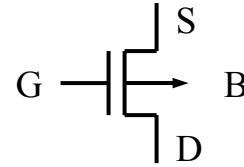
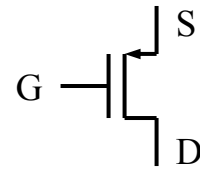
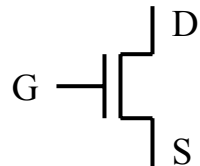
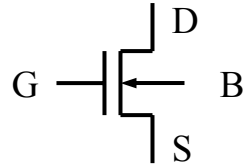
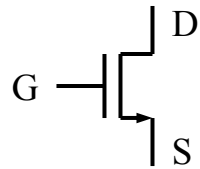
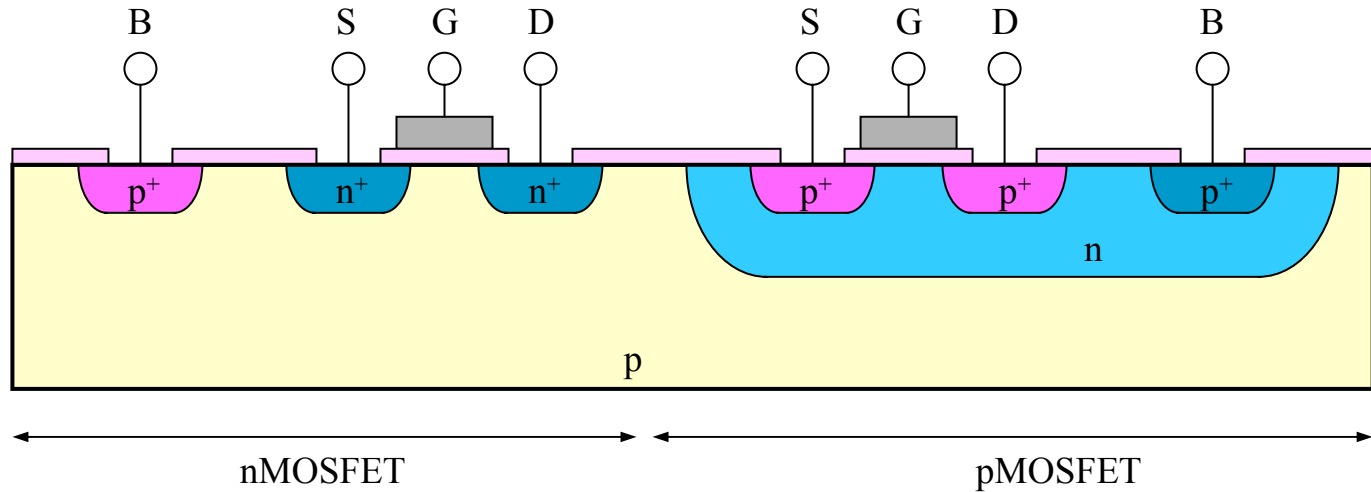
$$V_D < V_S$$

動作によっては時間と共にソース・ドレインが入れ替わることも

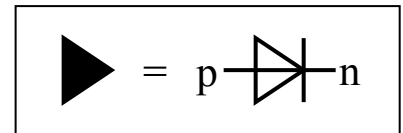
同一基板に nMOSFET と pMOSFET を集積



- 通常 p 基板、n-WELL
- この場合、nMOSFET の基板電位 V_B はすべての nMOSFET で共通
- pMOSFET の基板電位 V_B に関しては、それぞれの pMOSFET に独立したバイアスを加えることができるが、大きな容量が付くため高速に変化させることができず、また動作が不安定になりやすい
- 通常は nMOSFET の基板電位 V_B は最も低い電源電圧に、pMOSFET の V_B は最も高い電源電圧に接続し、すべての nMOSFET、すべての pMOSFET で共通とする



npn, pnpとの対応でバイポーラ・トランジスタ回路に慣れた人にはなじみ易い。
本講義はこの記法を用いる

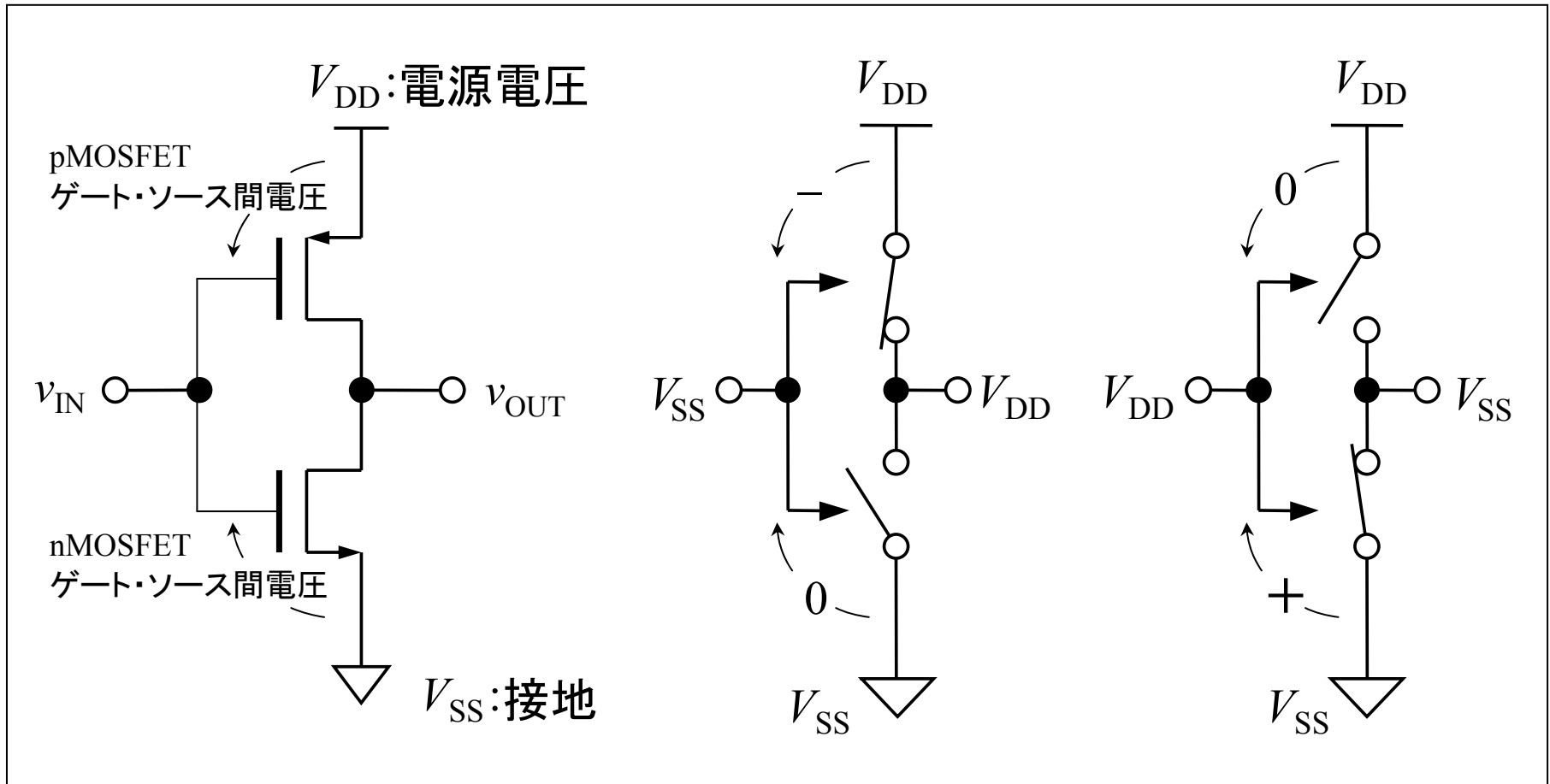


区別が付き易く、書き易い
 デジタル回路的な記法

相補型MOS回路

CMOS(Complementary Metal-Oxide-Semiconductor)

インバータ



注)本講義では、矢印の先から元の値の差を、矢印の値とする

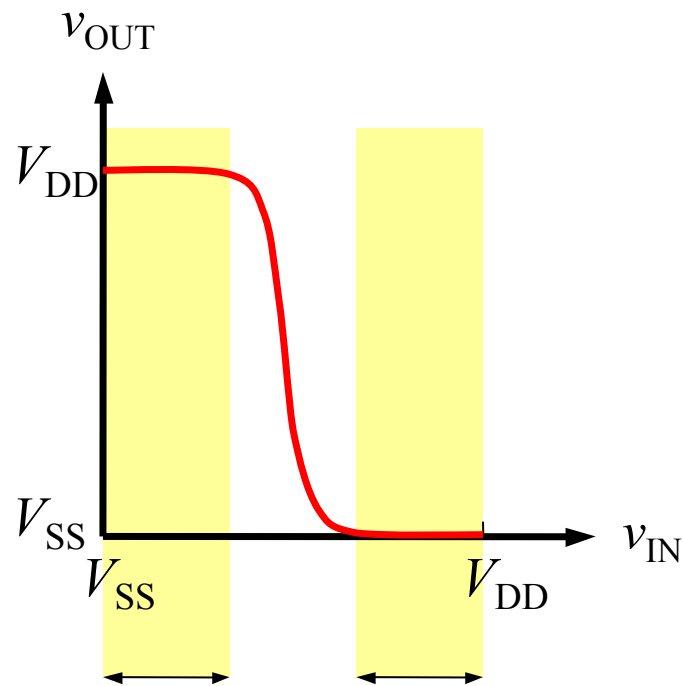
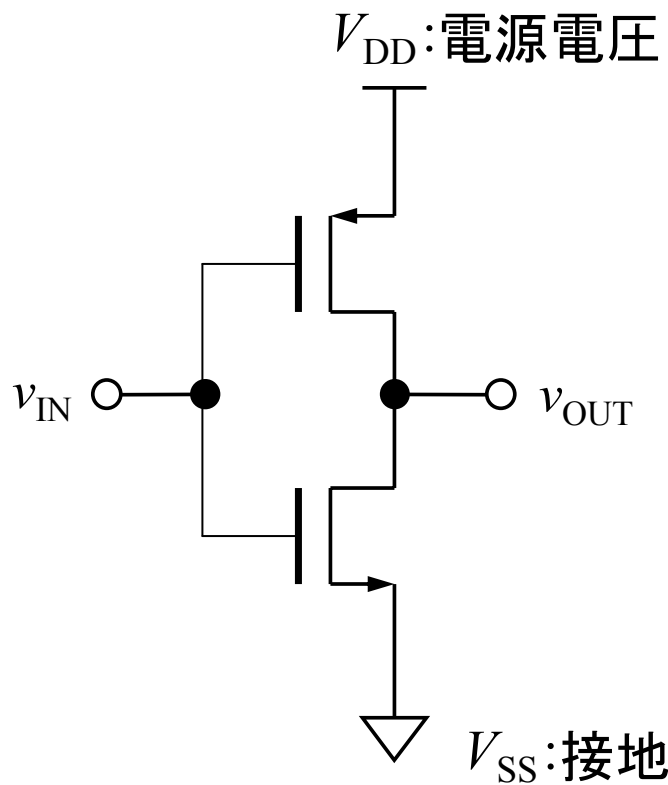
$$V_2 \text{ --- } V \text{ --- } V_1$$

$$V = V_1 - V_2$$

相補型MOS回路

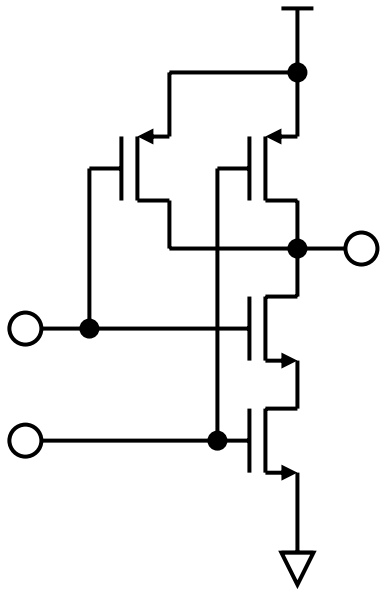
CMOS (Complementary Metal-Oxide-Semiconductor)

インバータ

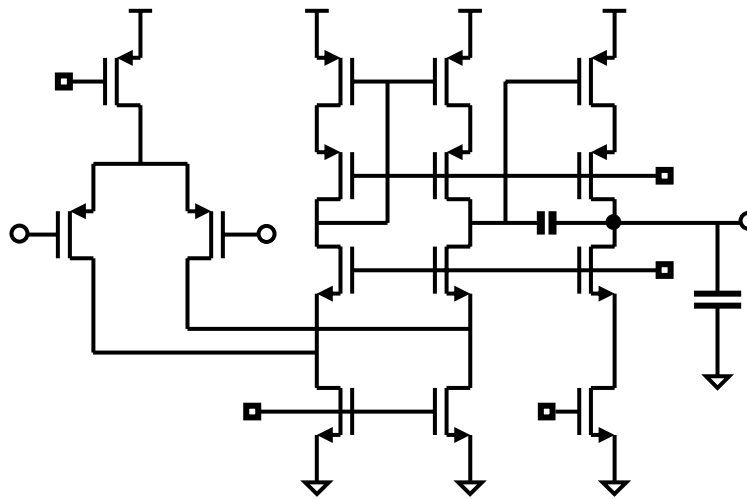


入力電圧が多少変動しても一定の出力が得られる

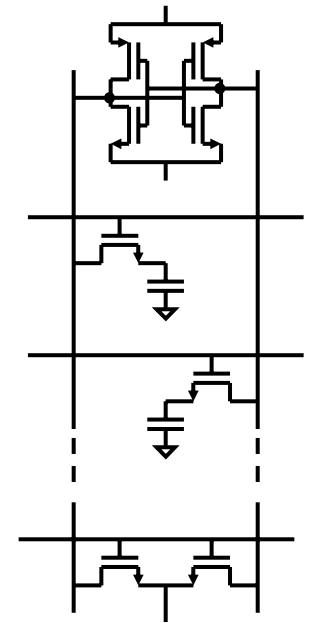
トランジスタを使っていろいろな電子回路を構成できる



ロジック回路

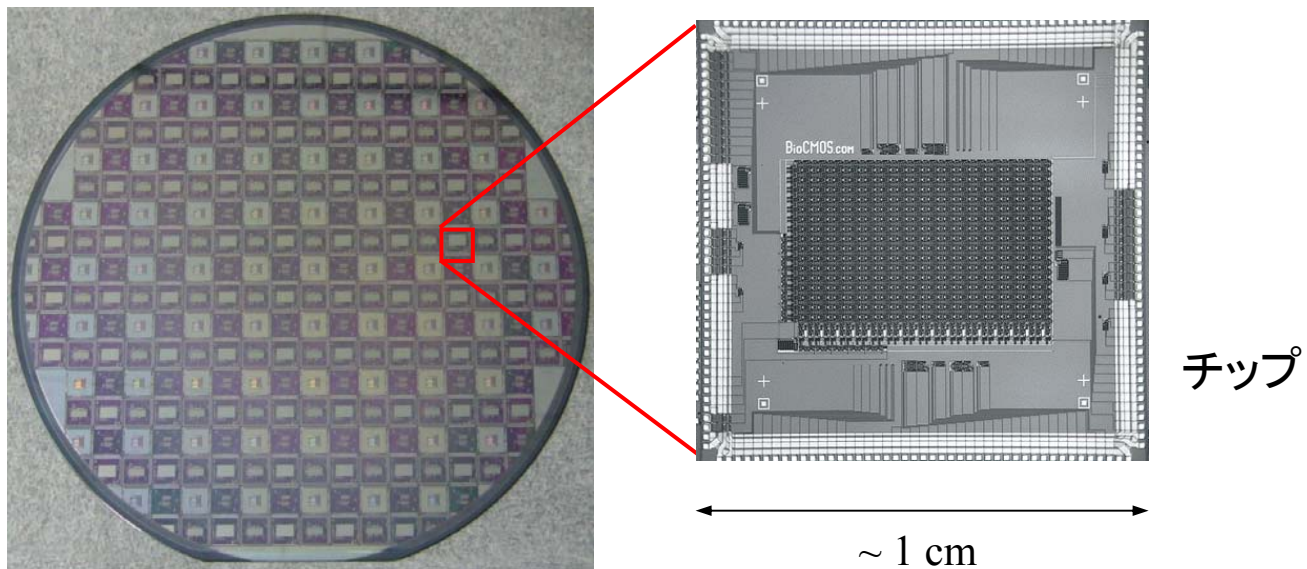


アナログ回路



メモリ回路

このような半導体集積回路は どのようにして作られるのだろうか？

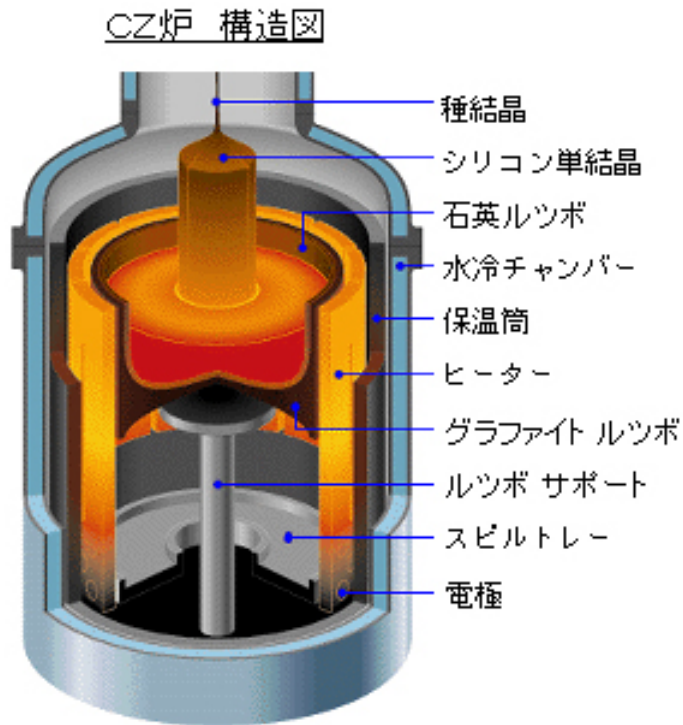


ウエハ

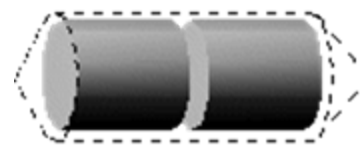
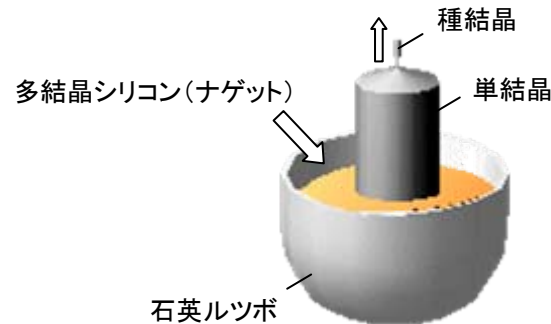
現在は直径12インチ(30cm)
のウエハが用いられている

複数のウエハ(例:25枚)を
単位(ロットと呼ぶ)に製作

シリコン・ウエハ の製法



http://www.sumcosi.com/products/process/step_01.html



■単結晶引き上げ(CZ法:チョクラルスキー法)

CZ法では、引き上げ装置内にヒーター、石英ルツボ、多結晶シリコンをセットし、不活性雰囲気下の減圧下で加熱溶融し、種結晶を付けて徐々に引き上げることで単結晶を育成します。



■単結晶シリコンインゴット

育成の完了した単結晶シリコンインゴットは、この様な形状をしています。
φ200mmウエーハ用の結晶の場合、インゴット一本の重量は60~100kgにもなります。



■外周研削加工

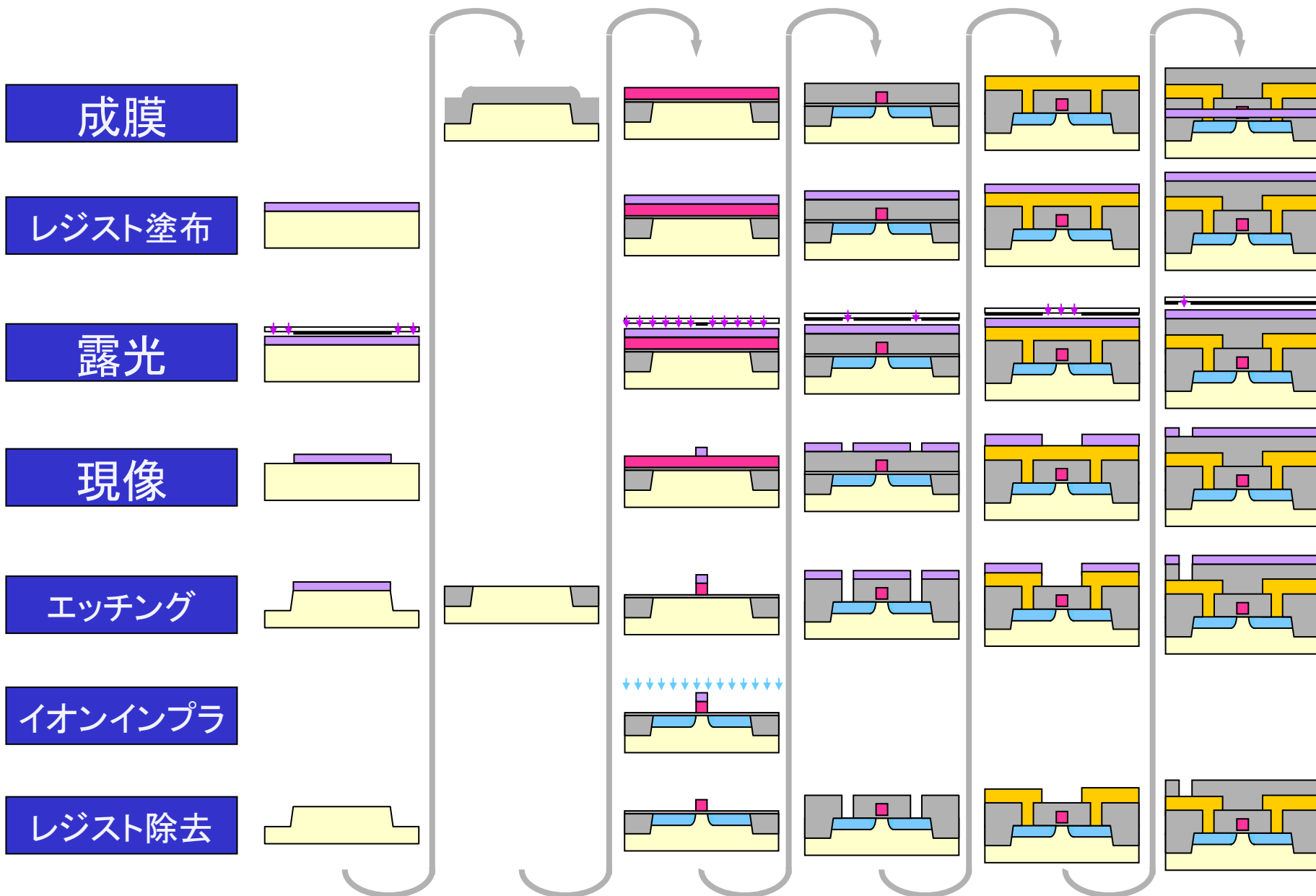
規定の長さ切断し、規定の直径に外周を研削します。外周の一部に結晶方位を示す平面(オリエンテーションフラット:オリフラ)か、溝(ノッチ)を付与します。



■スライス加工

インゴットを黒鉛の保持治具に接着し、回転する内周刃ダイヤモンドブレードで1枚ずつ切断します。φ200mm以上のスライス加工ではワイヤーソーへ移行しつつあります。

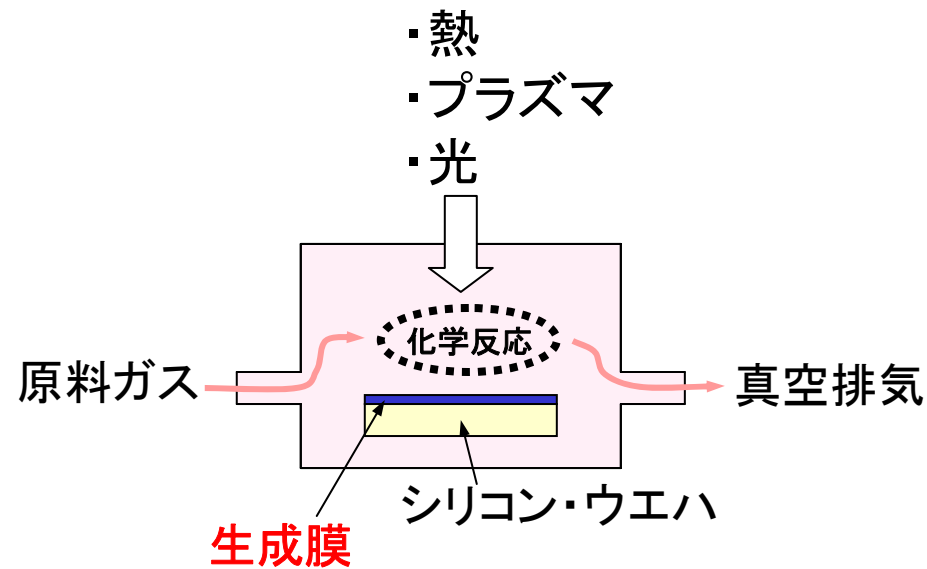
半導体の工程



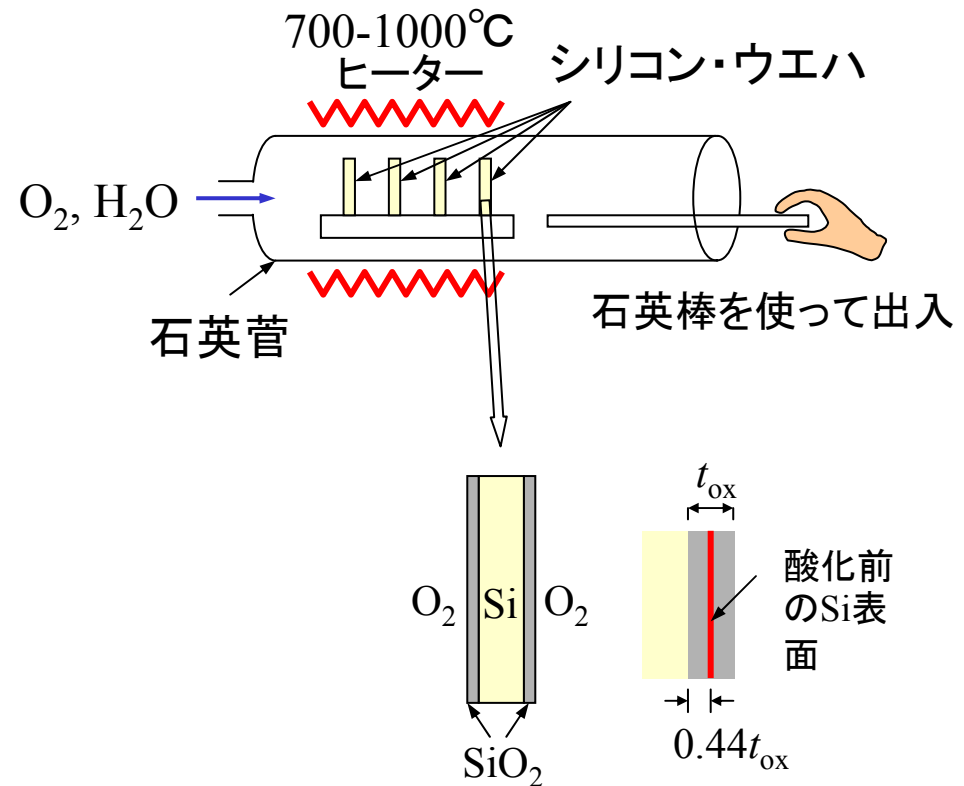
成膜

CVD (Chemical Vapor Deposition) 化学気相成長法

熱酸化

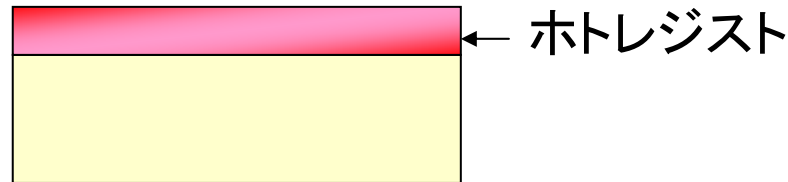


シリコン酸化膜 (SiO_2)
 シリコンチッカ膜 (Si_3N_4)
 シリコン (Si)

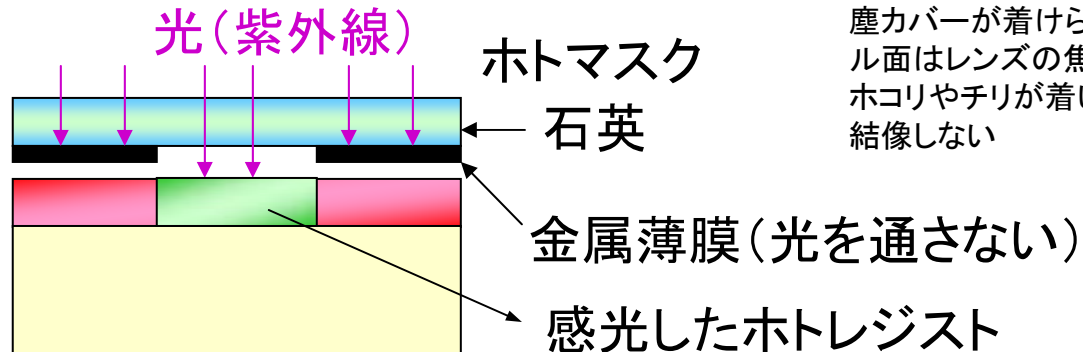


原理は写真と同じ

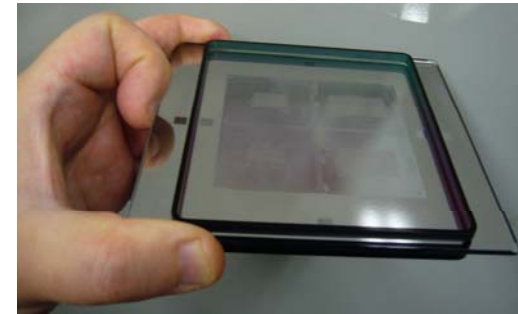
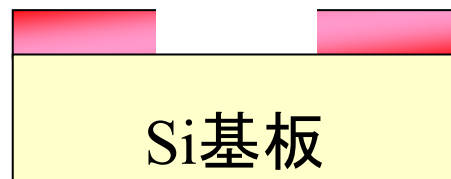
ホトレジスト (感光剤)
を塗布



ホトマスクを載せて
露光する



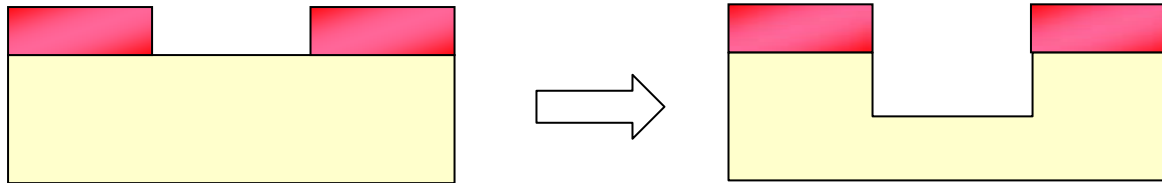
現像



ホトマスクの例
この例ではレンズを通してマスク
パターンを1/5に縮小して露光する。
ホトマスクにはペリクルと呼ばれる防
塵カバーが着けられている。ペリク
ル面はレンズの焦点からずれており
ホコリやチリが着いてもレジスト上に
結像しない

残ったホトレジストをマスクにして、いろいろな加工をする

エッチング



ウェットエッチング

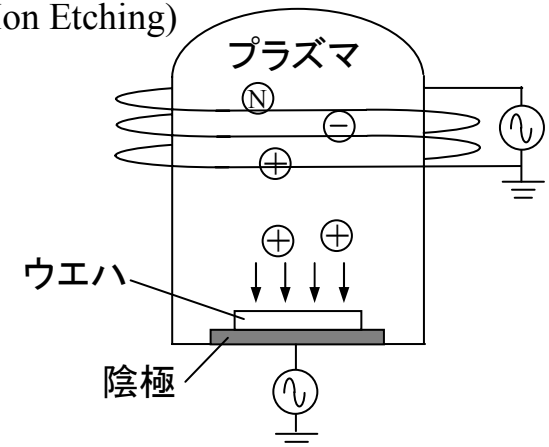
化学薬品に浸す

名称	組成	エッチ速度
酸化膜エッチ	フッ化アンモニウム:フッ酸 = 7 : 1 (25°C)	SiO ₂ 100 nm/min
	水:フッ酸 = 10 : 1 (25°C)	SiO ₂ 35 nm/min
シリコンエッチ	硝酸:フッ酸 = 100:1	Si 100 nm/min
	KOH:水 = 4:6	Si 25 nm/min (111)面はエッチングされない
	抱水ヒドラジン:イソプロパノール:トリトンX = 500:50:1 (50°C)	Si 8~18 nm/min 不純物濃度に依存
ナイトライド膜エッチ	リン酸 (160-180°C)	Si ₃ N ₄ 5nm/min
Al エッチ	リン酸:氷酢酸:硝酸:水 = 75:15:5:5	Al 50 nm/min

ドライエッチング

反応性イオンエッチング

RIE (Reactive Ion Etching)



- ・反応室内でエッチングガスに電磁波などを与えプラズマ化する
- ・ウエハを置く陰極に高周波電圧を印加する
- ・試料とプラズマの間に自己バイアス電位が生じ、プラズマ中のイオン種やラジカル種が試料方向に加速されて衝突する
- ・イオンによるスパッタリングと、エッチングガスの化学反応が同時に起こり、エッチングが行える

イオン・インプラ(イオン注入)

質量分析マグネット

加速管

四極子レンズ

スキャン

エンドステーション

ウエハ

ファラデーカップ

イオン源

ガスボトル

クライオポンプ

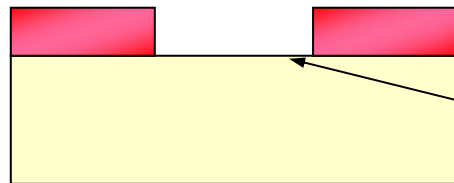
ソースマグネット

「イオン打ち込み」とも言う

- イオン源 : ガスのイオン化
- ソースマグネット : ガスのイオン化効率を高めるため、磁界を加える
- 質量分析マグネット : 磁界を用いて必要なイオンを選ぶ
- 加速管 : イオンビームに必要なエネルギーを与える
(20~200KeV)
- 四極子レンズ : 広がったビームを、磁界により絞り込む
- スキャン : ウエハ全面に均一にイオンビームが当たるように
磁界により上下左右にビームを動かす
- ファラデーカップ : ビームのイオン数を計測

<http://www1.ocn.ne.jp/~raichi/test/raichi/timp/timp.html>

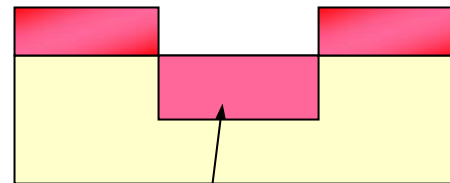
イオン(B, P, As 等)



表面に薄い酸化膜をつけておくことが多い

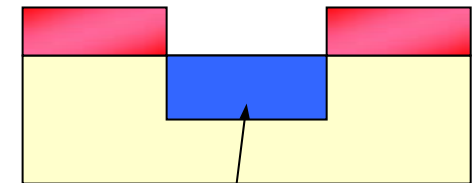
インプラ後、ドーパントがSi原子と置換して結晶構造を構成することが必要。このため高温処理(700°C-1000°C)を行う

B の場合

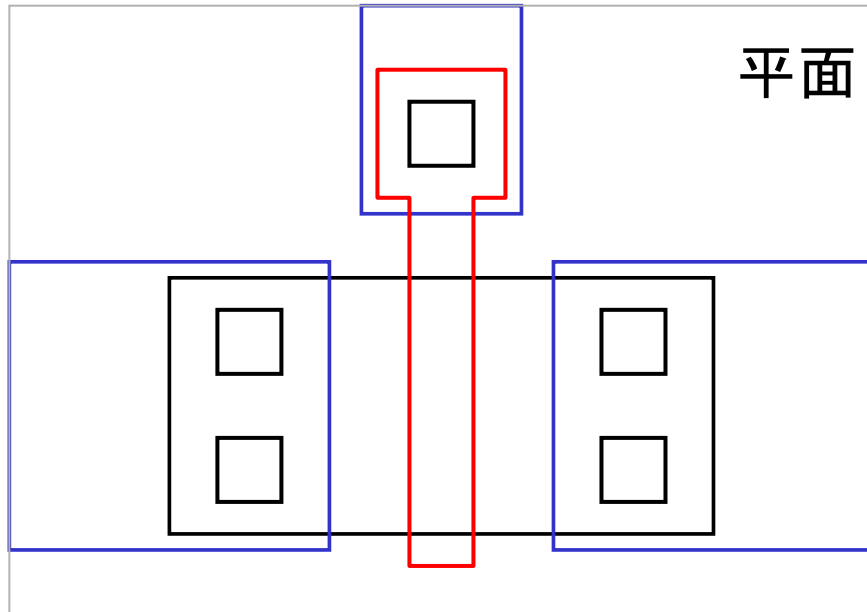


p型半導体

P, As の場合



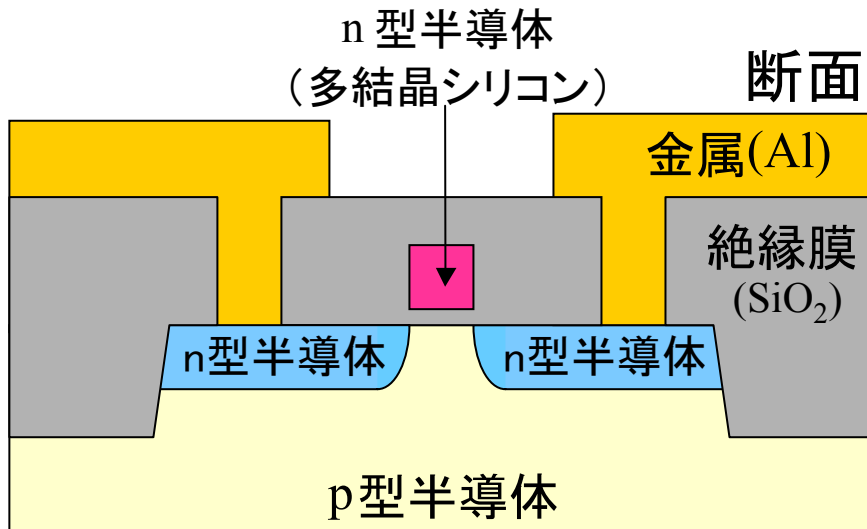
n型半導体



トランジスタの配置は何枚かのホットマスクのパターンを転写することにより形成される。

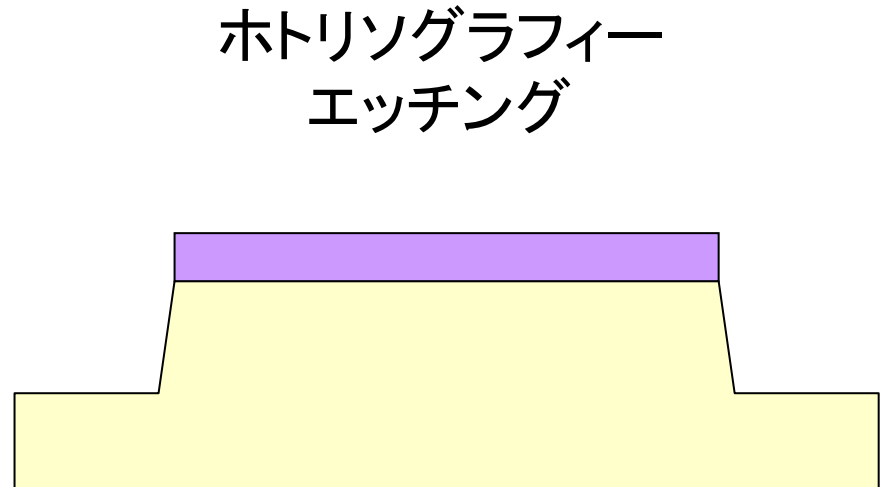
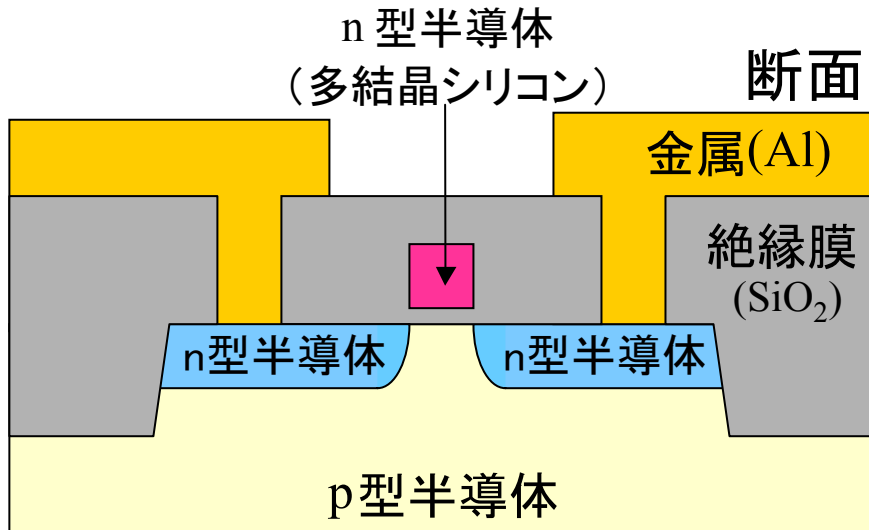
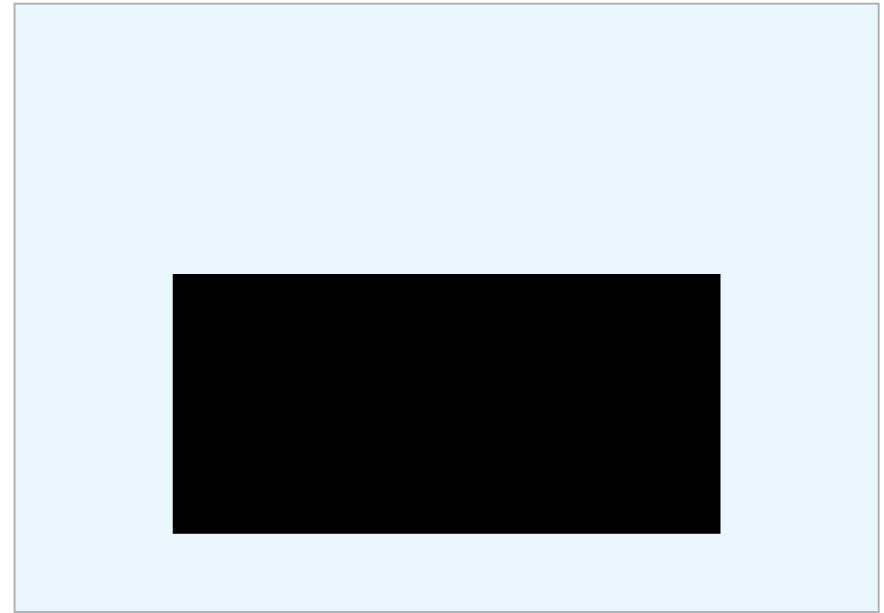
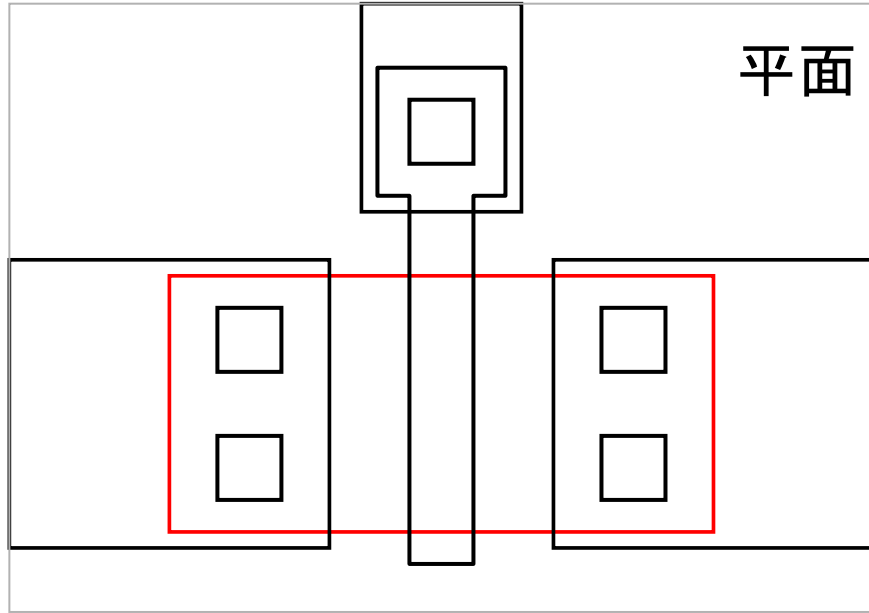
LSIの設計: マスクパターン(レイアウト)が重要な要素

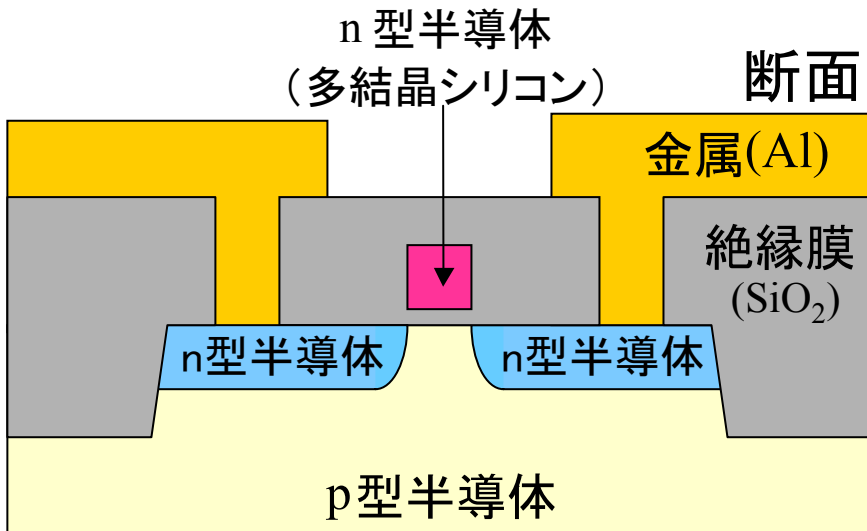
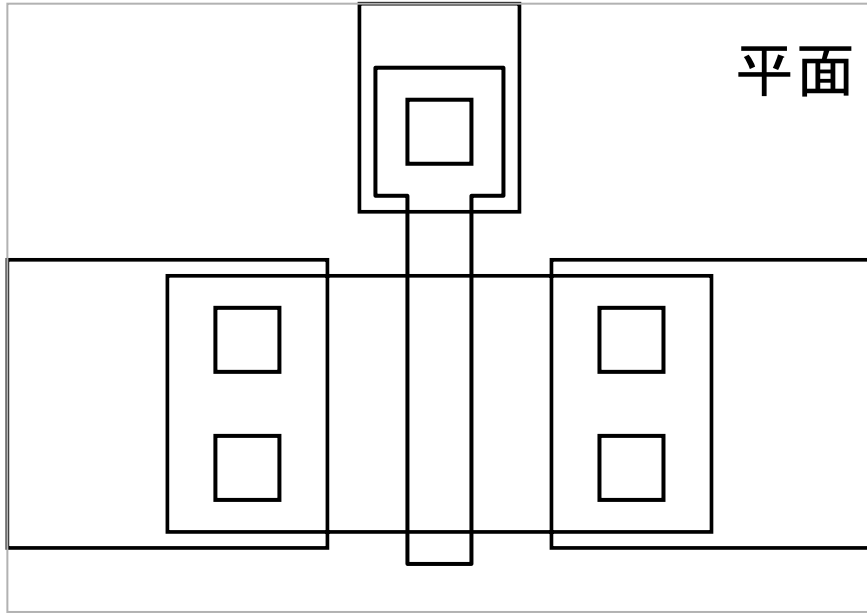
プロセスを知らないと設計できないことが多い。



MOS トランジスタの製造

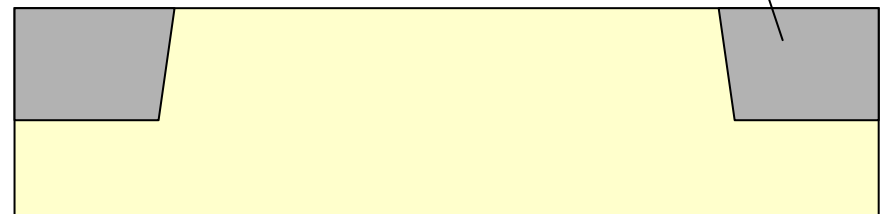
1-25
ホトマスク

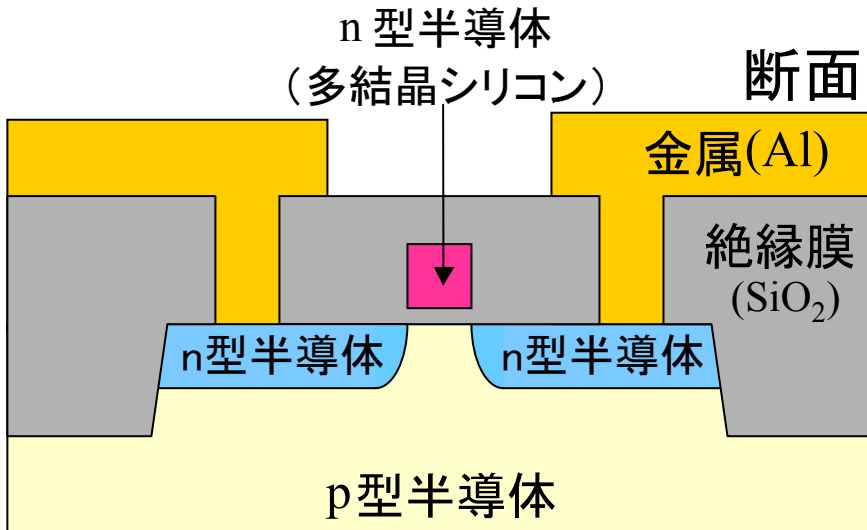
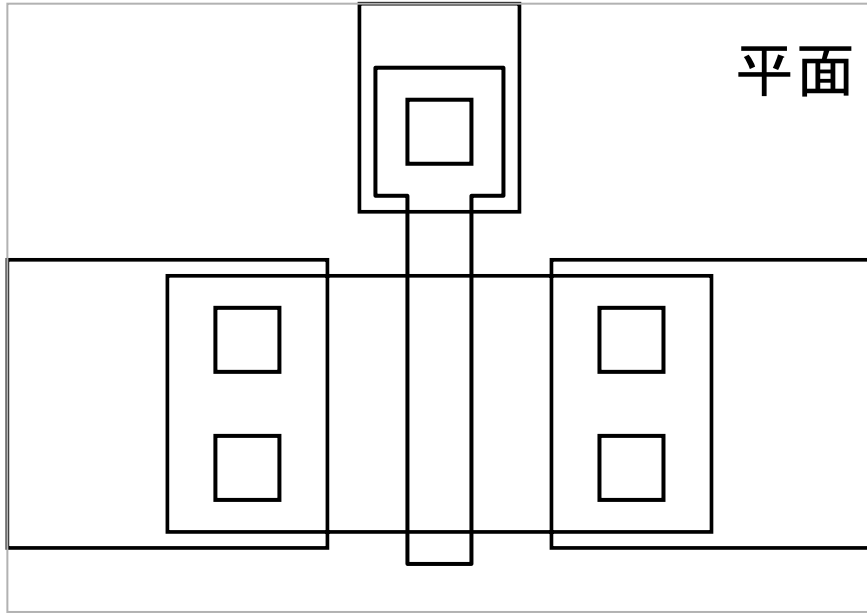




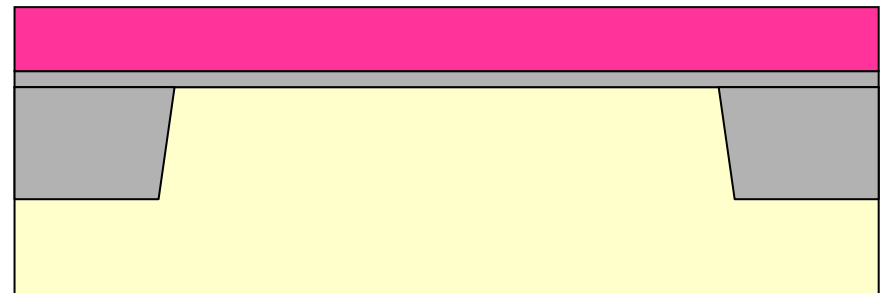
絶縁膜デポジッション 研磨 (CMP)

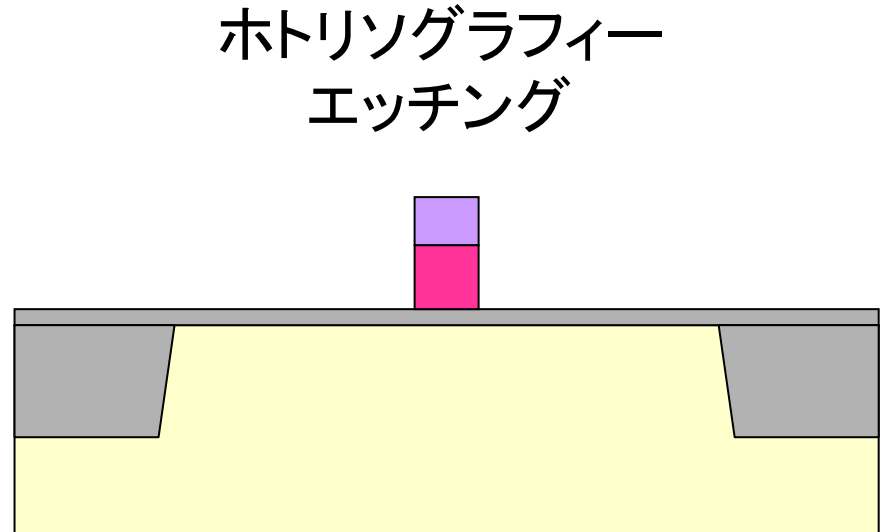
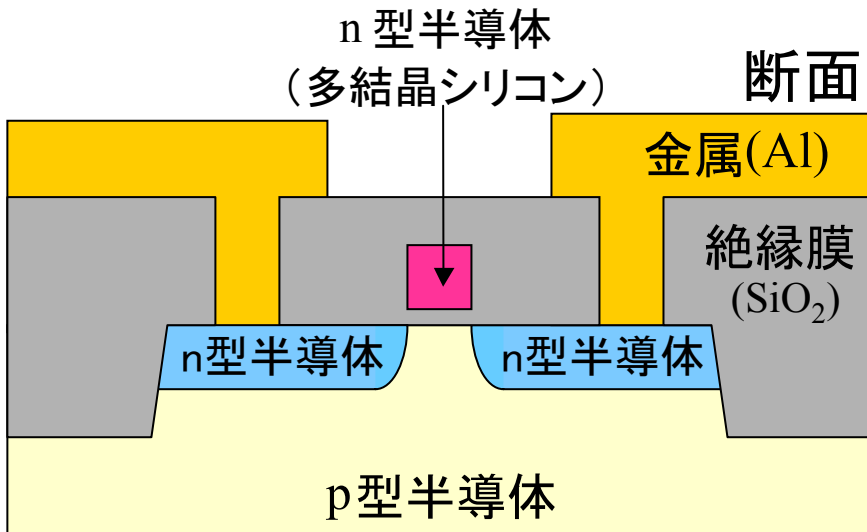
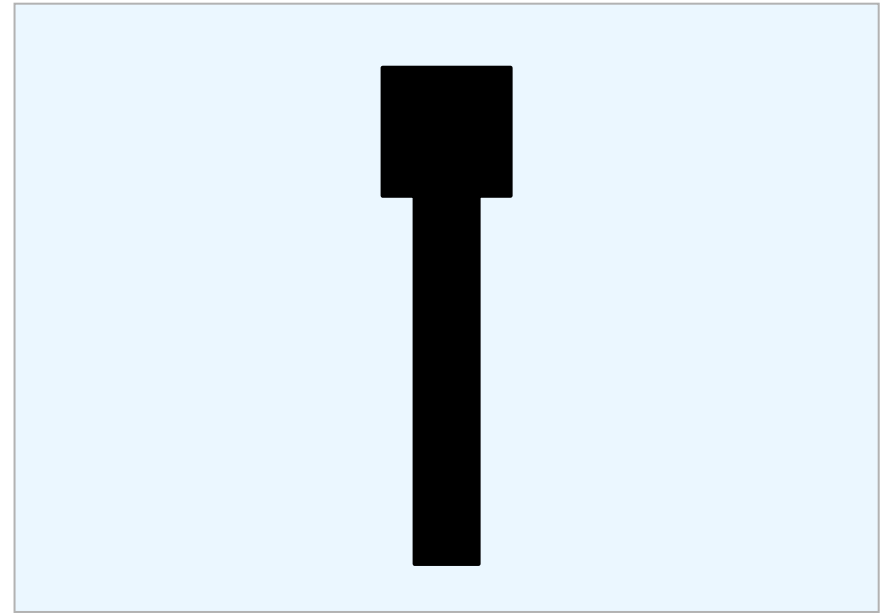
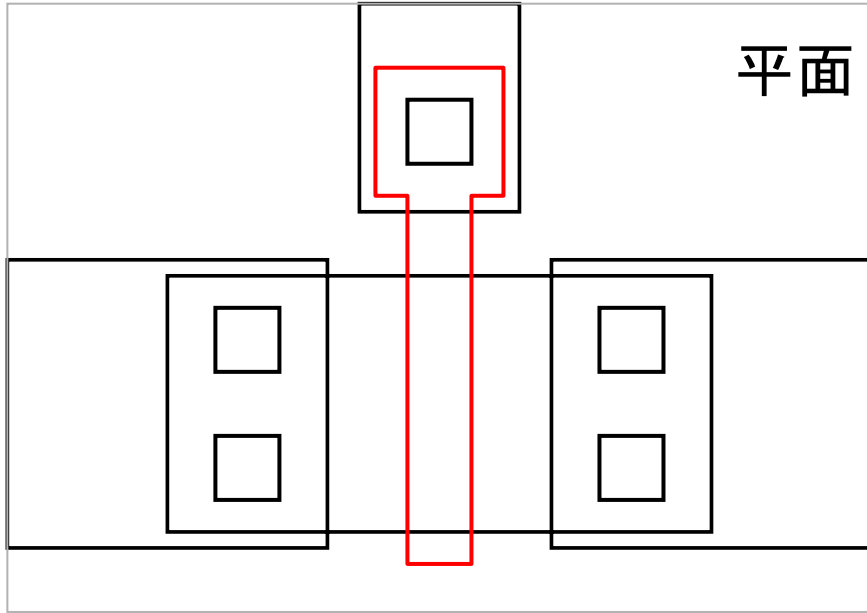
STI : shallow trench isolation

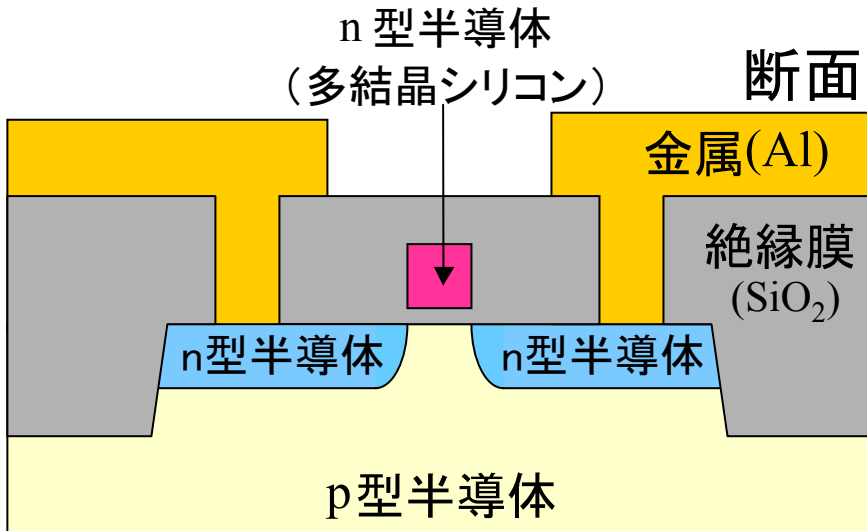
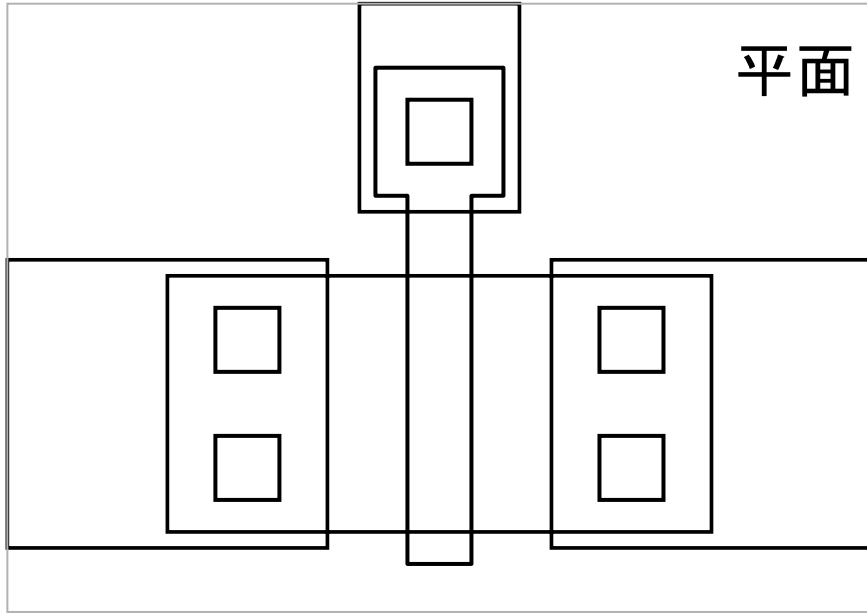




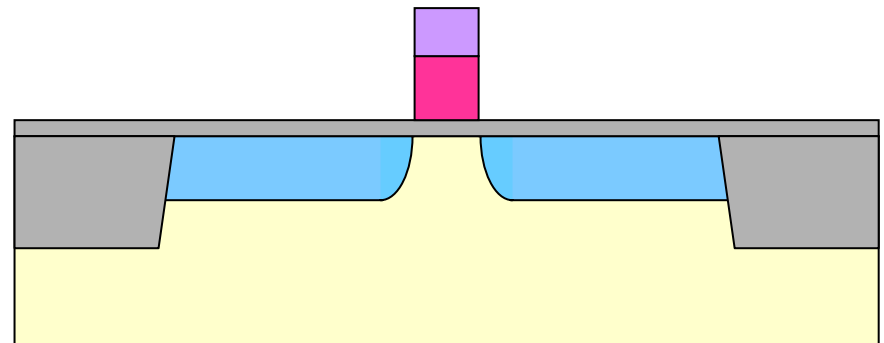
シリコン表面酸化
多結晶シリコン・デポジッション

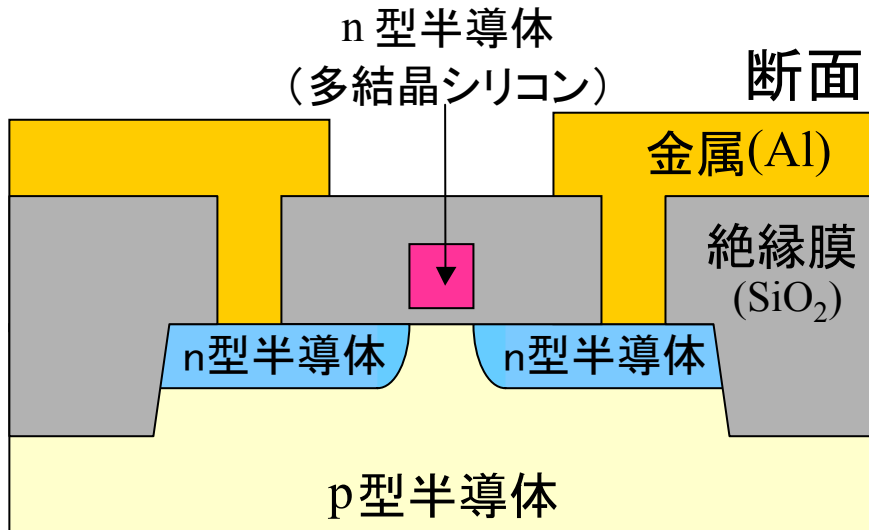
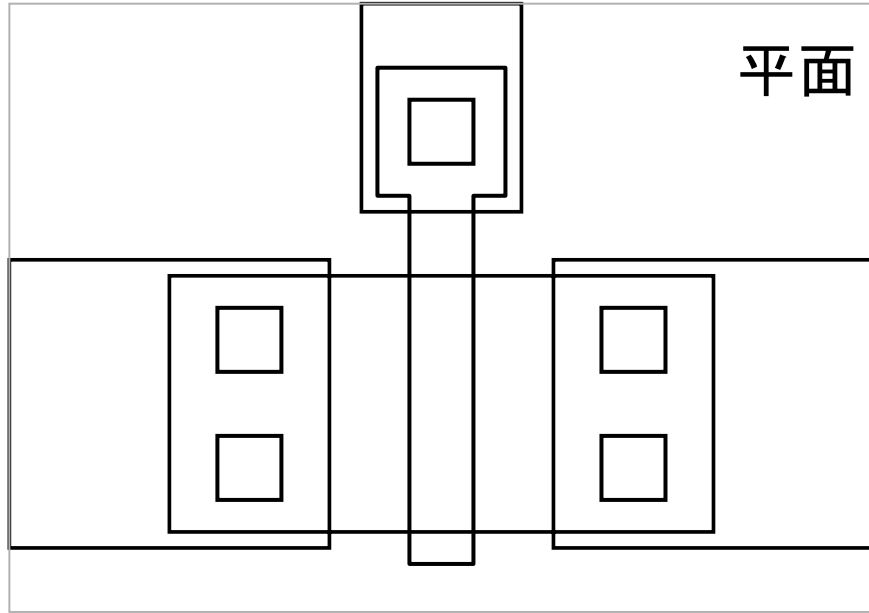




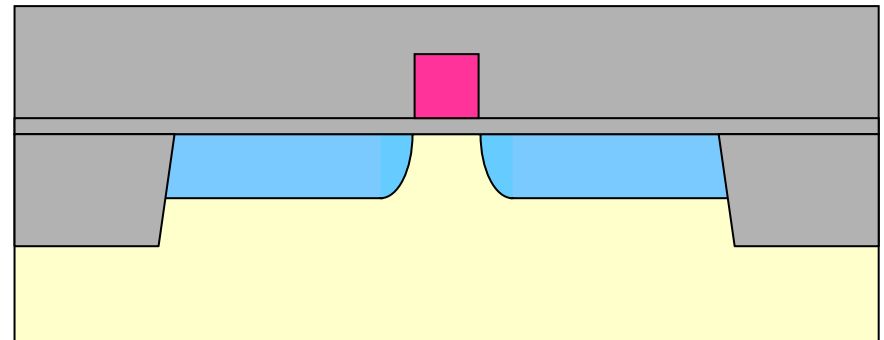


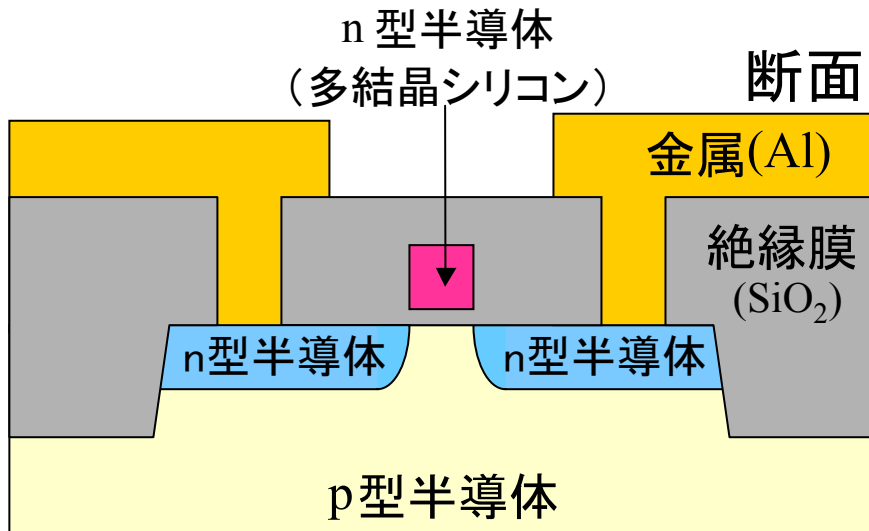
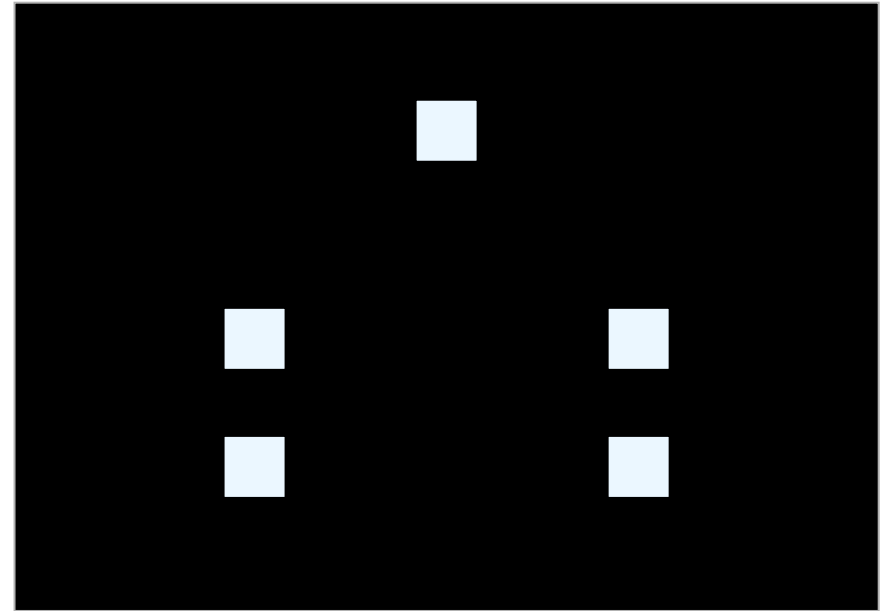
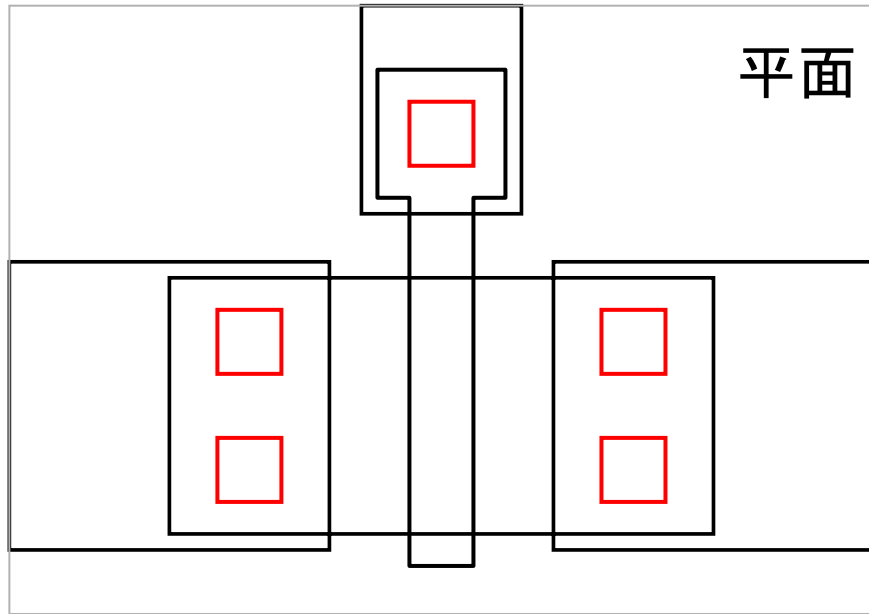
イオン・インプラ



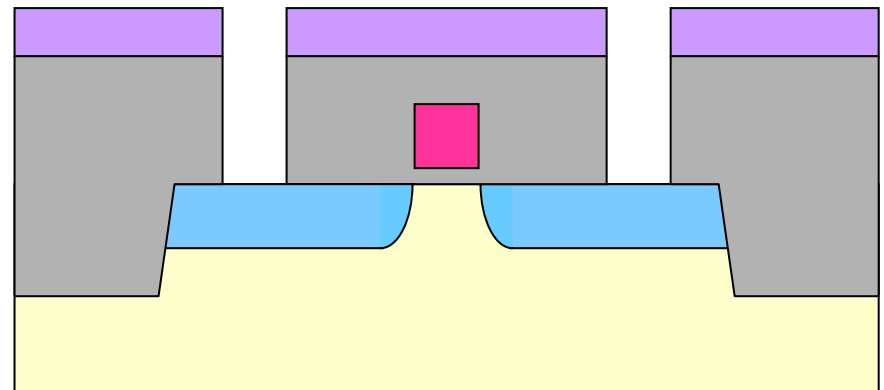


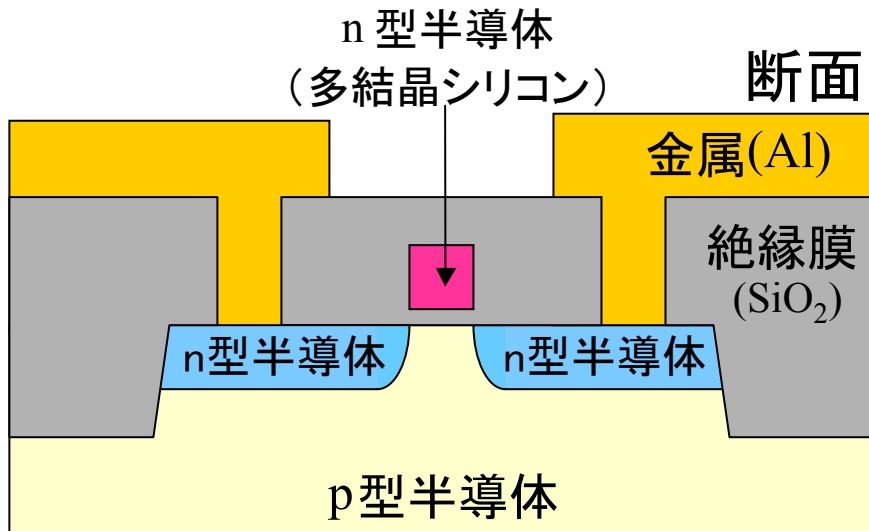
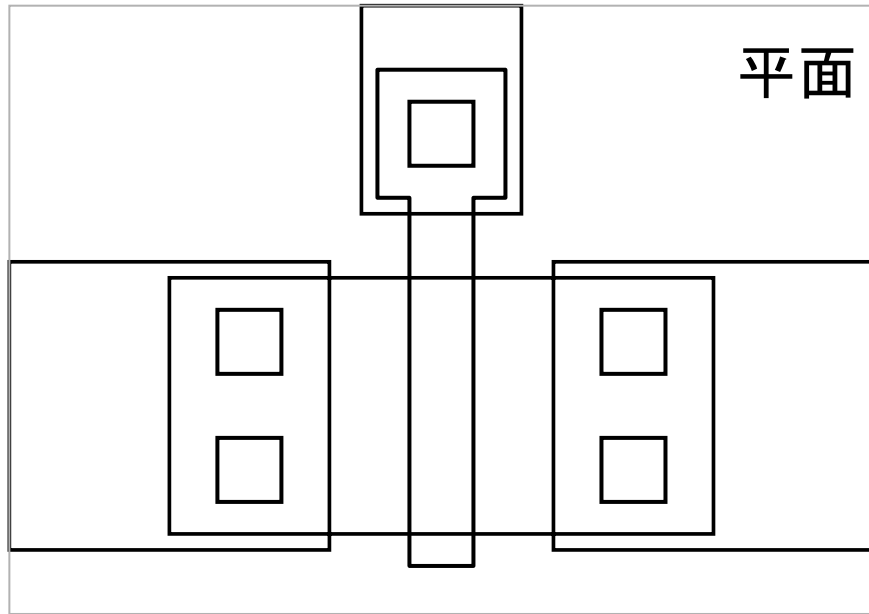
絶縁膜デポジッション



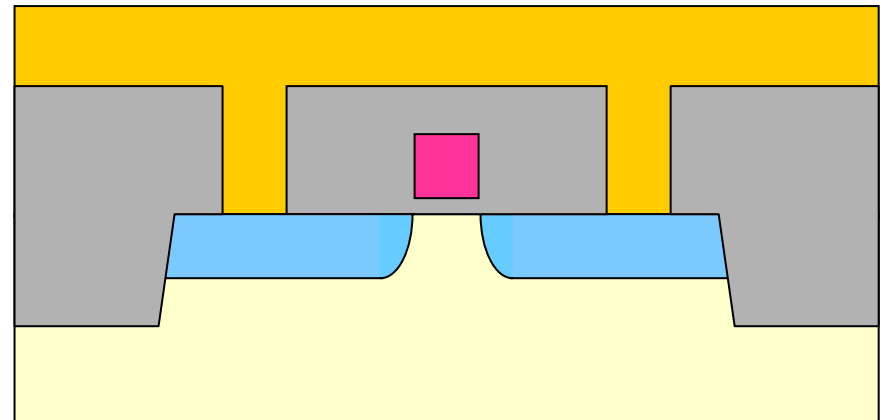


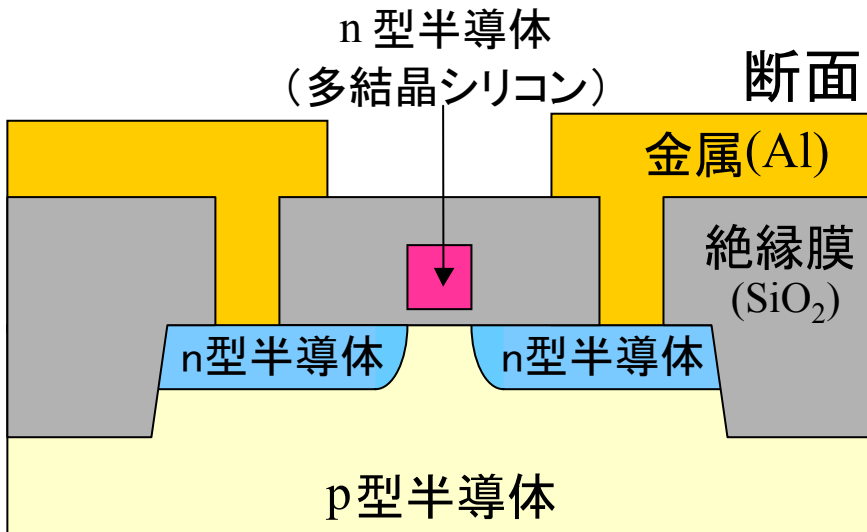
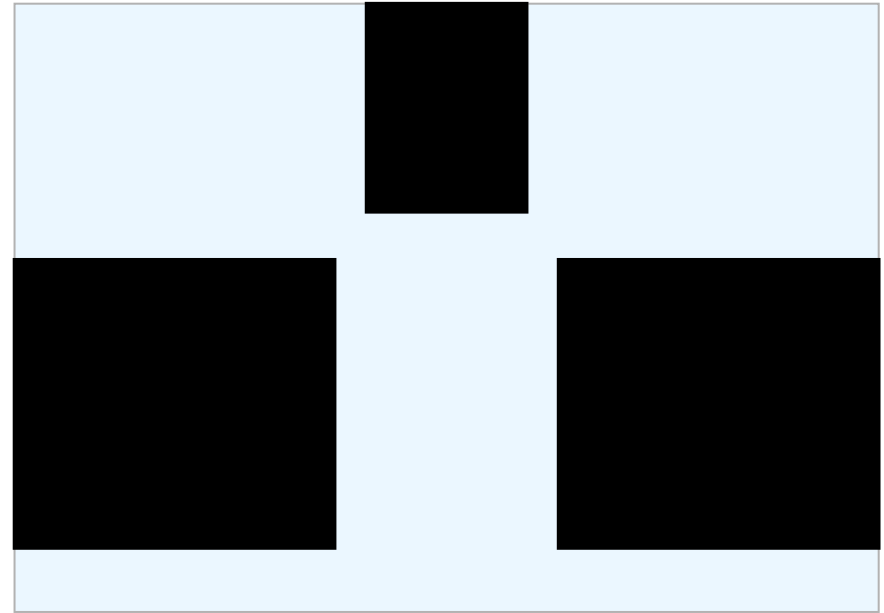
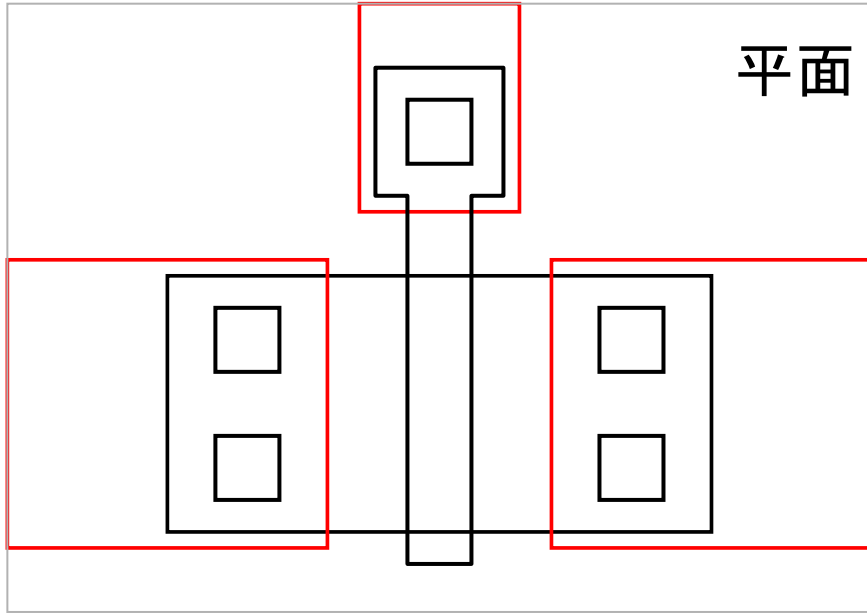
ホットリソグラフィ エッチング



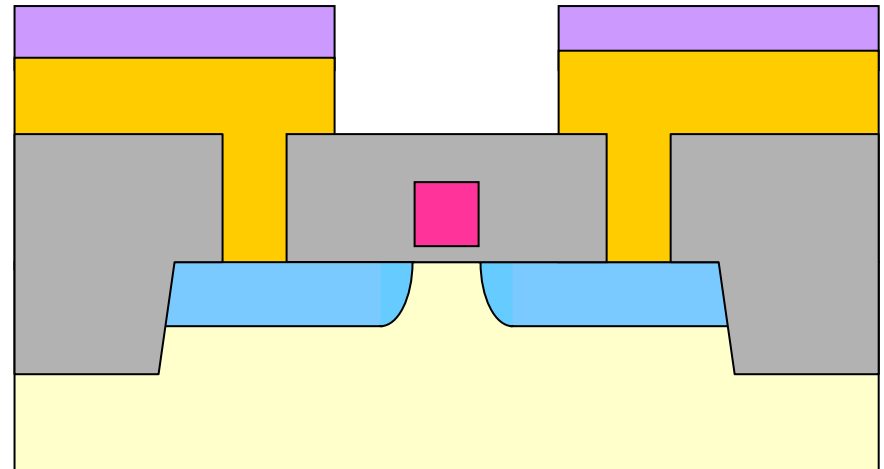


金属デポジッション

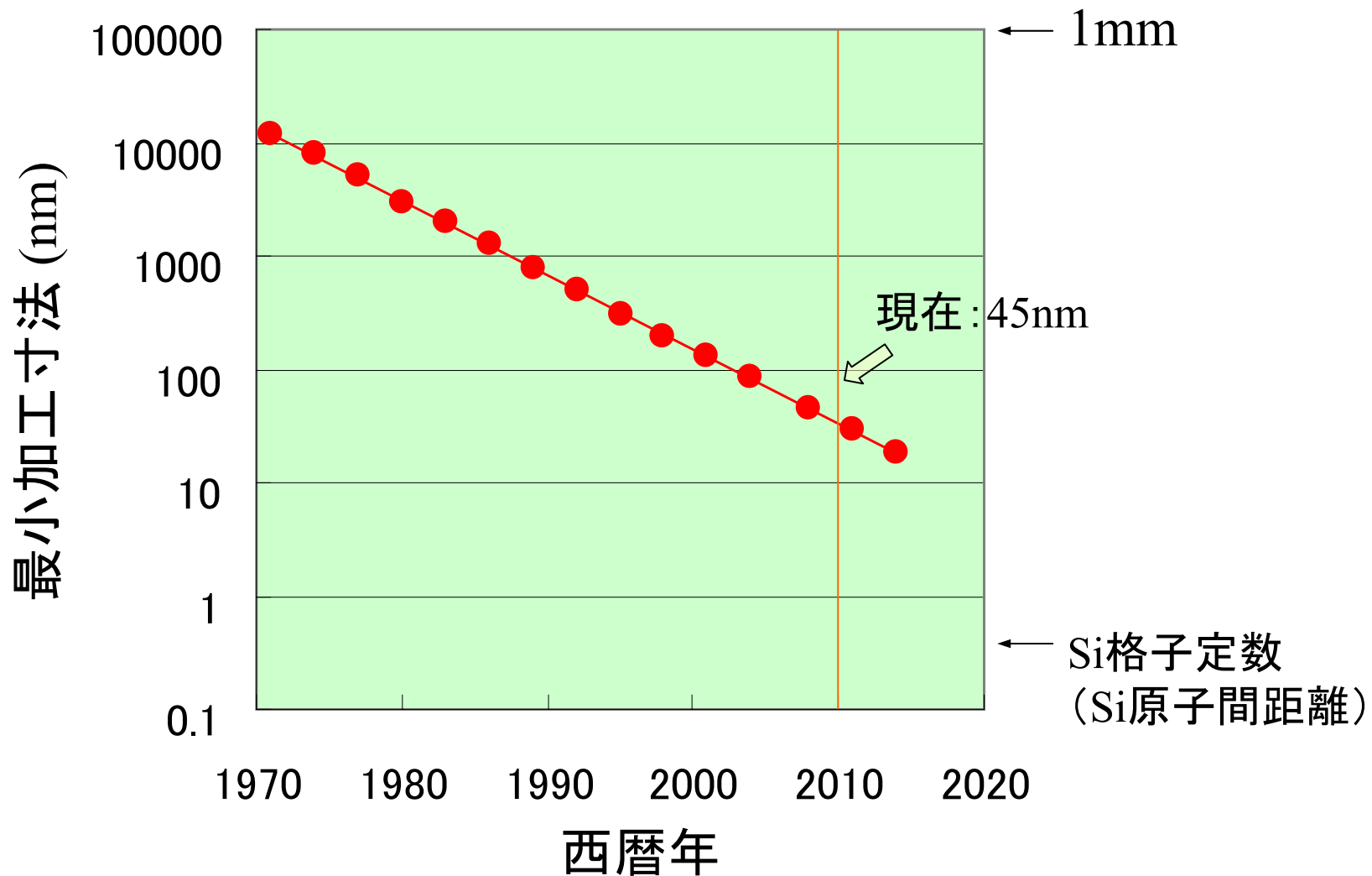




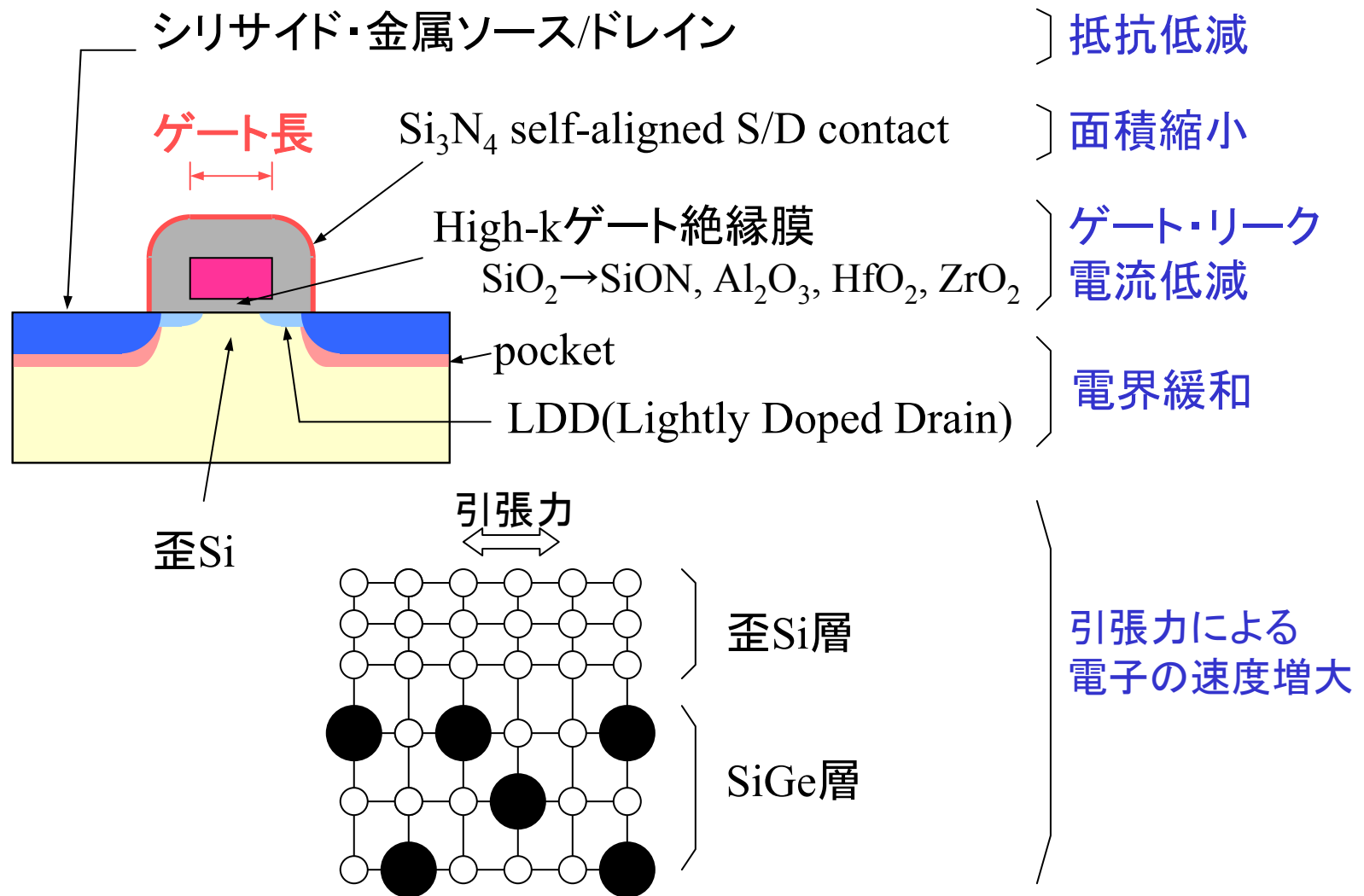
ホトリソグラフィ
エッチング

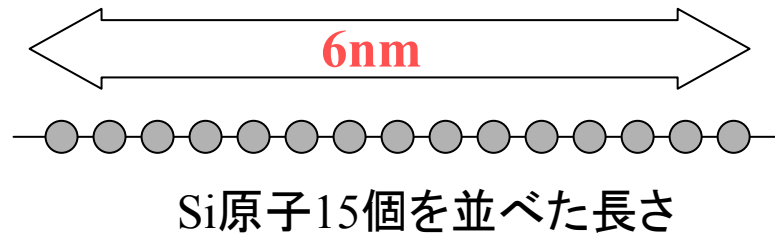
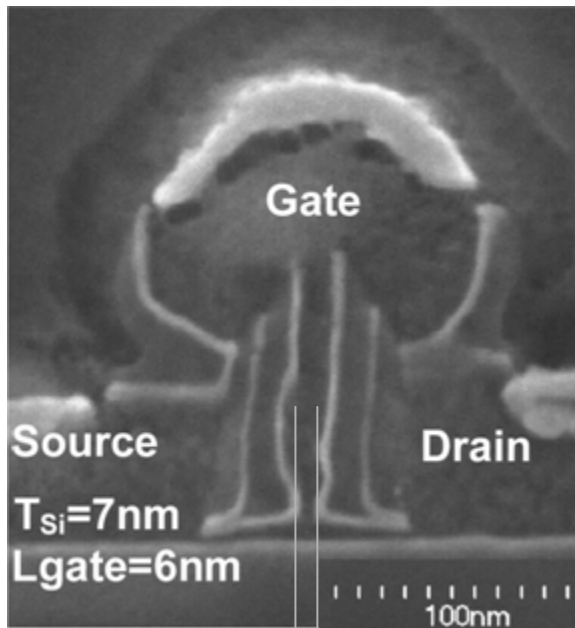


集積度を上げるにはトランジスタを小さくしていかなければならない



微細化に伴って多くの問題が出たが様々な方法で回避

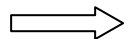




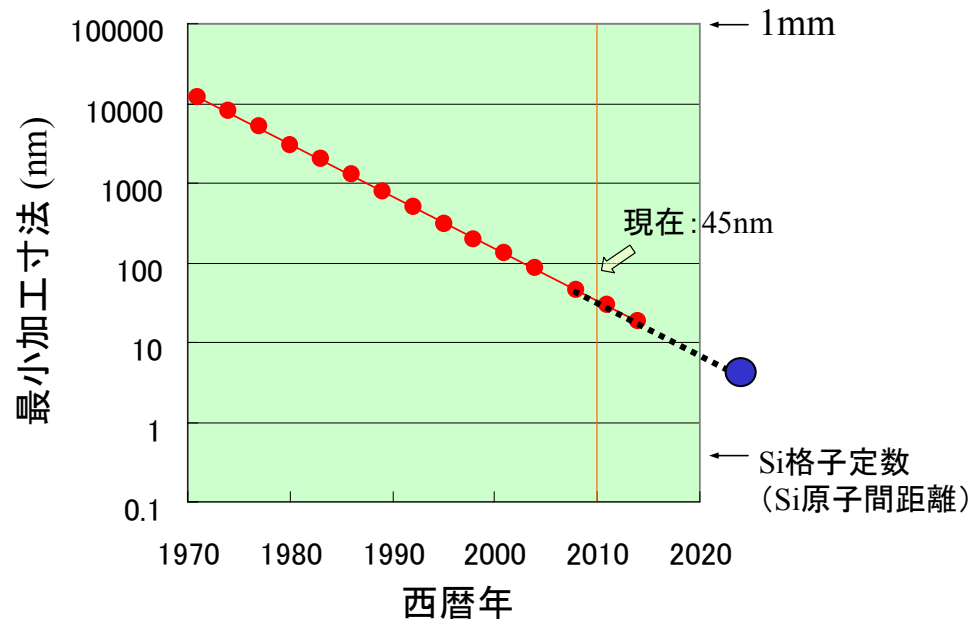
ゲート長 6nm

B. Doris, et al. (IBM),
International Electron Device Meeting (IEDM)
Technical Digest, 10.6, 2002

研究所でゲート長 6nm の
トランジスタが試作され
動作を確認



少なくとも2025までは現在の
の LSI の進歩は続く



現在のLSIは配線形成に製造の半分以上がかかっている
配線に関する技術的な課題も大きい

