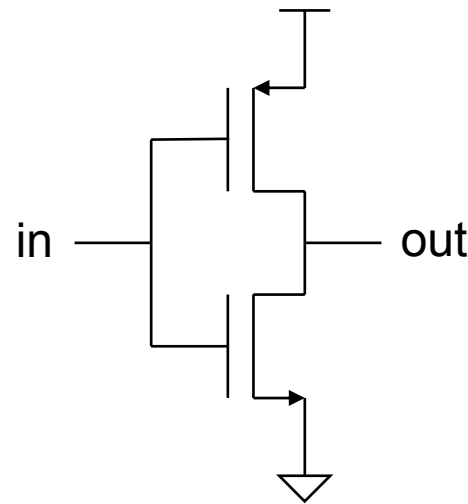


CMOS インバーターの解析

ここでは回路シミュレーションによる解析法を学ぶ



回路シミュレータ:

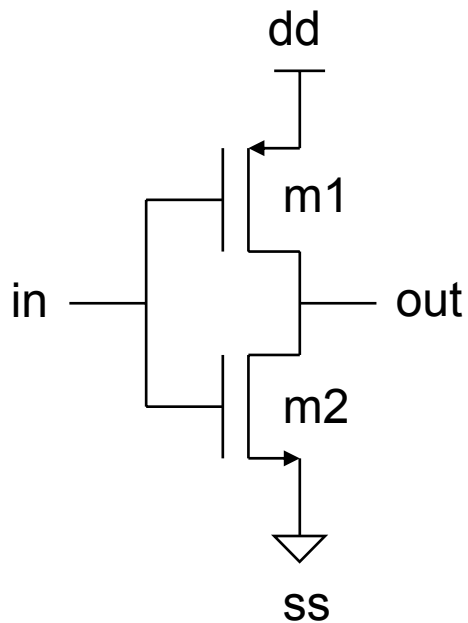
<http://www.nuee.nagoya-u.ac.jp/labs/nakazatolab/nakazato/ungspice.htm>

トランジスタ・モデル記述ファイル (p.5 - 6 参照)

```
* FILE : mos.mod *  
* example of transistor parameters *  
* 0.8um CMOS process is assumed *  
.model n nmos level=1  
+ VTO=0.7 KP=110u GAMMA=0.4  
+ PHI=0.7 LAMBDA=0.04 PB=1.23  
+ CGSO=0.22n CGDO=0.22n CGBO=0.7n  
+ RSH=60 CJ=0.77m MJ=0.5  
+ CJSW=0.38n MJSW=0.38  
+ JS=0.1m TOX=14n LD=16n FC=0.5  
.model p pmos level=1  
+ VTO=-0.7 KP=50u GAMMA=0.57  
+ PHI=0.8 LAMBDA=0.05 PB=0.98  
+ CGSO=0.22n CGDO=0.22n CGBO=0.7n  
+ RSH=135 CJ=0.56m MJ=0.5  
+ CJSW=0.35n MJSW=0.35  
+ JS=0.1m TOX=14n LD=15n FC=0.5
```

CMOS インバーターの直流解析

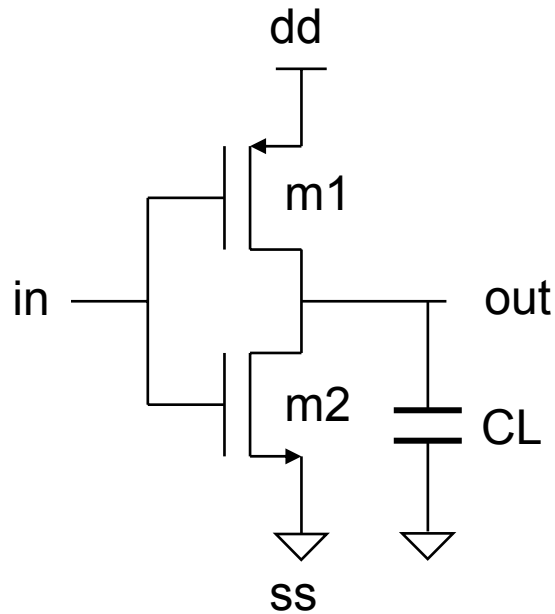
例題1-3



```
* FILE : inverter.cir *  
* CMOS inverter *  
  
vdd dd 0 dc 5  
vss ss 0 dc 0  
vin in 0 dc 0  
  
m1 out in ss ss n w=3.2u l=0.8u  
m2 out in dd dd p w=7.0u l=0.8u  
.dc vin 0 5 0.01  
.include mos.mod  
  
.end
```

CMOS インバーターの過渡解析

例題1-4



```
* FILE : inverterdelay.cir *
```

```
* CMOS inverter delay *
```

```
vdd dd 0 dc 5
```

```
vss ss 0 dc 0
```

```
vin in 0 dc 0 pulse(0 5 1n 0.1n 0.1n 5n 10n)
```

```
CL out 0 1p
```

```
m1 out in ss ss n w=3.2u l=0.8u
```

```
m2 out in dd dd p w=7.0u l=0.8u
```

```
.tran 0.01n 10n
```

```
.include mos.mod
```

```
.end
```

トランジスタ・モデル

ここでは、最も基本的な Shichman-Hodges の SPICE LEVEL=1 モデルを用いる

物理モデルに拠っている

最もシンプル

手計算による解析でも LEVEL=1 が有効

ショートチャンネル効果等が入っていないので最終設計には不十分

SPICE での MOSFET の記述方法

```
MXXXXXX ND NG NS NB MNAME <L=VAL> <W=VAL>
+ <AD=VAL> <AS=VAL> <PD=VAL> <PS=VAL>
+ <NRD=VAL> <NRS=VAL>
```

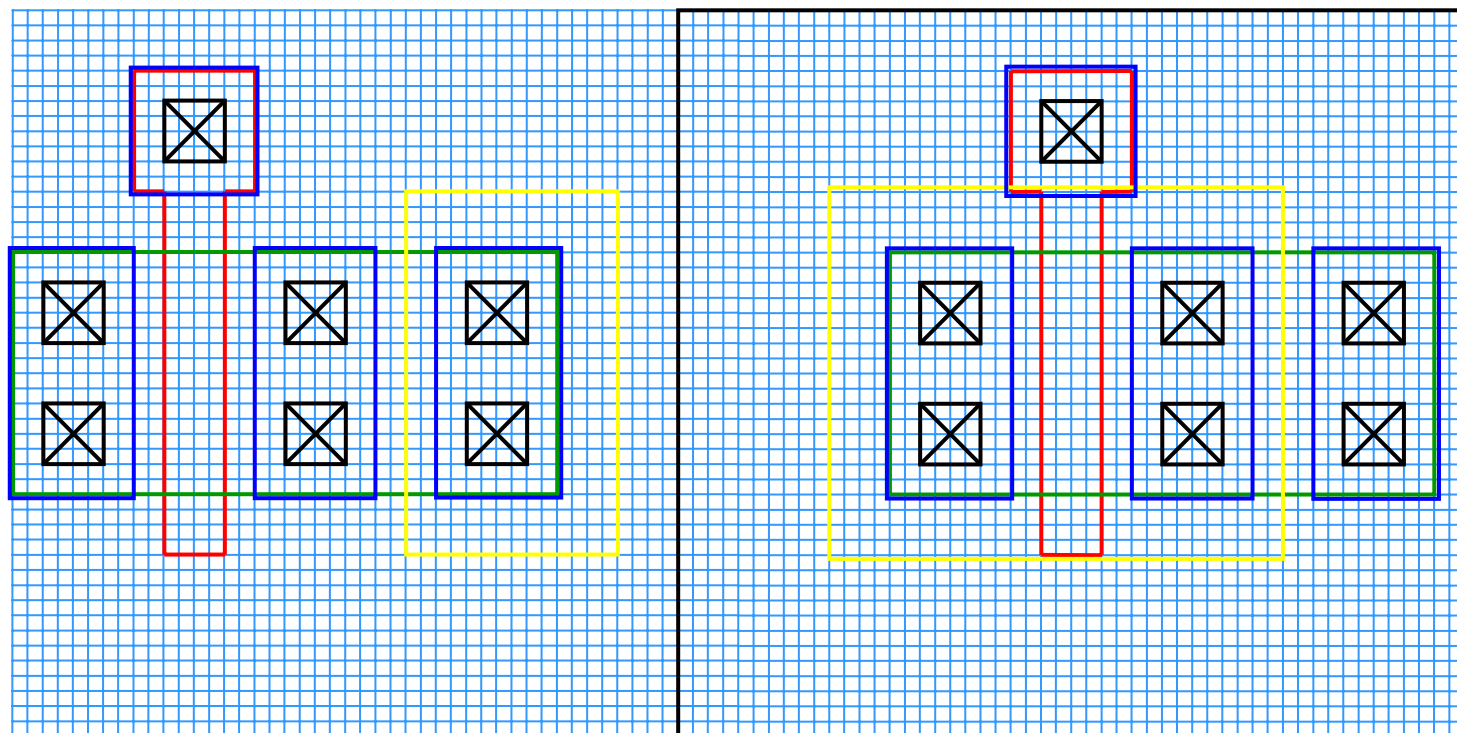
記号	パラメータ名	意味	記号	パラメータ名	意味
D	ND	ドレイン・ノード	A_D	AD	ドレイン面積
G	NG	ゲート・ノード	A_S	AS	ソース面積
S	NS	ソース・ノード	P_D	PD	ドレイン周辺長
B	NB	基板ノード	P_S	PS	ソース周辺長
	MNAME	モデル名	N_{RD}	NRD	ドレイン抵抗・□数
L	L	チャンネル長	N_{RS}	NRS	ソース抵抗・□数
W	W	チャンネル幅			

長さの単位 = m

SPICE パラメータ (LEVEL 1)

記号	パラメータ名	意味	デフォルト	NMOS	PMOS	単位
V_{TO}	VTO	ゼロバイアス閾値	0	0.7	-0.7	V
K'	KP	相互コンダクタンス係数	0.2e-6	110e-6	50e-6	A/V ²
γ	GAMMA	基板閾値パラメータ	0	0.4	0.57	V ^{1/2}
ϕ	PHI	界面ポテンシャル	0.6	0.7	0.8	V
λ	LAMBDA	チャンネル長変調	0	0.04	0.05	1/V
ϕ_B	PB	基板ビルトイン・ポテンシャル	0.8	1.23	0.98	V
C_{GSO}	CGSO	チャンネル長あたりのゲート-ソース オーバーラップ容量	0	0.22e-9	0.22e-9	F/m
C_{GDO}	CGDO	チャンネル長あたりのゲート-ドレイン オーバーラップ容量	0	0.22e-9	0.22e-9	F/m
C_{GBO}	CGBO	チャンネル長あたりのゲート-基板 オーバーラップ容量	0	0.7e-9	0.7e-9	F/m
R_{SH}	RSH	ソース・ドレイン シート抵抗	0	60	135	$\Omega/\square$
C_J	CJ	ソース,ドレイン-基板 面積あたりの容量	0	0.77e-3	0.56e-3	F/m ²
m_J	MJ	ソース,ドレイン-基板 面積容量の電圧指数	0.5	0.5	0.5	-
C_{JSW}	CJSW	ソース,ドレイン-基板 周辺長あたりの容量	0	0.38e-9	0.35e-9	F/m
m_{JSW}	MJSW	ソース,ドレイン-基板 周辺容量の電圧指数	0.5	0.38	0.35	-
J_S	JS	ソース,ドレイン-基板 面積あたりのダイオード電流係数	-	0.1e-3	0.1e-3	A/m ²
t_{OX}	TOX	ゲート絶縁膜厚さ	1e-7	14e-9	14e-9	m
L_D	LD	ソース・ドレイン拡散長	0	16e-9	15e-9	m
f_C	FC	ソース,ドレイン-基板容量フィッティング・パラメータ	-	0.5	0.5	-

レイアウト



断面構造

NMOSFET

PMOSFET

