

情報デバイス特論 演習 設計ルール

実際に集積回路の設計を体験する

想定プロセス: 0.8 μ m CMOS

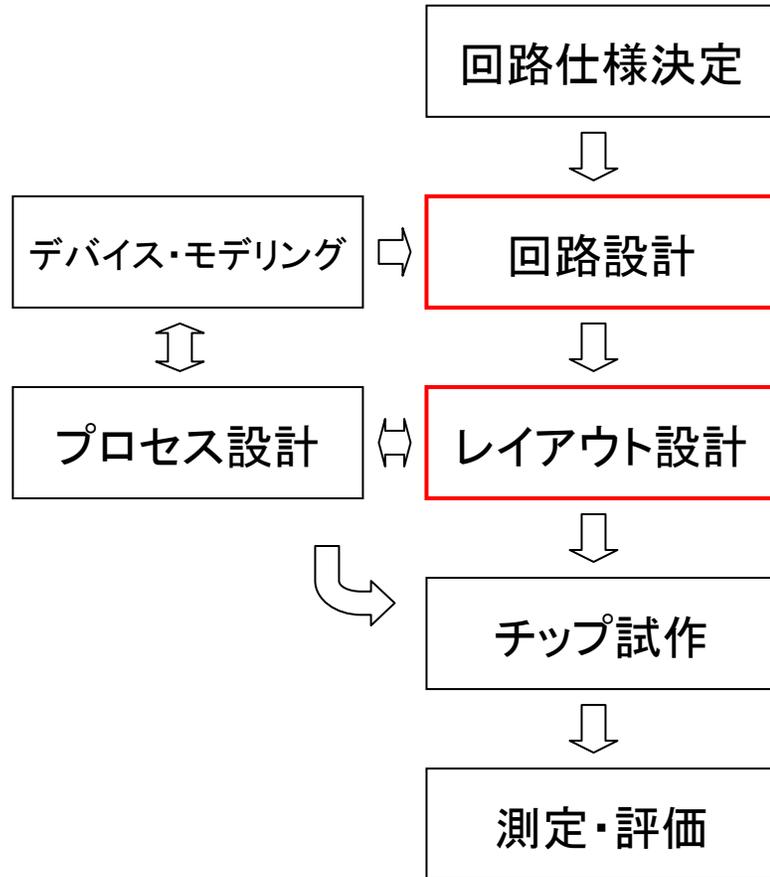
電源電圧: 5V

本設計ルールは

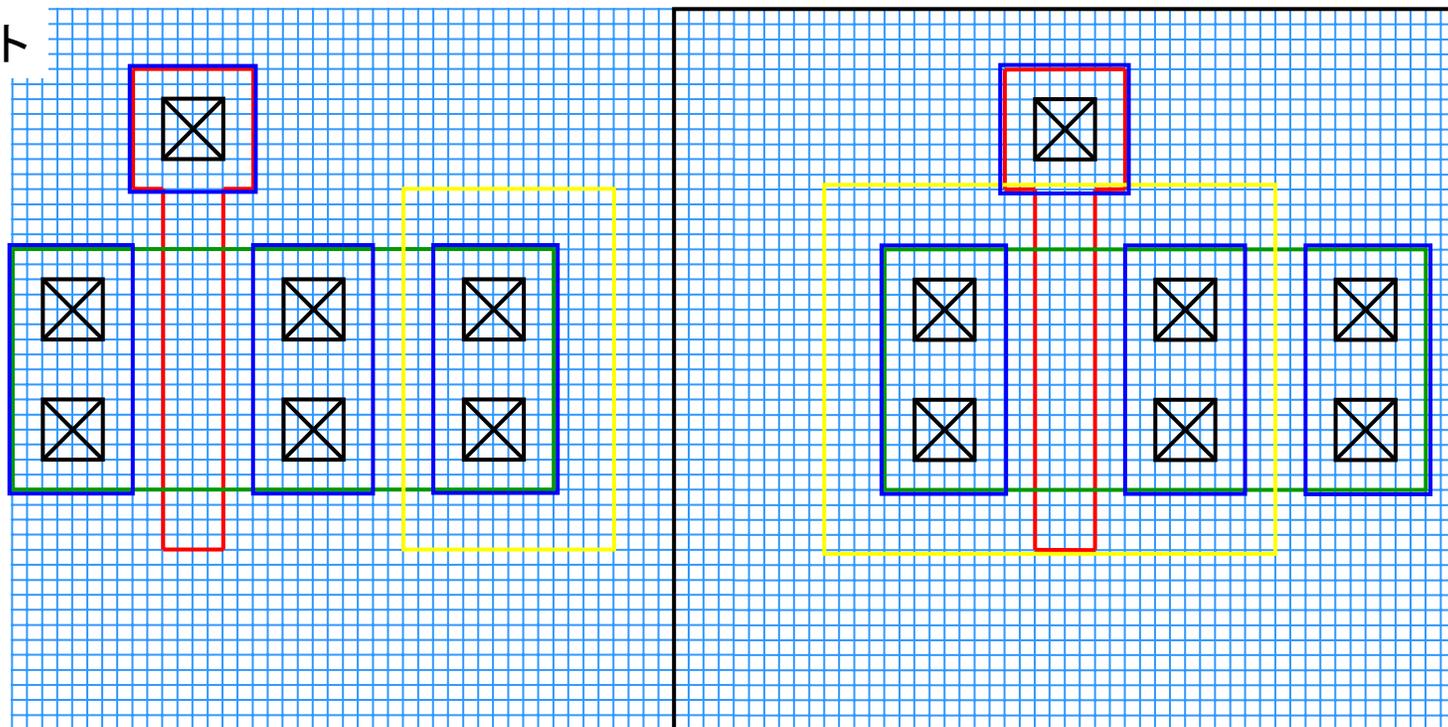
P. E. Allen and D. R. Holberg, *CMOS Analog Circuit Design*,
Second Edition, 2002, Oxford University Press

及び VDEC (東京大学大規模集積回路教育センタ)
を参考に教育用として作成したものであり、特定の
製造プロセスに関するものではない。

集積回路作成の流れ



レイアウト

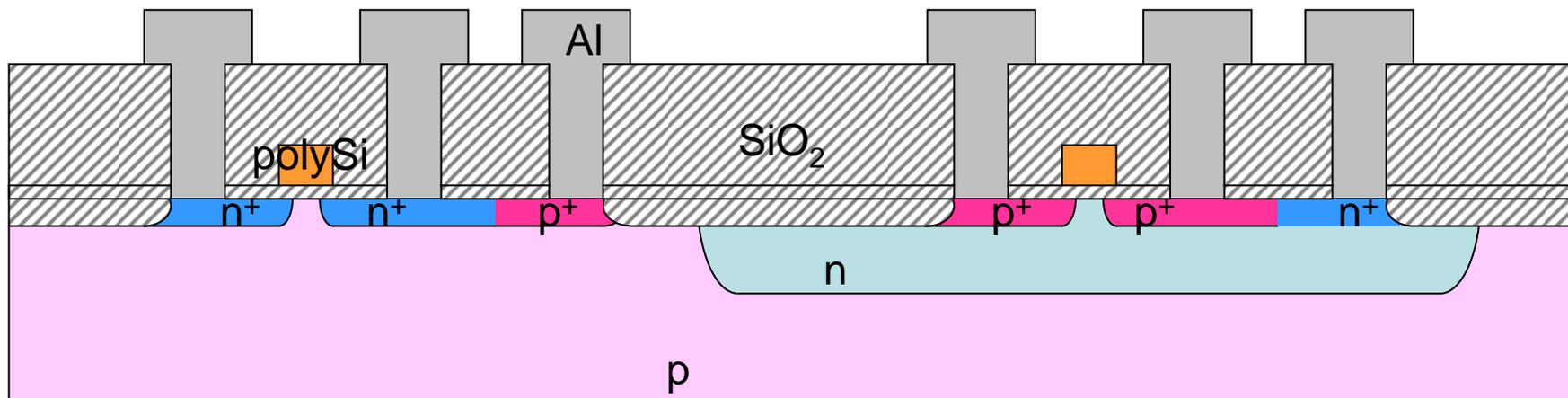


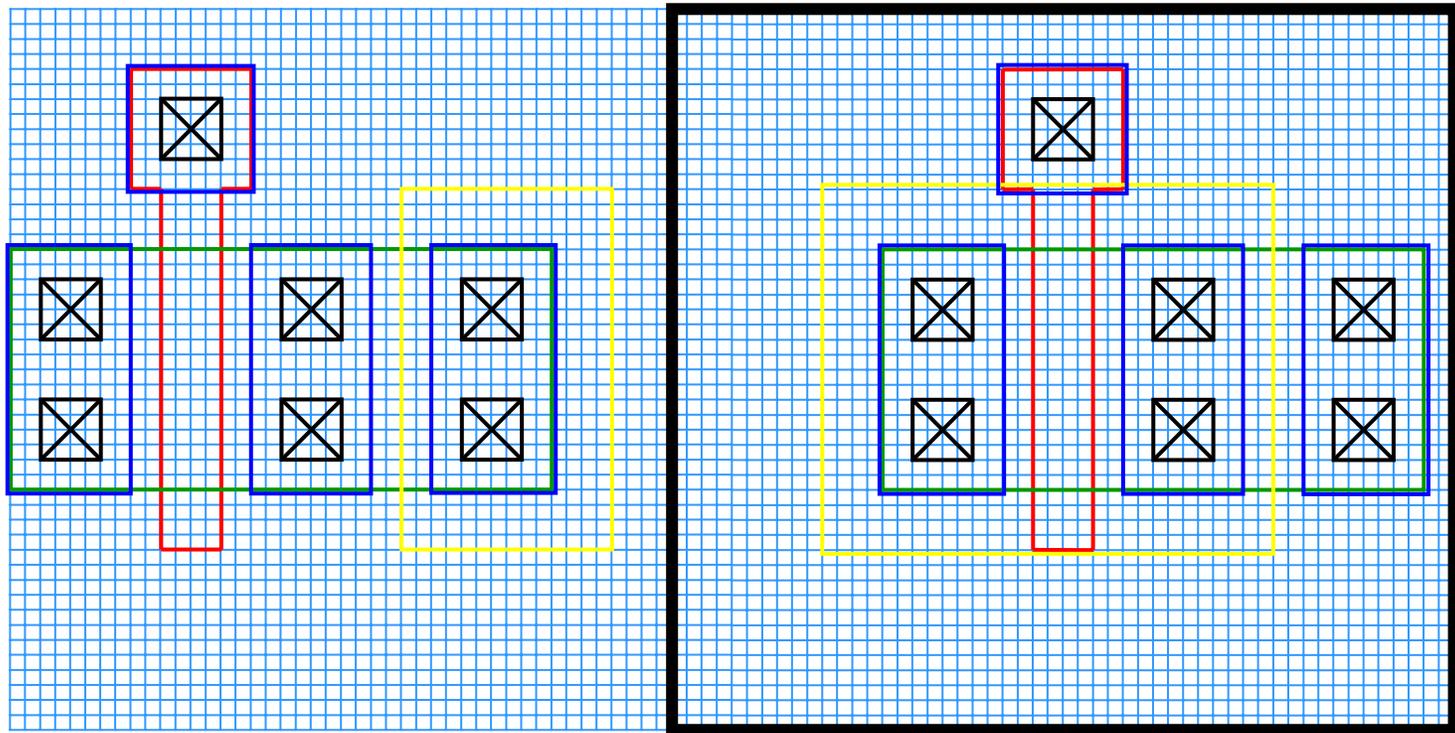
1 mesh =
0.2 μm

断面構造

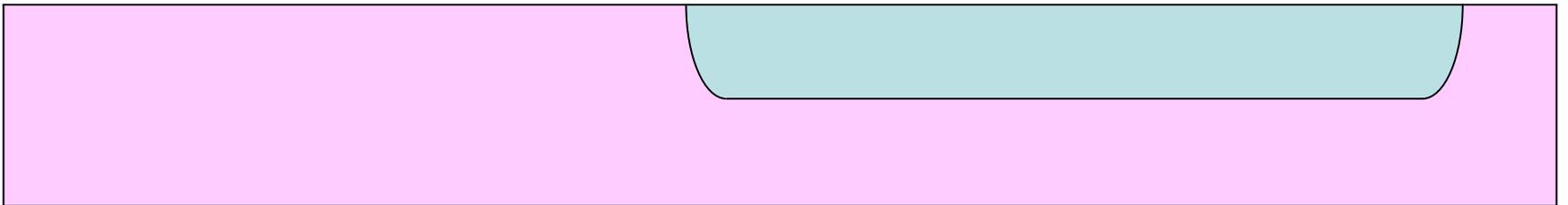
NMOSFET

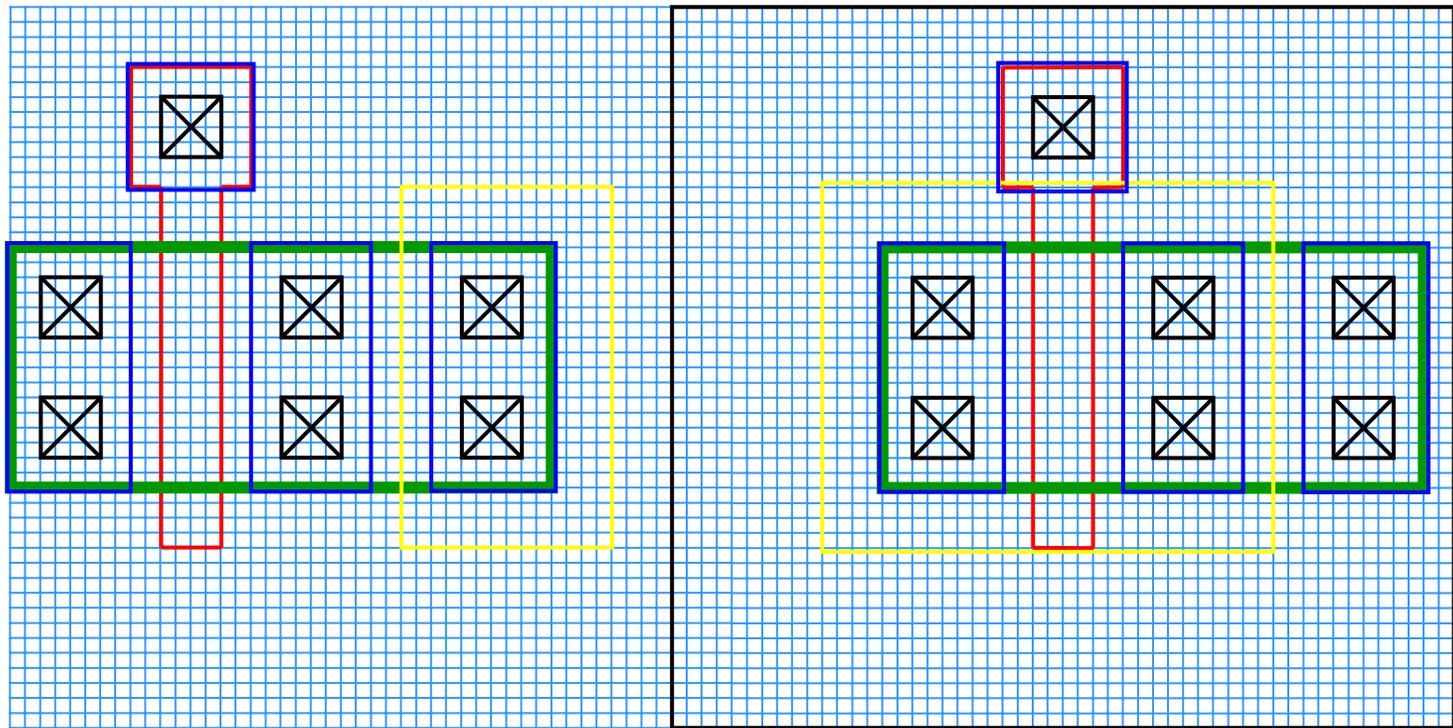
PMOSFET



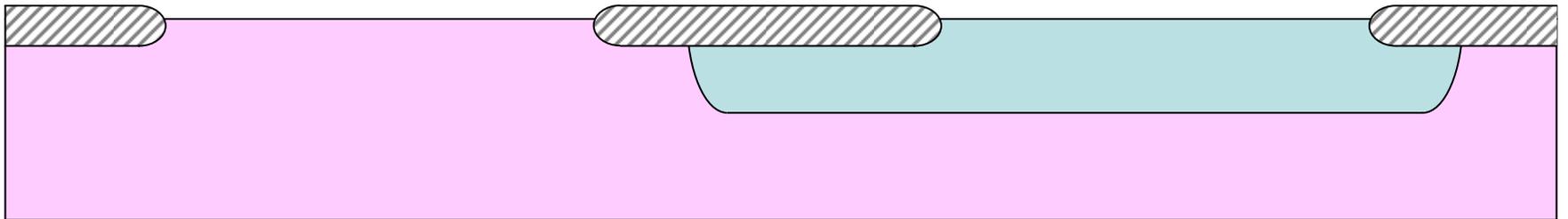


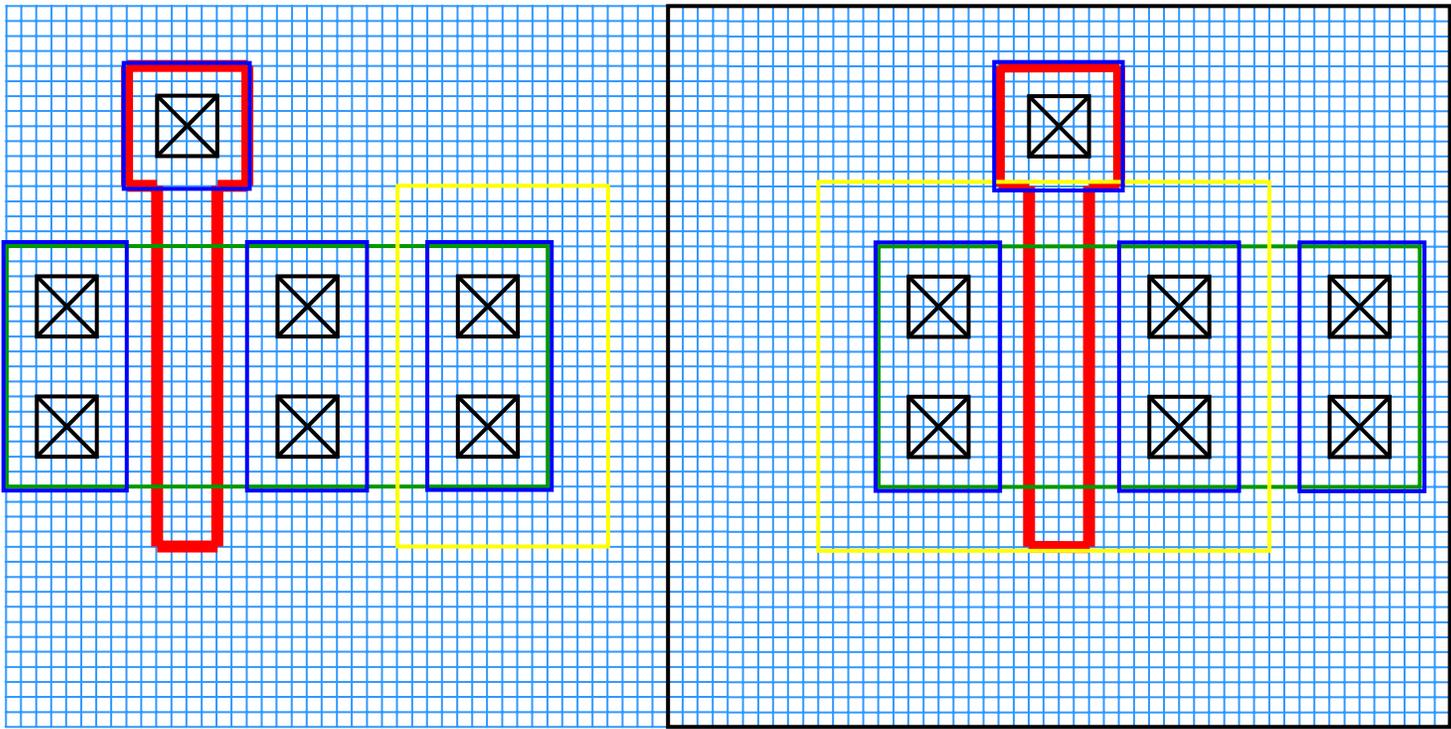
n-well



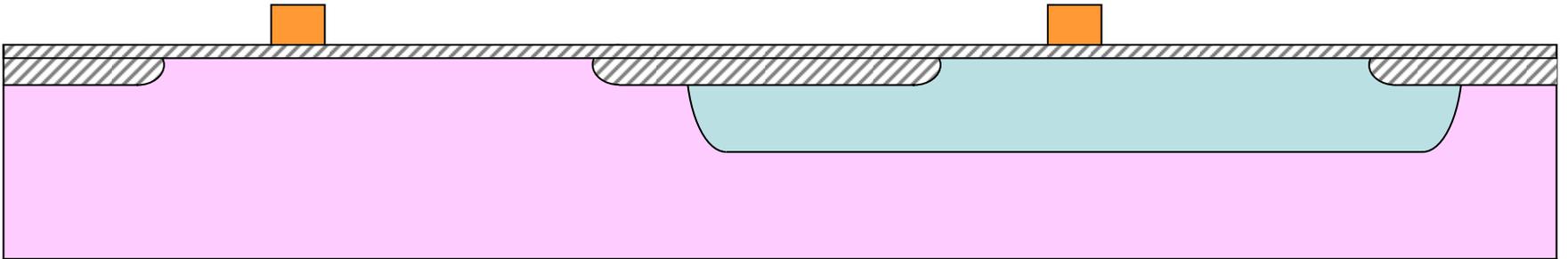


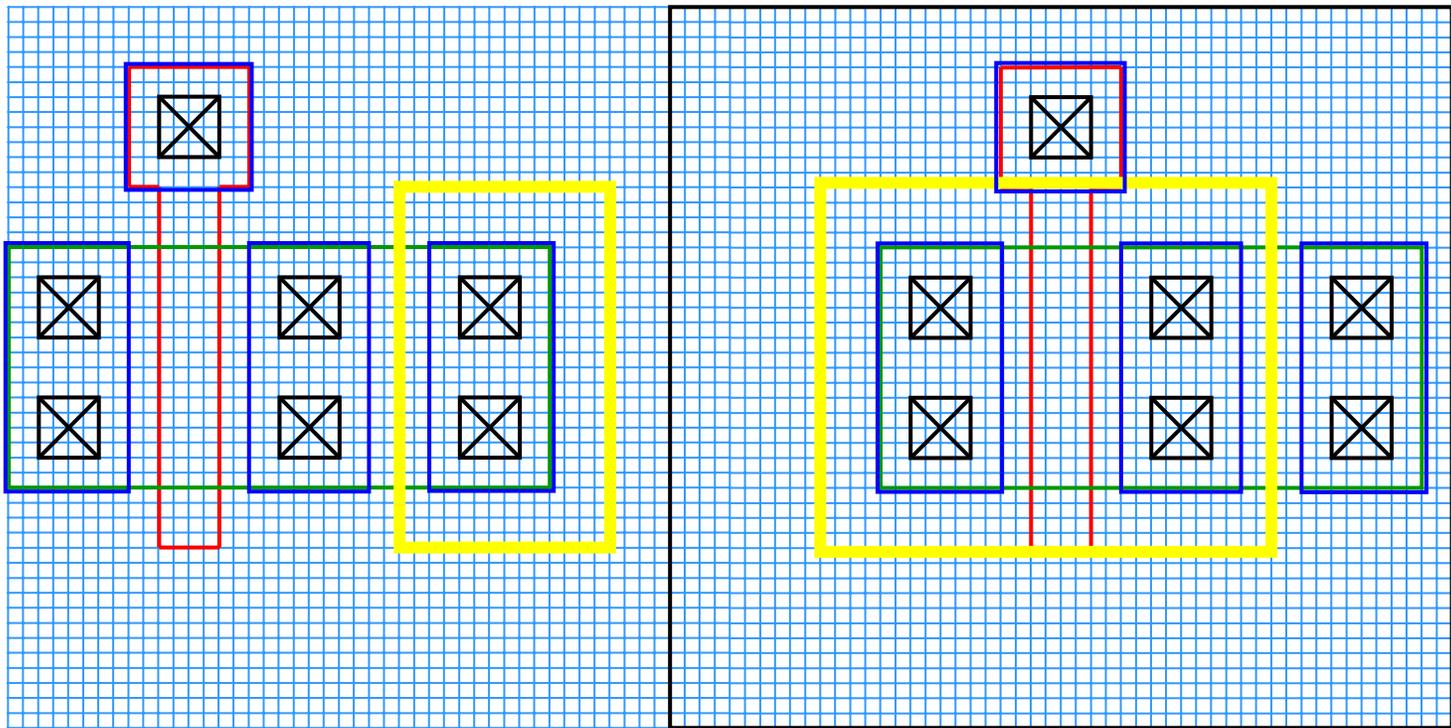
active layer



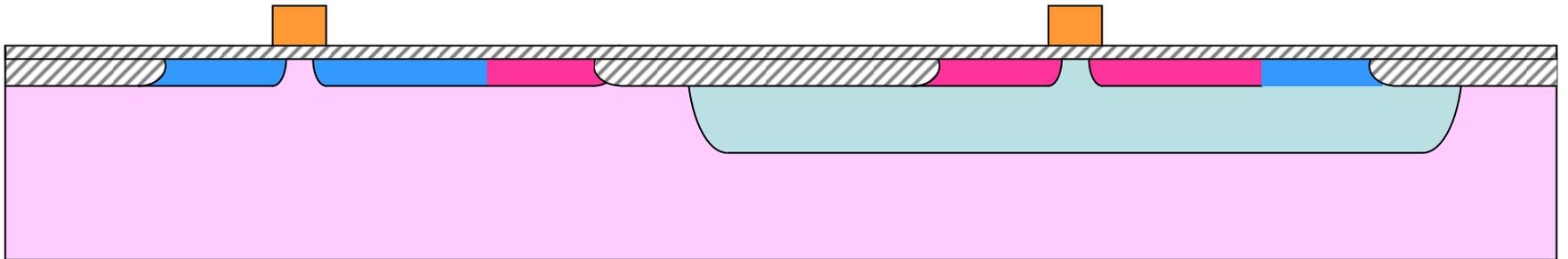


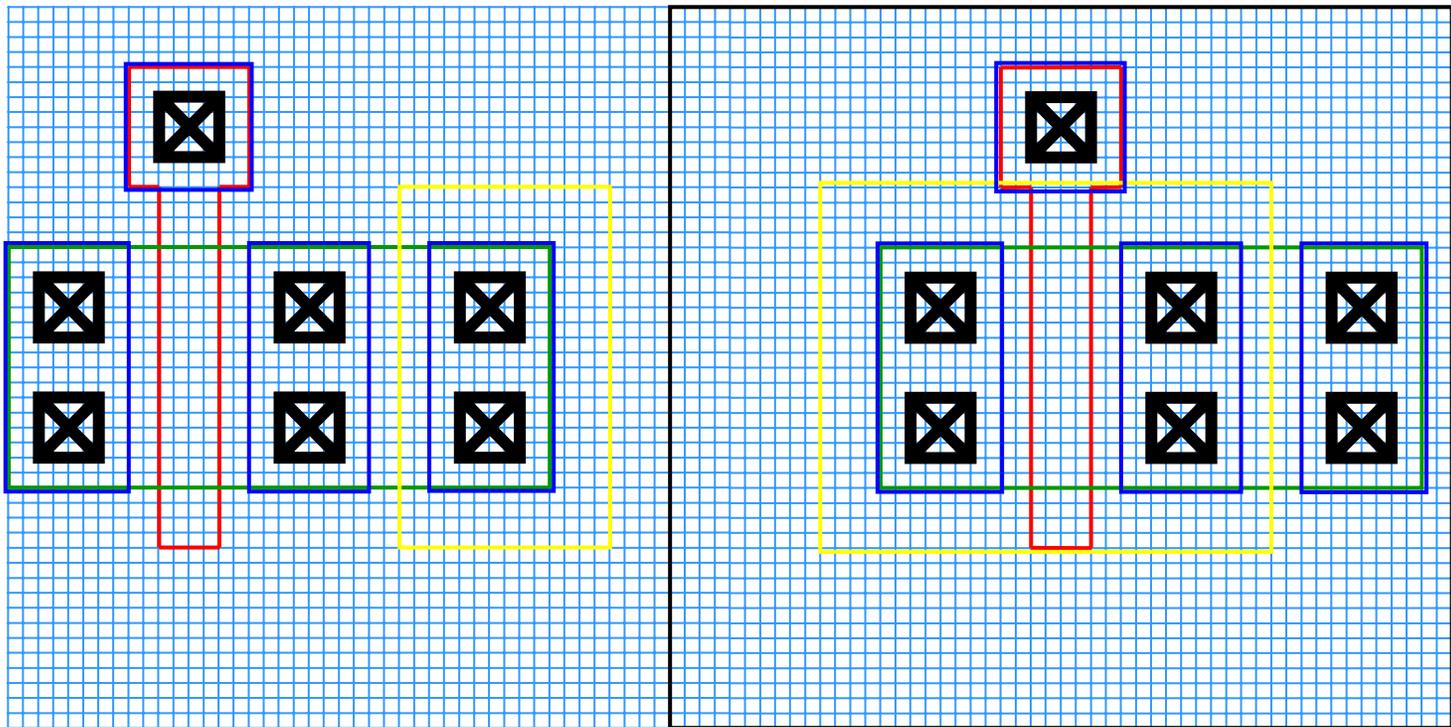
poly1



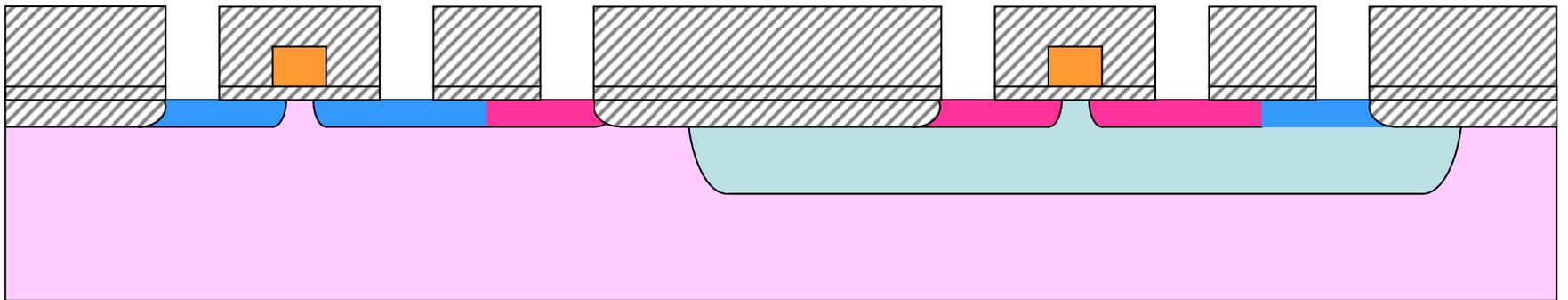


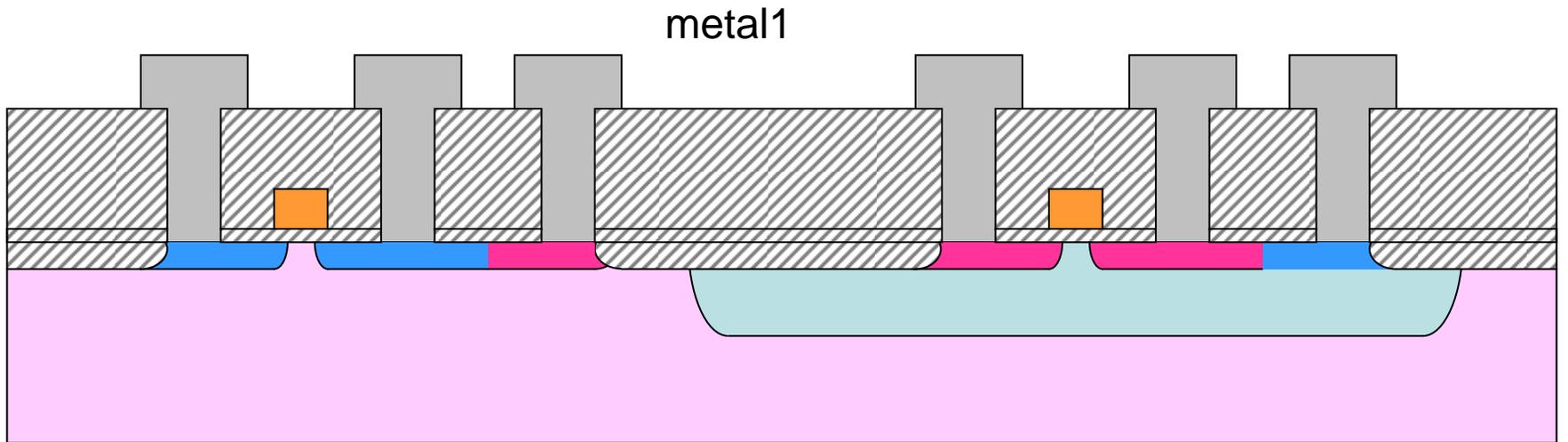
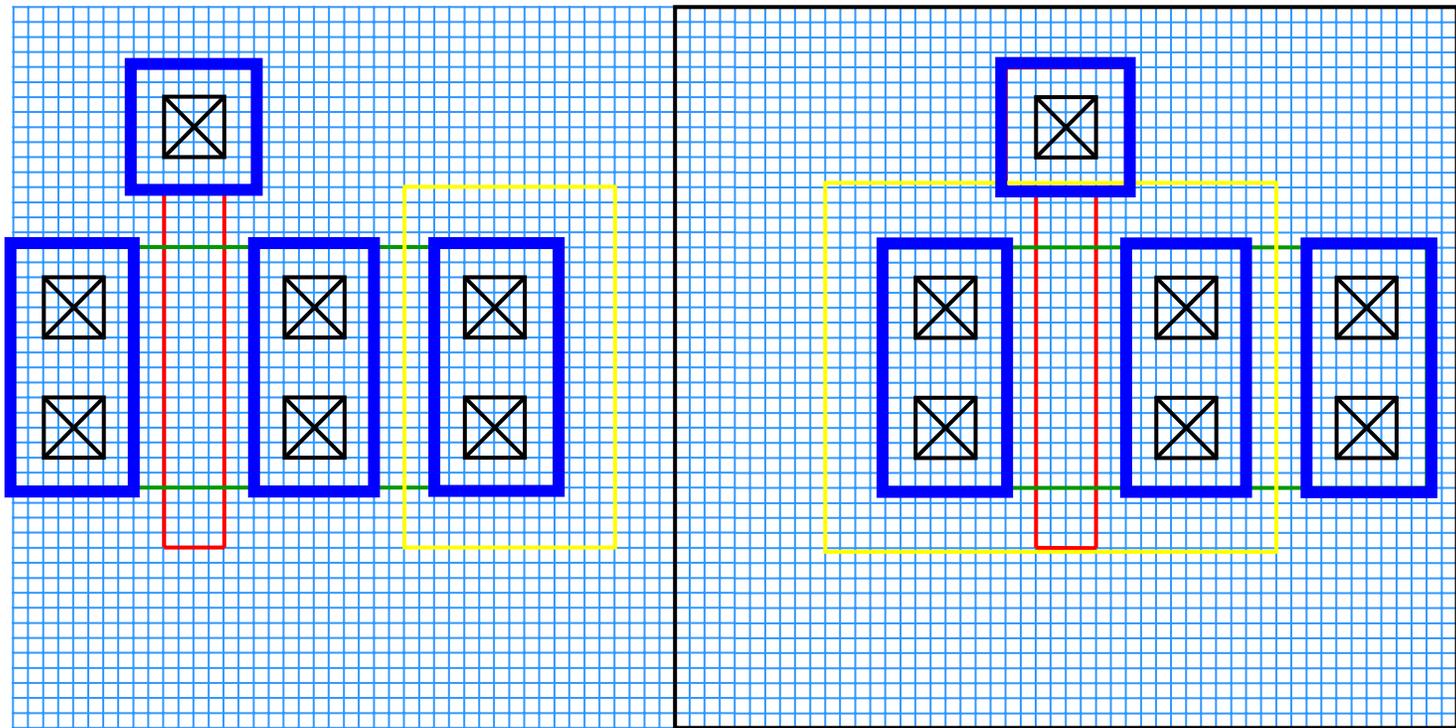
p+select



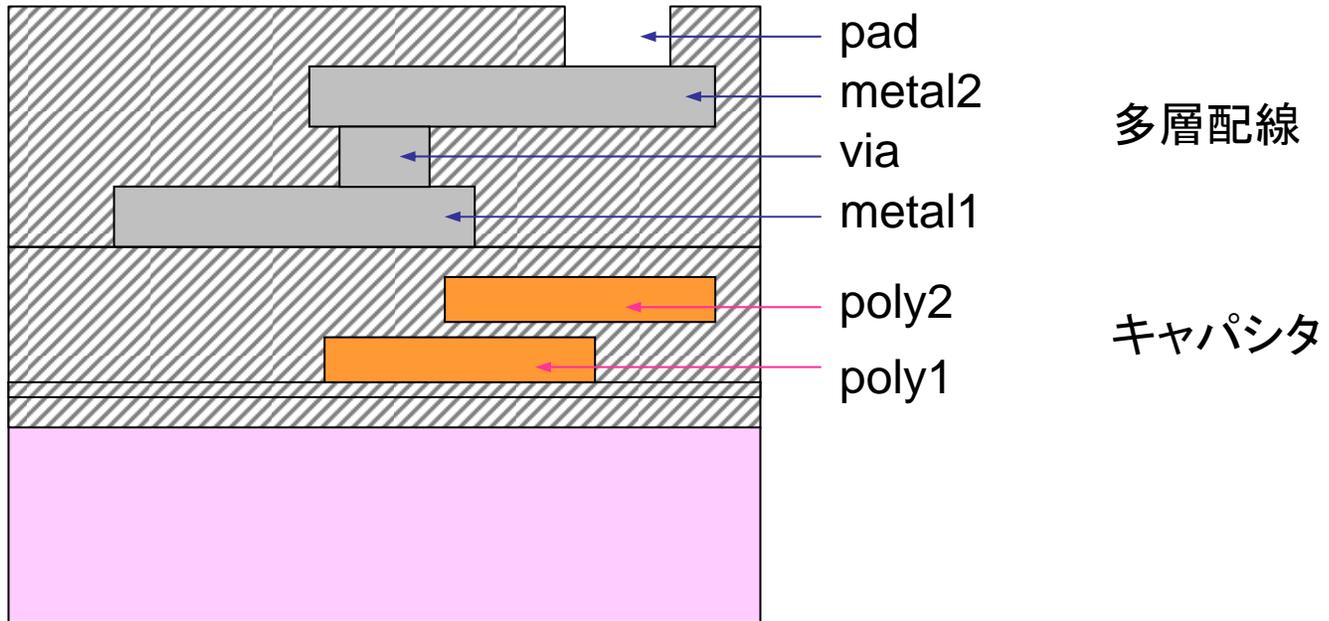


contact





多層配線・多層polySi



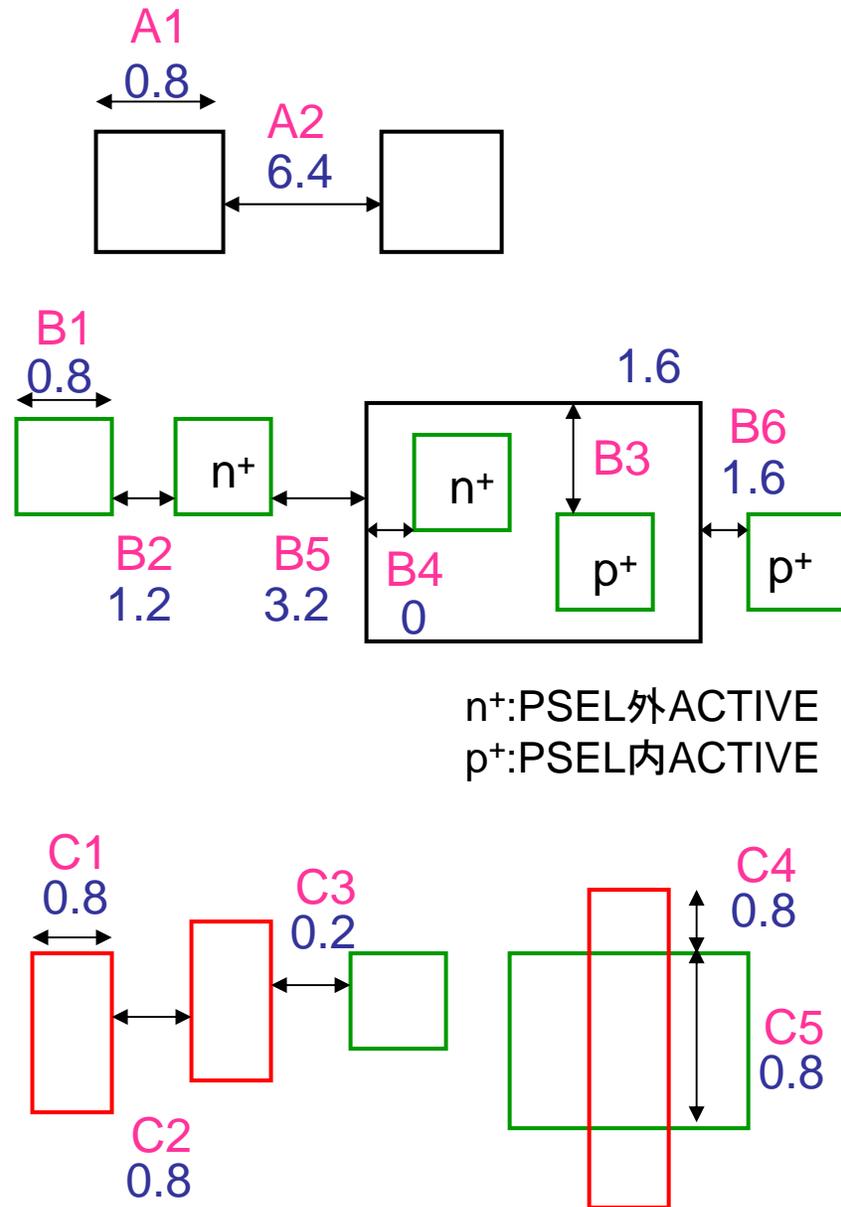
マスク一覧

No.	層	内容	層名	レイアウト
1	n-well	n ウェル	WELL	
2	active layer	素子領域	ACTIVE	
3	poly1	1層ポリシリコン	POL1	
4	poly2	2層ポリシリコン	POL2	
5	p+select	P拡散領域	PSEL	
6	contact	コンタクトホール	CON	
7	metal1	1層メタル	MET1	
8	via	ヴィア	VIA	
9	metal2	2層メタル	MET2	
10	pad	パッド	PAD	

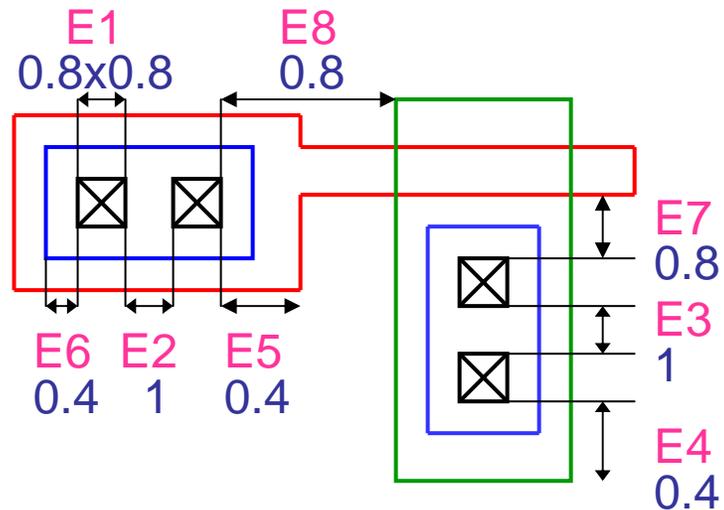
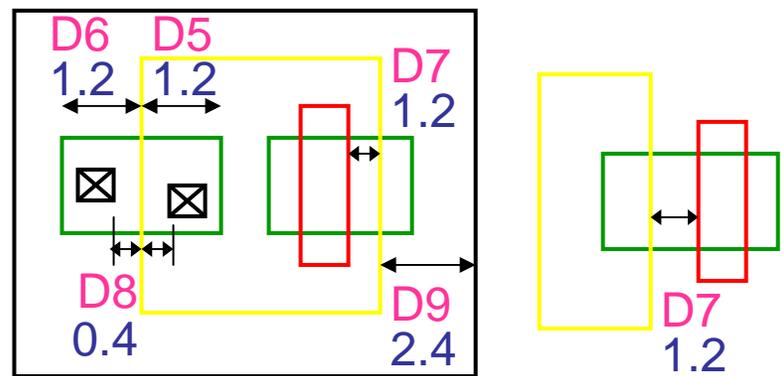
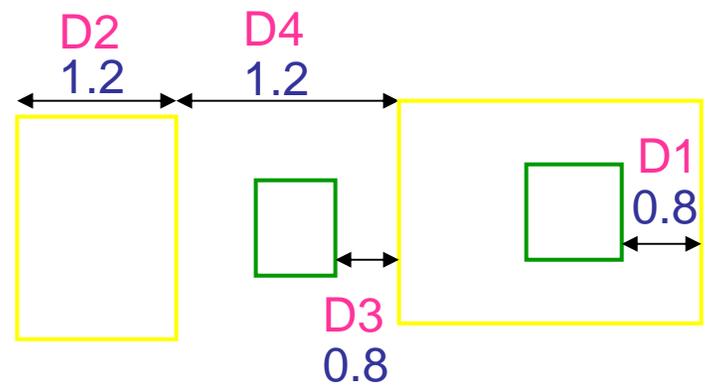
レイアウトルール

	記号	項目	寸法
WELL	A1	最小寸法	0.8
	A2	最小間隔	6.4
ACTIVE	B1	最小寸法	0.8
	B2	最小間隔	1.2
	B3	WELL-p+最小重なり	1.6
	B4	WELL-n+最小重なり	0
	B5	WELL-n+最小間隔	3.2
	B6	WELL-p+最小間隔	1.6
POL1	C1	最小寸法	0.8
	C2	最小間隔	0.8
	C3	POL1-ACTIVE最小間隔	0.2
	C4	ゲート最小突き出し	0.8
	C5	最小S/D幅	0.8

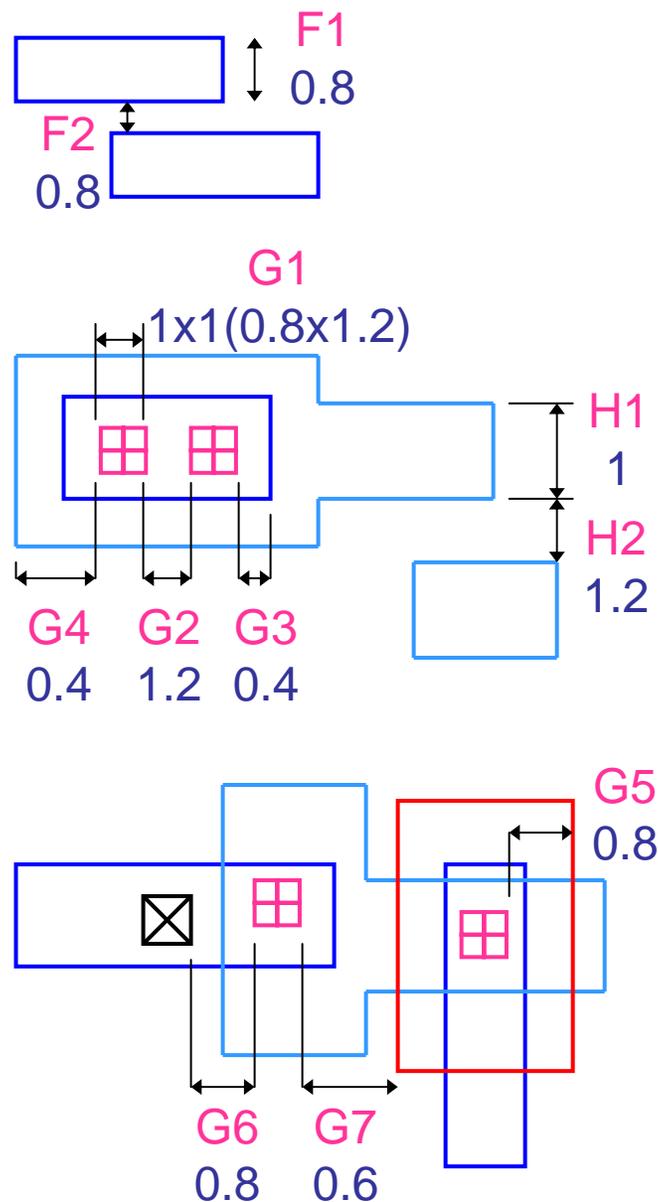
S/D: source/drain



	記号	項目	寸法
PSEL	D1	PSEL-ACTIVE最小重なり	0.8
	D2	最小寸法	1.2
	D3	PSEL-ACTIVE最小間隔	0.8
	D4	最小間隔	1.2
	D5	最小ACTIVE突き出し	1.2
	D6	最小ACTIVE突き出し	1.2
	D7	最小S/D長	1.2
	D8	PSEL-ACTIVE上CON 最小間隔	0.4
	D9	ACTIVE上PSEL-WELL 最小重なり	2.4
CON	E1	寸法(固定サイズ)	0.8x0.8
	E2	POL1上最小間隔	1
	E3	ACTIVE上最小間隔	1
	E4	CON-ACTIVE最小重なり	0.4
	E5	CON-POL1最小重なり	0.4
	E6	CON-MET1最小重なり	0.4
	E7	CON-POL1最小間隔	0.8
	E8	POL1上CON-ACTIVE 最小間隔	0.8

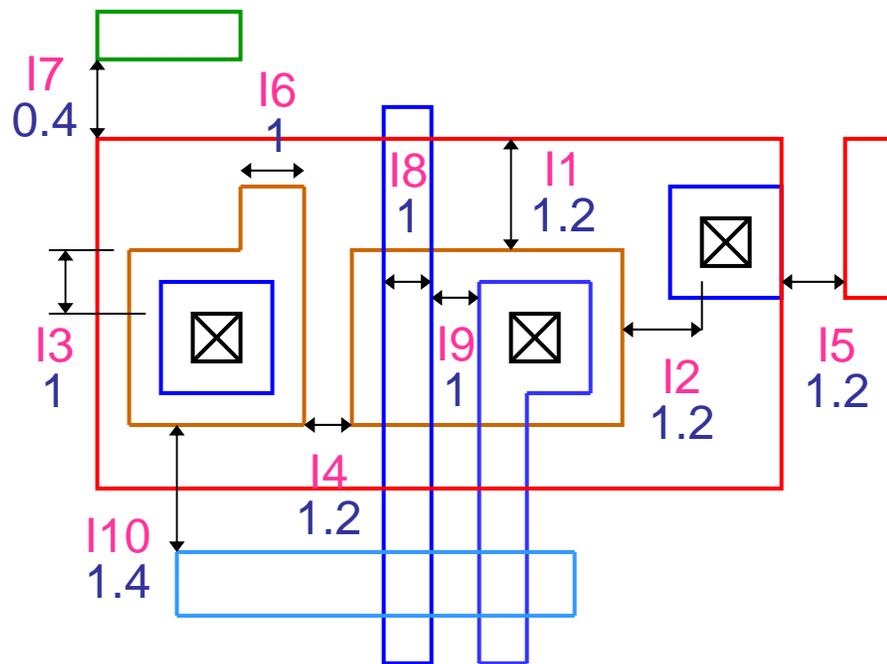


	記号	項目	寸法
MET1	F1	最小寸法	0.8
	F2	最小間隔	0.8
VIA	G1	寸法(固定)	1x1もしくは 0.8x1.2
	G2	最小間隔	1.2
	G3	VIA-MET1 最小重なり	0.4
	G4	VIA-MET2 最小重なり	0.4
	G5	VIA-POL1 最小重なり	0.8
	G6	VIA-CON 最小間隔	0.8
	G7	VIA-POL1 最小間隔	0.6
MET2	H1	最小寸法	1
	H2	最小間隔	1.2



キャパシタのレイアウト

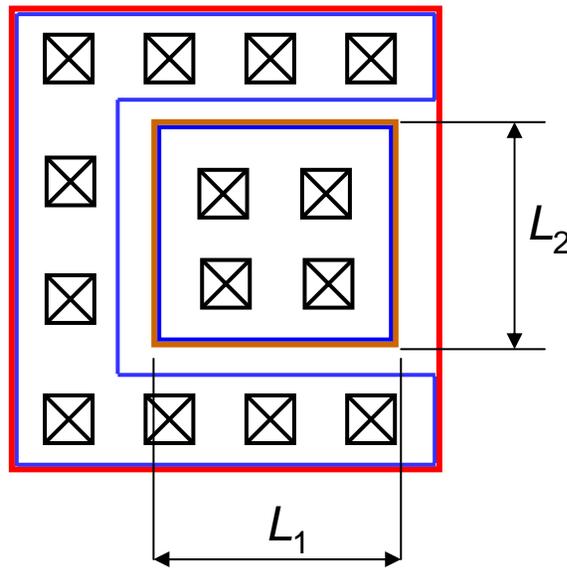
	記号	項目	寸法
POL2	I1	POL2-POL1最小重なり ^(*1)	1.2
	I2	POL2-POL1上CON 最小間隔	1.2
	I3	POL2-CON最小重なり	1
	I4	最小間隔	1.2
	I5	POL1最小間隔	1.2
	I6	最小寸法	1
	I7	POL1-ACTIVE最小間隔	0.4
	I8	POL2上MET1最小寸法	1
	I9	POL2上MET1最小間隔	1
	I10	POL2-MET2最小間隔 ^(*2)	1.4



(*1) POL2はPOL1に内包されていなくてはならない

(*2) MET2はPOL2を跨いではならない

実際のキャパシタのレイアウト



$$C = 0.5 \times L_1 L_2 + 0.25 \times 2(L_1 + L_2)$$

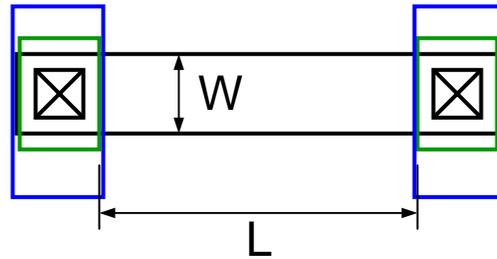
POL1-POL2 キャパシタ

$0.5 \pm 0.01 \text{ fF}/\mu\text{m}^2$

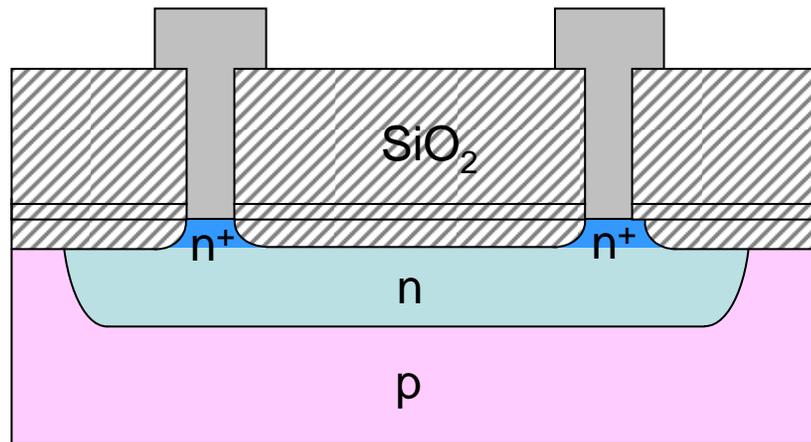
フリッジ $0.25 \pm 0.04 \text{ fF}/\mu\text{m}$

抵抗のレイアウト

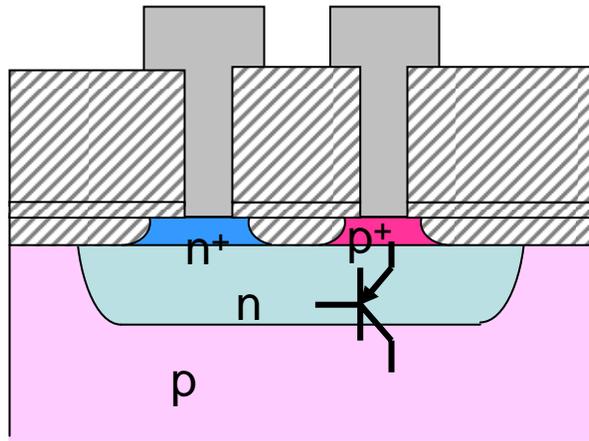
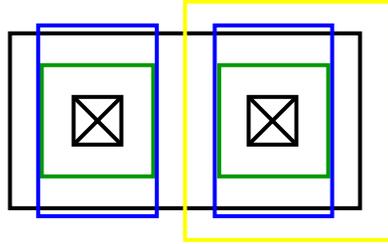
WELL シート抵抗 1.5 k Ω / \square



$$R = 1.5 L / W \text{ [k}\Omega\text{]}$$



バイポーラトランジスタのレイアウト



トランジスタ・モデル

ここでは、最も基本的な Shichman-Hodges の SPICE LEVEL=1 モデルを用いる

物理モデルに拠っている

最もシンプル

手計算による解析でも LEVEL=1 が有効

ショートチャンネル効果等が入っていないので最終設計には不十分

SPICE での MOSFET の記述方法

```
MXXXXXX ND NG NS NB MNAME <L=VAL> <W=VAL>  
+ <AD=VAL> <AS=VAL> <PD=VAL> <PS=VAL>  
+ <NRD=VAL> <NRS=VAL>
```

記号	パラメータ名	意味	記号	パラメータ名	意味
D	ND	ドレイン・ノード	A_D	AD	ドレイン面積
G	NG	ゲート・ノード	A_S	AS	ソース面積
S	NS	ソース・ノード	P_D	PD	ドレイン周辺長
B	NB	基板ノード	P_S	PS	ソース周辺長
	MNAME	モデル名	N_{RD}	NRD	ドレイン抵抗・□数
L	L	チャンネル長	N_{RS}	NRS	ソース抵抗・□数
W	W	チャンネル幅			

長さの単位 = m

SPICE パラメータ (LEVEL 1)

記号	パラメータ名	意味	デフォルト	NMOS	PMOS	単位
V_{TO}	VTO	ゼロバイアス閾値	0	0.7	-0.7	V
K'	KP	相互コンダクタンス係数	0.2e-6	110e-6	50e-6	A/V ²
γ	GAMMA	基板閾値パラメータ	0	0.4	0.57	V ^{1/2}
ϕ	PHI	界面ポテンシャル	0.6	0.7	0.8	V
λ	LAMBDA	チャンネル長変調	0	0.04	0.05	1/V
ϕ_B	PB	基板ビルトイン・ポテンシャル	0.8	1.23	0.98	V
C_{GSO}	CGSO	チャンネル長あたりのゲート-ソース オーバーラップ容量	0	0.22e-9	0.22e-9	F/m
C_{GDO}	CGDO	チャンネル長あたりのゲート-ドレイン オーバーラップ容量	0	0.22e-9	0.22e-9	F/m
C_{GBO}	CGBO	チャンネル長あたりのゲート-基板 オーバーラップ容量	0	0.7e-9	0.7e-9	F/m
R_{SH}	RSH	ソース・ドレイン シート抵抗	0	60	135	Ω/\square
C_J	CJ	ソース,ドレイン-基板 面積あたりの容量	0	0.77e-3	0.56e-3	F/m ²
m_J	MJ	ソース,ドレイン-基板 面積容量の電圧指数	0.5	0.5	0.5	-
C_{JSW}	CJSW	ソース,ドレイン-基板 周辺長あたりの容量	0	0.38e-9	0.35e-9	F/m
m_{JSW}	MJSW	ソース,ドレイン-基板 周辺容量の電圧指数	0.5	0.38	0.35	-
J_S	JS	ソース,ドレイン-基板 面積あたりのダイオード電流係数	-	0.1e-3	0.1e-3	A/m ²
t_{OX}	TOX	ゲート絶縁膜厚さ	1e-7	14e-9	14e-9	m
L_D	LD	ソース・ドレイン拡散長	0	16e-9	15e-9	m
f_C	FC	ソース,ドレイン-基板容量フィッティング・パラメータ	-	0.5	0.5	-

ドレイン電流

ドレイン電流

カットオフ領域

$$v_{GS} - V_T \leq 0$$

$$i_D = 0$$

線形領域

$$0 < v_{DS} \leq v_{GS} - V_T$$

$$i_D = K' \frac{W}{L_{eff}} \left[(v_{GS} - V_T) - \frac{v_{DS}}{2} \right] v_{DS} (1 + \lambda v_{DS})$$

飽和領域

$$0 < v_{GS} - V_T \leq v_{DS}$$

$$i_D = \frac{1}{2} K' \frac{W}{L_{eff}} (v_{GS} - V_T)^2 (1 + \lambda v_{DS})$$

閾値

$$V_T = V_{T0} + \gamma \left(\sqrt{\phi + v_{SB}} - \sqrt{\phi} \right)$$

$$v_{SB} \geq 0$$

物理モデルとの対応

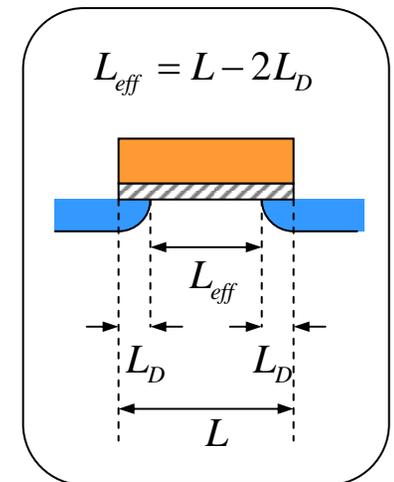
$$K' = \mu C_{ox}$$

$$\phi = 2|\phi_F|$$

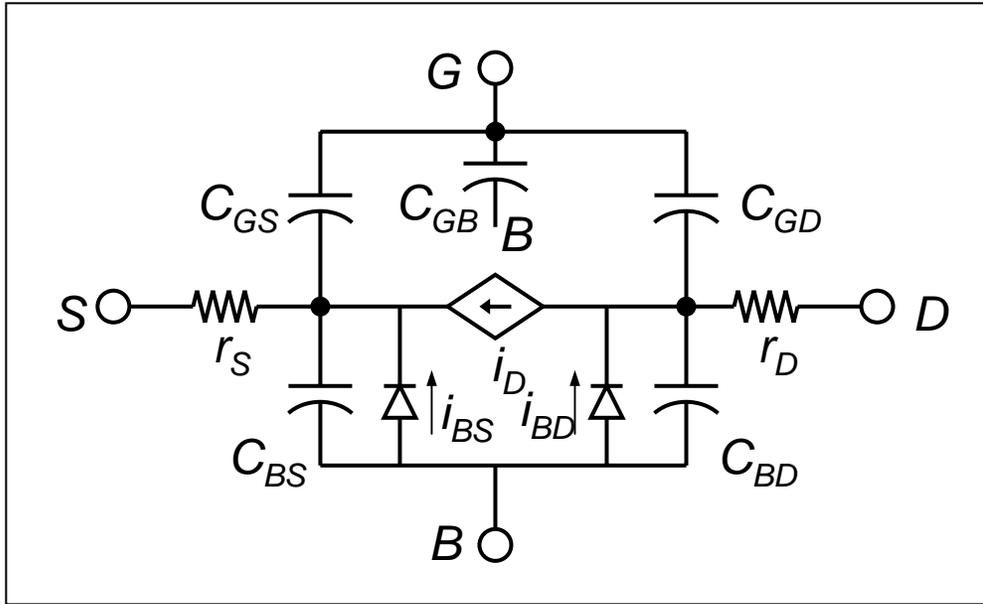
$$\gamma = \frac{\sqrt{2q\epsilon_{Si}N_{SUB}}}{C_{ox}}$$

$$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}}$$

$$\phi_F = \frac{kT}{q} \ln \left(\frac{N_{SUB}}{n_i} \right)$$



寄生素子



ソース-基板間ダイオード電流

$$i_{BS} = J_S A_S \left[\exp\left(\frac{q}{k_B T} v_{BS}\right) - 1 \right]$$

ドレイン-基板間ダイオード電流

$$i_{BD} = J_S A_D \left[\exp\left(\frac{q}{k_B T} v_{BD}\right) - 1 \right]$$

ソース抵抗

$$r_S = R_{SH} N_{RS}$$

ドレイン抵抗

$$r_D = R_{SH} N_{RD}$$

ソース・基板間容量

$$v_{BS} \leq f_C \phi_B \text{ のとき } C_{BS} = \frac{C_J A_S}{\left(1 - \frac{v_{BS}}{\phi_B}\right)^{m_J}} + \frac{C_{JSW} P_S}{\left(1 - \frac{v_{BS}}{\phi_B}\right)^{m_{JSW}}}$$

$$v_{BS} \geq f_C \phi_B \text{ のとき } C_{BS} = \frac{C_J A_S}{(1 - f_C)^{1+m_J}} \left[1 - (1 + m_J) f_C + m_J \frac{v_{BS}}{\phi_B} \right] + \frac{C_{JSW} P_S}{(1 - f_C)^{1+m_{JSW}}} \left[1 - (1 + m_{JSW}) f_C + m_{JSW} \frac{v_{BS}}{\phi_B} \right]$$

ドレイン・基板間容量

上式で C_{BS} , v_{BS} , A_S , P_S を C_{BD} , v_{BD} , A_D , P_D に置き換える

ゲートとの間の容量

	カットオフ領域	飽和領域	線形領域
C_{GB}	$C_{ox}WL_{eff} + C_{GBO}L_{eff}$	$C_{GBO}L_{eff}$	$C_{GBO}L_{eff}$
C_{GS}	$C_{GSO}W$	$C_{GSO}W + \frac{2}{3}C_{ox}WL_{eff}$	$C_{GSO}W + \frac{1}{2}C_{ox}WL_{eff}$
C_{GD}	$C_{GDO}W$	$C_{GDO}W$	$C_{GDO}W + \frac{1}{2}C_{ox}WL_{eff}$

モデルパラメータの記述

モデルパラメータはいろいろな回路で用いられるので別ファイルにしておくが便利

モデル・ファイル

```
* FILE : mos.mod *
* example of transistor parameters *
* 0.8um CMOS process is assumed *
.model n nmos level=1
+ VTO=0.7 KP=110u GAMMA=0.4
+ PHI=0.7 LAMBDA=0.04 PB=1.23
+ CGSO=0.22n CGDO=0.22n CGBO=0.7n
+ RSH=60 CJ=0.77m MJ=0.5
+ CJSW=0.38n MJSW=0.38
+ JS=0.1m TOX=14n LD=16n FC=0.5
.model p pmos level=1
+ VTO=-0.7 KP=50u GAMMA=0.57
+ PHI=0.8 LAMBDA=0.05 PB=0.98
+ CGSO=0.22n CGDO=0.22n CGBO=0.7n
+ RSH=135 CJ=0.56m MJ=0.5
+ CJSW=0.35n MJSW=0.35
+ JS=0.1m TOX=14n LD=15n FC=0.5
```

SPICE 入力ファイル

```
* FILE : nmos1.cir *
* NMOSFET ID-VDS *
* parameter VGS *

vd d 0 dc 5
vs s 0 dc 0
vg g 0 dc 0
vb b 0 dc 0

m1 d g s b n w=3.2u l=0.8u
+ ad=6.4e-12 as=6.4e-12
+ pd=3.2u ps=3.2u
+ nrd=0.25 nrs=0.25

.dc vd 0 5 0.01 vg 0.2 5 0.2
.include ../model/mos.mod

.end
```